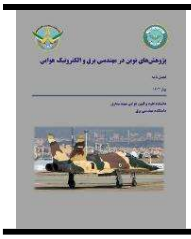
شماره جلد، دوره و DOI

دانشگاه علوم و فنون هوایی شهید ستاری
پژوهش‌های نوین در مهندسی برق و الکترونیک هوایی
https://www.mreea.ir



استفاده از ضریب وارونگی برای تفسیر مصالحه‌های عملکرد قطعات MOS در مدارات آنالوگ و RF به کمک مدل EKV

غلامرضا خادم‌وطن [۱]، علی جلالی*[۲]

[۱] دانشگاه شهید بهشتی، g_khademevatan@sbu.ac.ir
*[۲] دانشگاه شهید بهشتی، a_jalali@sbu.ac.ir

واژگان کلیدی

WI (Weak Inversion)
MI (Moderate Inversion)
SI (Strong Inversion)
IC (Inversion Coefficient)
عدم تطابق
خطینگی

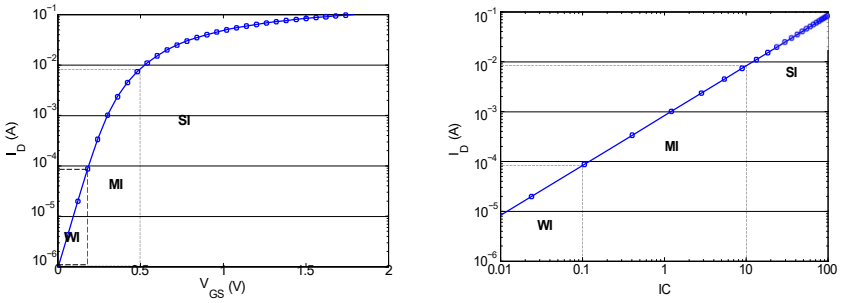
چکیده

در این مقاله، ابتدا مصالحه‌های عملکرد قطعه MOSFET بر حسب پارامتر کلیدی طراحی ضریب وارونگی (IC) به کمک مدل EKV در مناطق وارونگی ضعیف (WI)، متوسط (MI) و قوی (SI) بررسی می‌شوند. این مصالحه‌های عملکرد شامل ابعاد فیزیکی، ولتاژهای بایاس، پارامترهای سیگنال کوچک، اعوجاج سیگنال، بهره ذاتی ولتاژ، پهنای باندهای ذاتی و غیر ذاتی، نویز حرارتی، نویز فلیکر، عدم تطابق ناشی از فرآیند ساخت (Mismatch)، جریان نشتی و معیارهای شایستگی مدارهای RF بر حسب IC در تکنولوژی ساخت ۹۰nm می‌باشند. از طریق نمایش گرافیکی و جاروب (Sweep) عملکردها بر حسب IC، امکان انتخاب مصالحه‌های مد نظر طراح فراهم می‌شود. در ادامه، یک صفحه عملیاتی برای قطعه MOSFET معرفی می‌شود که به کمک آن می‌توان نقاط بایاس مناسب ترانزیستورها برای نگاشت مصالحه‌های عملکرد بهینه قطعات در مدار مورد نظر را انتخاب کرد. برای نمایش سودمندی این شیوه طراحی، شاخصه مهم خطینگی (AIP۳) در تقویت کننده‌های تفاضلی یک طبقه و کسکود بر حسب ضریب وارونگی تفسیر شده و نقطه بهینه بایاسینگ قطعات فعال مدار بدست آورده می‌شود. در نهایت، برای تایید شیوه طراحی ارائه شده، نتایج بدست آمده با نتایج حاصل از شبیه‌سازی با تکنولوژی ۰/۱۸µm شرکت TSMC مقایسه شده است.

۱- مقدمه

در فرآیندهای پیشرفته ساخت قطعات الکترونیکی همچون CMOS استاندارد، FD-SOI[۱] و FINFET[۲] که طول کانال ترانزیستور MOS در آنها زیر میکرون‌اند، با کاهش ولتاژ تغذیه که به طور ذاتی در آنها رخ می‌دهد، نقاط بایاس به مناطق وارونگی متوسط (MI) و وارونگی ضعیف (WI) انتقال داده شده‌اند [۱] . بنابراین معادلات جریان درین قطعه MOS در مدل‌های منسوخ Level۱ و Level۳ که همچنان در کتاب‌های مهندسی برق نیز تدریس می‌شوند برای طراحی مدارهای آنالوگ و RF از نوع CMOS در فناوری‌های مدرن زیرمیکرون مناسب نبوده و در پیش‌بینی عملکرد قطعات با شکست مواجه می‌گردند[۲]. از طرفی طراحی مدارهای آنالوگ و RF همواره با چالش سخت انتخاب مصالحه‌هایی همچون توان، خطینگی، نویز، بهره، ولتاژ تغذیه و پهنای باند مواجه است که رضوی آن را به عنوان رئوس یک شش ضلعی معرفی کرده است[۳]. بنابراین، در چنین فضای طراحی پر چالشی طراح نیازمند بکارگیری روش‌های طراحی مناسب جهت پیش‌بینی عملکرد قطعات MOS مدار در فرآیند مورد نظر است که اصطلاحاً طراحی Pre-SPICE[۳] نامیده می‌شود[۴]. برای مدتهای طولانی ولتاژ موثر گیت - سورس ($V_{EFF} = V_{GS} - V_T$) به عنوان متغیر طراحی کلیدی در طراحی مدارهای آنالوگ و RF استفاده می‌شد، ولیکن با ظریفتر شدن تکنولوژی و کاهش طول کانال ترانزیستورهای MOS در سالیان اخیر و انتقال نقاط کار آنها به مناطق MI و WI، V_{EFF} پارامتر مناسبی برای طراحی محسوب نمی‌شود[۵،۶]. بنابراین، لزوم وجود یک مدل ساده بر مبنای یک پارامتر کلیدی طراحی مناسب در فناوری‌های فوق زیرمیکرون امروزی که در عین حال دارای

[۱] Fully Depleted-Silicon on Insulator
[۲] Fin Field Effect Transistor
[۳] Pre- Simulation Program with Integrated Circuit Emphasis



(a) (b)

شکل (۱): (a)- جریان درین بر حسب ولتاژ گیت - سورس و (b)- جریان درین برحسب IC برای یک ترانزیستور در فرآیند FDSOI-۲۸nm با عرض کانال ۵۰µm.

معادلات ریاضی معتبر و پیوسته در مناطق وارونگی ضعیف، متوسط و قوی باشد از چالش‌های اساسی طراحان مدارهای آنالوگ و RF است.

در سال ۱۹۹۴، Vittoz با چاپ مقاله‌ای تحت عنوان تکنیک‌های توان پایین، مفهوم ضریب وارونگی را تعریف کرد[۷]. IC، مقدار نرمالیزه شده جریان بایاس درین به جریان مشخصه قطعه (شامل پارامترهای فرآیند و ابعاد هندسی ترانزیستور) است:

$$IC = \frac{I_D}{I_{spec}} = \frac{I_D}{I_.\left(\frac{W}{L}\right)}, \quad I_. = ۲n\mu C_{OX}U_T^{۲} \qquad (۱)$$

که I_D جریان بایاس ترانزیستور، I_{spec} جریان مشخصه، $I_.$ جریان تکنولوژی یا فرآیند، W و L به ترتیب عرض و طول کانال ترانزیستور، n ضریب بدنه، μ. تحرک حامل‌ها (الکترون یا حفره) در اثر میدان‌های الکتریکی کم، C_{OX} خازن گیت - اکسید در واحد سطح و $U_T = kT/q = ۲۶mV$ ولتاژ ترمودینامیک در دمای اتاق می‌باشند.

IC، میزان وارونگی کانال قطعه MOS را مستقل از ابعاد و فرآیند ترانزیستور نشان می‌دهد:

- $IC < ۰.۱$, Weak Inversion (WI),
- $۰.۱ < IC < ۱۰$, Moderate Inversion (MI),
- $IC > ۱۰$, Strong Inversion (SI),

جریان درین ترانزیستور بر حسب V_{GS} و IC در شکل‌های (۱- a) و (۱- b) برای فرآیند FDSOI-۲۸nm نشان داده شده است[۸]. در شکل (۱- a) ملاحظه می‌شود که ناحیه SI علی‌رغم پوشش منطقه وسیعی از ولتاژ V_{GS} تنها یک دهه از جریان درین را پوشش می‌دهد، حال آنکه نواحی WI و MI (برای V_{GS} از ۰ تا ۰/۵mV) چند دهه از جریان درین را پوشش می‌دهند. از سویی دیگر با بررسی شکل (۱- b) ملاحظه می‌شود که هر دهه از جریان درین یک دهه از IC را پوشش می‌دهد. دلیل این امر ارتباط خطی IC با جریان درین است، لذا نتیجه‌گیری می‌شود که برای مدلسازی قطعات MOS در نواحی WI و MI، پارامتر IC مناسبتر است. علاوه بر این، امکان تفسیر تمامی پارامترهای مهم ترانزیستور MOS همچون پهنای باند ذاتی، گین ذاتی، بهره رسانایی و ... با IC وجود دارد[۹]. لذا با تغییر ضریب وارونگی هر یک از قطعات فعال مدار، امکان کشف ناحیه طراحی مناسب قطعات در یک مدار فراهم می‌شود.

یکی از عناصر اولیه در روش‌های طراحی، انتخاب مدل قطعه است. این مدل می‌بایستی از مدارات آنالوگ و RF کم‌توان پشتیبانی کرده و علاوه بر سادگی بتواند با دقت و اعتماد قابل قبولی فیزیک پیچیده قطعات مدرن و با اندازه زیر میکرون امروزی را پیش‌بینی نماید[۱۰]. در سال ۱۹۹۵، C.Enz، F.Krummenacher و E.A.Vittoz مدل EKV را برای ترانزیستورهای MOS توسعه دادند[۱۱،۱۲]. این مدل جریان درین ترانزیستور MOS را به صورت پیوسته از ناحیه WI تا SI تعریف می‌کند:

$$I_D(WI-SI) = ۲n\mu C_{OX}U_T^{۲}\left(\frac{W}{L}\right)\left[ln\left(۱+e^{\frac{V_{GS}-V_T}{۲nU_T}}\right)\right]^{۲} \qquad (۲)$$

برای احتساب اثرات ابعاد هندسی کوچک قطعه همچون سرعت اشباع و VFMR[۱] کافی است به جای μ رابطه (۳) جایگذاری شود که در آن θ ضریب کاهش تحرک حامل‌ها در اثر میدان عمودی، E_{CRIT} میدان الکتریکی بحرانی افقی در سرعت اشباع و α ضریب توان سرعت اشباع می‌باشند.

$$\frac{\mu_.}{[۱+\theta(V_{GS}-V_T)]\left[۱+\left(\frac{V_{GS}-V_T}{LE_{CRIT}}\right)^{\alpha}\right]^{\left(\frac{۱}{\alpha}\right)}} \qquad (۳)$$

در سالیان اخیر، کارهای متعددی ارائه شده‌اند که در آنها IC به عنوان پارامتر اصلی و کلیدی طراحی معرفی شده است. Idrissi و سایر

[۱] Vertical Field Mobility Reduction

نویسندگان با استفاده از IC به عنوان پارامتر اصلی طراحی، یک نوسان ساز و یک میکسر را توسعه داده‌اند[۱۳]. Sansen در مرجع [۱۴] رویه‌ای برای طراحی بلوک‌های تقویت کننده کم توان پیشنهاد داده و در مرجع [۱۵] روشی را برای بایاسینگ بهینه قطعات جهت دستیابی به اعوجاج صفر با استفاده از مدل‌های EKV/BSIM٦ توسعه داده است. در [۱۶]، تجزیه و تحلیل اعوجاج به کمک IC در ماسفت‌های نانومقیاس انجام شده است. در [۱۷] روشی برای طراحی خودکار مدارهای آنالوگ و RF با استفاده از بهینه سازی IC پیشنهاد شده است. در [۱۸] دو شاخص مهم خطینگی یعنی AIP۳ و AIdB در تقویت کننده‌های تفاضلی یک طبقه و کسکود بر اساس مدل EKV و پارامتر اصلی آن یعنی ضریب وارونگی (IC) بررسی شده‌اند. در این مقاله، تغییرات عمکرد قطعه MOSFET اعم از ابعاد فیزیکی، ولتاژهای بایاس، پارامترهای سیگنال کوچک، اعوجاج سیگنال، بهره ذاتی ولتاژ، پهنای باندهای ذاتی و غیر ذاتی، نویز حرارتی، نویز فلیکر، عدم تطابق ناشی از فرآیند ساخت، جریان نشتی و معیارهای شایستگی مدارهای RF بر حسب ضریب وارونگی (IC) در تکنولوژی ۹۰nm به صورت گرافیکی نشان داده می‌شوند. در ادامه، صفحه عملیاتی قطعه MOSFET برای نگاشت عملکرد بهینه قطعات در مدار مورد نظر معرفی می‌شود. برای نمایش سودمندی این شیوه طراحی، شاخصه مهم خطینگی (AIP۳) در تقویت کننده‌های تفاضلی یک طبقه و کسکود بر حسب ضریب وارونگی تفسیر شده و نقطه بهینه بایاسینگ قطعات فعال مدار بدست آورده می‌شود. در نهایت، برای تایید شیوه طراحی ارائه شده، نتایج بدست آمده با نتایج حاصل از شبیه‌سازی در تکنولوژی ۰/۱۸μm شرکت TSMC[۱] مقایسه می‌شوند. ساختار مقاله به این شکل است که در بخش ۲، پارامترهای مهم مدل EKV در فرآیند ۹۰nm خلاصه شده‌اند. در بخش ۳، کلیه مشخصه‌های عملکرد قطعه MOS بر حسب IC به صورت گرافیکی نمایش داده شده و تاثیر تغییر ضریب وارونگی از ضعیف تا قوی بر این مشخصه‌ها به اختصار توضیح داده می‌شود. صفحه عملیاتی MOSFET برای نمایش مصالحه‌ها در انتخاب ضریب وارونگی، در بخش ۴ معرفی شده است. و نهایتاً، در بخش ۵ شاخصه مهم خطینگی (AIP۳) در تقویت کننده‌های تفاضلی یک طبقه و کسکود بر حسب ضریب وارونگی محاسبه و با نتایج حاصل از شبیه‌سازی در تکنولوژی ۰/۱۸μm شرکت TSMC مقایسه می‌شود.

۲- پارامترهای فرآیند

علی‌رغم اینکه تعداد پارامترها و معادلات مدل EKV در مقایسه با مدل فشرده و پیچیده BSIM[۲] بسیار کمتر است، ولیکن در این مدل نیز حداقل نزدیک به ۷۰ پارامتر جهت توصیف تقریبی قطعه و پدیده‌های فیزیکی آن مورد نیاز است[۱۹]. یکی از شیوه‌های استخراج پارامترهای این مدل تبدیل پارامترهای مدل BSIM به EKV است که به عنوان نمونه در مرجع [۲۰] با استفاده از الگوریتم Levenberg-Marquardt برای تکنولوژی ۰/۱۸μm از نوع CMOS انجام شده است. پارامترهای مهم مدل EKV در تکنولوژی ۹۰nm در جدول (۱) فهرست شده‌اند. لازم به ذکر است که این پارامترها مربوط به تکنولوژی ساخت فرآیند خاصی نبوده و لیکن به صورت معقولی رفتار قطعه nMOS در تکنولوژی ۹۰nm را نشان می‌دهند.

۳- عملکرد قطعه MOS بر حسب ضریب وارونگی

در این بخش به کمک پارامترهای فرآیند فهرست شده در جدول (۱)، تجزیه و تحلیل جامعی بر حسب IC بر روی مصالحه‌های عملکرد قطعه MOSFET اعم از ابعاد فیزیکی، ولتاژهای بایاس، پارامترهای سیگنال کوچک، اعوجاج سیگنال، بهره ذاتی ولتاژ، پهنای باندهای ذاتی و غیر ذاتی، نویز حرارتی، نویز فلیکر، عدم تطابق ناشی از فرآیند ساخت، جریان نشتی و معیارهای شایستگی مدارهای RF در تکنولوژی ۹۰nm انجام می‌شود. از آنجا که روند تغییرات ترانزیستورهای nMOS و pMOS بر حسب IC تقریباً یکسان بوده و تنها به دلیل تفاوت دو قطعه در پارامترهایی همچون n و μ، مقادیر مشخصه‌ها تغییر کرده و رفتار مشخصه‌ها و عملکرد قطعات تقریباً ثابت است، در این بخش تنها روند تغییرات و رفتار مشخصه‌های قطعه nMOS بر حسب ضریب وارونگی در تکنولوژی ۹۰nm بررسی می‌شود. در کلیه پیش‌بینی‌ها، با ثابت نگهداشتن مقادیر جریان درین و طول کانال به ترتیب در ۱۰۰μA و ۹۰nm، مقدار IC از ۰.۰۱ (وارونگی ضعیف عمیق) تا ۱۰۰ (وارونگی قوی عمیق) سوئیپ می‌شود.

۳-۱- پارامترهای ابعاد هندسی

در شکل (۲)، فاکتور ابعاد (W/L) و مساحت گیت (WL) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰μA نشان داده شده است. واضح است که با افزایش ضریب وارونگی، فاکتور ابعاد و متعاقباً عرض کانال و مساحت گیت کاهش می‌یابند.

۳-۲- پارامترهای بایاس DC

[۱] Taiwan Semiconductor Manufacturing Company

[۲] Berkeley Short-channel IGFET *Model*

ولتاژ موثر گیت - سورس ($V_{EFF} = V_{GS} - V_T$) نشان می‌دهد که در صورت مثبت بودن علامت V_{EFF}، ولتاژ گیت - سورس نقطه کار چقدر از ولتاژ آستانه قطعه nMOS بالاتر است. ولتاژ اشباع درین - سورس($V_{DS_{Sat}}$) نیز می‌بایستی معین گردد تا از انطباق بایاس مدار برای

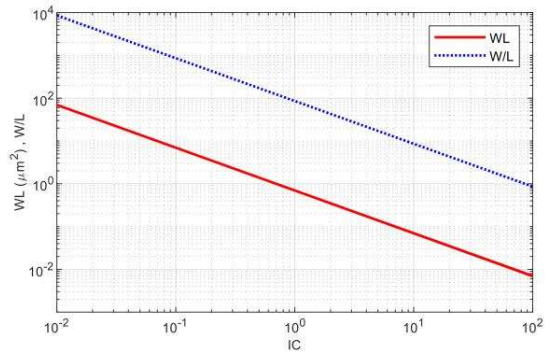
جدول (۱): پارامترهای مهم فرآیند مدل ساده شده EKV برای ترانزیستورهای nMOS در تکنولوژی ۹۰nm از نوع CMOS.

Parameter	Description	Value for nMOS	Unit
t_{ox}	Oxide Thickness	۲/۳۳	nm
$\mu_.$	Low Field Mobility	٤٥٤	$\mu A/V^2$
Y	Body Effect Factor	۰/۳۲	$V^{1/2}$
V_{sat}	Saturation Velocity	۱۱٤۰۰۰	m/s
α	Velocity Saturation Transition Exponent	۱/۱٥	--
n	Slope Factor	۱/۳	--
V_{T0}	Threshold Voltage	۰/۳۷٥	V
θ	Mobility Reduction Factor	۰/٥۱	V^{-1}
β	Exponent for Velocity Saturation and VFMR Effects	۰/۸	--
DL	Lateral Diffusion at Length	۰/۰۰٥	µm
DW	Lateral Diffusion at Width	۰/۰۱۲	µm
AF	Flicker Noise Slope	۰/۸٥	--
ϕ_F	Half of Fermi Potential	۰/٤۲۸	V
L_{min}	Minimum Channel Length	۰/۰۹	µm
Optional user design inputs			
f	Operation Frequency	۱	HZ
V_{DD}	Supply Voltage	--	V
V_{SB}	Source-Body Voltage	--	V
V_{DS}	Drain-Source Voltage	--	V
T	Temperature	۳۰۰	K

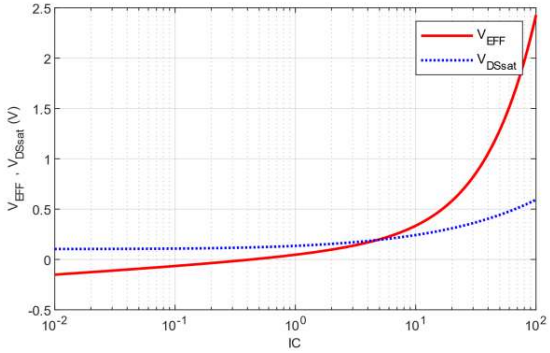
ولتاژ درین - سورس نقطهٔ کار (V_{DS}) اطمینان حاصل شود. معمولاً قطعات MOS در ناحیه اشباع بایاس می‌شوند که در آن $V_{DS} > V_{DS_{sat}}$ است. در شکل (۳)، روند تغییرات V_{EFF} و $V_{DS_{Sat}}$ قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA نشان داده شده است. V_{EFF} و $V_{DS_{Sat}}$ در نواحی WI و MI اندکی افزایش می‌یابند، ولیکن به دلیل اثرات سرعت اشباع در ناحیه SI این افزایش قابل توجه است.

۳-۳- پارامترهای سیگنال کوچک

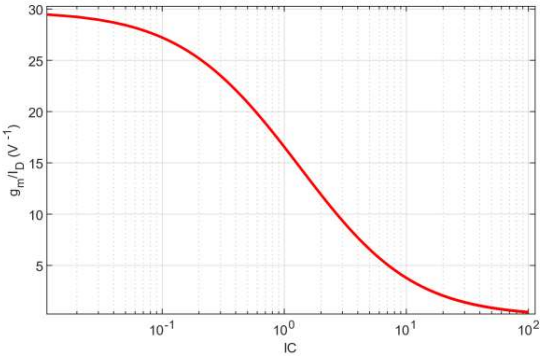
بهره رسانایی (g_m/I_D) قطعه MOS ضریب کیفیتی است که تولید رسانایی ($g_m = \partial I_D/\partial V_{GS}$) مطلوب برای یک سطح معینی از جریان بایاس درین را تعریف می‌کند. در شکل (۴)، روند تغییرات g_m/I_D قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS نشان داده شده است. مقدار g_m/I_D در وارونگی ضعیف ثابت و دارای مقدار



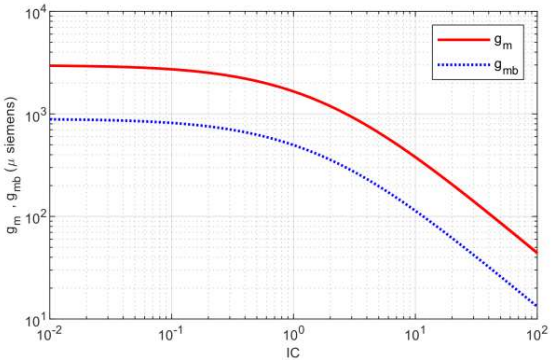
شکل (۲): فاکتور ابعاد (W/L) و مساحت گیت (WL) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA و L = ۹۰nm.



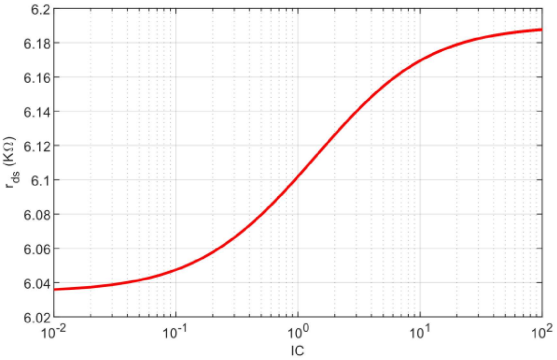
شکل(۳): ولتاژ موثر گیت - سورس (V_{EFF}) و ولتاژ اشباع درین - سورس ($V_{DS_{Sat}}$) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA و L = ۹۰nm.



شکل (۴): بهره رسانایی (g_m/I_D) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS.



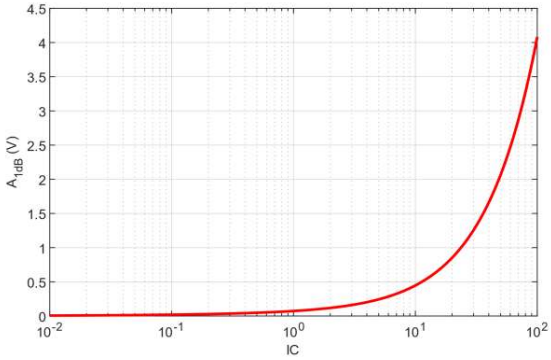
شکل (۵): رسانایی (g_m) و رسانایی اثر بدنه (g_{mb}) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA و L = ۹۰nm.



شکل (۶): مقاومت درین - سورس (r_{ds}) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA و L = ۹۰nm.

بیشینه است. مقدار آن در وارونگی متوسط به آرامی کاهش یافته و سپس با سرعت $\frac{۱}{\sqrt{IC}}$ در وارونگی قوی افت می‌کند. متأسفانه در مقادیر بالای IC، اثر رسانایی قطعهٔ MOS (g_m) پارامتری سیگنال کوچک است که تغییرات جریان درین اتصال کوتاه ناشی از تغییرات ولتاژ کنترلی گیت سورس (V_{GS}) را تعریف می‌کند. رسانایی اثر بدنه (g_{mb}) پارامتری سیگنال کوچک است که تغییرات جریان درین اتصال کوتاه ناشی از تغییرات ولتاژ بدنه - سورس (V_{BS}) را توصیف می‌کند. در شکل (۵)، روند تغییرات g_m و g_{mb} قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA نشان داده شده است. در وارونگی ضعیف، هر دوی آنها به حداکثر می رسند، در وارونگی متوسط اندکی کاهش می یابند و در وارونگی قوی به افت ادامه می‌دهند.

رسانایی درین - سورس ($g_{ds} = \partial I_D/\partial V_{DS}$) قطعه MOS پارامتری سیگنال کوچک است که تغییرات جریان درین ناشی از تغییرات ولتاژ درین



شکل (۷): ولتاژ ورودگی فشردگی ۱dB (A_{1dB}) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS.

سرعت اشباع در قطعات کانال کوتاه مقدار g_m/I_D را به میزان قابل توجهی کاهش می‌دهد.

- سورس (V_{DS}) را تعریف می‌کند. معمولا طراحان عکس رسانایی درین - سورس ($r_{ds} = ۱/g_{ds}$) را در محاسبه بهره ذاتی قطعه MOS استفاده می‌کنند. در شکل (۶)، روند تغییرات r_{ds} قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA نشان داده شده است. r_{ds} در وارونگی ضعیف دارای حداقل مقدار است، در وارونگی متوسط اندکی افزایش می‌یابد و در وارونگی قوی به افزایش ادامه می‌دهد.

اعوجاج هارمونیکی یک اثر غیرخطی است که سیگنال‌های ورودی را در مدار آنالوگ یا RF محدود می‌کند. اعوجاج با ولتاژ ورودی فشردگی ۱dB ($A_{۱dB}$) سنجیده می‌شود. این ولتاژ منطبق با ولتاژ ورودی اعمال شده به صورت مثبت یا منفی به قطعه است که در آن جریان خروجی ۱ دسی

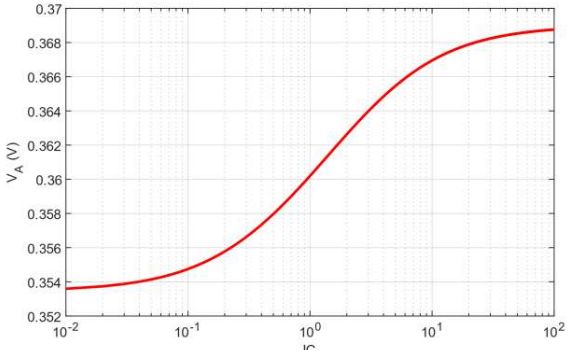
بل یا ۱۰.۹٪ از مقدار خطی مورد انتظارش کاهش می‌یابد. در شکل (۷) روند تغییرات $A_{\backslash dB}$ قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS نشان داده شده است. همانگونه که در شکل واضح است، با افزایش ضریب وارونگی، عملکرد خطی بهبود می یابد.

۳-۴- پارامترهای بهره و پهنای باند

ولتاژ ارلی ($V_A = I_D.r_{ds}$) ضریب کیفیتی است که تولید g_{ds} یا r_{ds} برای یک مقدار معینی از جریان بایاس درین را تعریف می‌کند. ولتاژ ارلی علاوه بر IC به L و V_{DS} نیز وابسته است[۴]. در شکل (۸)، روند تغییرات V_A قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA و V_{DS} = ۰/۲۵V نشان داده شده است. V_A با افزایش طول کانال و نیز افزایش V_{DS} به مقادیر بالاتر از $V_{DS_{sat}}$، افزایش می‌یابد. همانگونه که در شکل قابل مشاهده است، برای یک V_{DS} ثابت و مشروط بر اینکه V_{DS} به اندازه کافی بالاتر از $V_{DS_{sat}}$ باشد، ولتاژ ارلی با افزایش ضریب وارونگی اندکی افزایش می‌یابد.

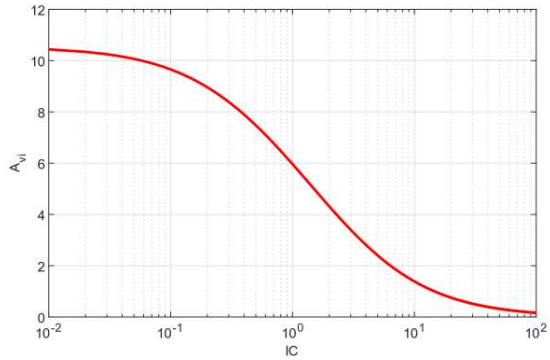
بهره ذاتی ولتاژ ($A_{Vi} = g_m.r_{ds} = g_m/I_D\,.V_A$)، بهره ولتاژ فرکانس پایین سیگنال کوچک گیت تا درین یک قطعه MOS با سورس متصل به زمین و درین متصل به بار منبع جریان ایده‌آل با مقاومت بینهایت می‌باشد. در شکل (۹)، تغییرات A_{Vi} قطعه nMOS بر حسب IC در یک فرآیند ۹۰nm از نوع CMOS در V_{DS} = ۰/۲۵V نشان داده شده است. همانگونه که در شکل قابل مشاهده است، A_{Vi} با افزایش ضریب وارونگی کاهش یافته و مقدار g_m/I_D را ردیابی می‌کند. A_{Vi} همچنین با افزایش L و متعاقباً V_A با طول کانال نیز افزایش می‌یابد.

پهنای باند ذاتی ($f_{Ti} = g_m/[۲\pi(C_{gsi} + C_{gbi})]$)، منطبق با فرکانسی است که در آن بهره جریان گیت تا درین قطعه MOS با سورس متصل به زمین و درین متصل به زمین سیگنال کوچک، برابر با مقدار واحد است. C_{gsi} و C_{gbi} به ترتیب خازنهای ذاتی گیت - سورس و گیت - بدنه می‌باشند. در رابطه پهنای باند ذاتی از خازنهای غیر ذاتی همپوشانی گیت - سورس و گیت - بدنه (C_{GSO} و C_{GBO}) چشم‌پوشی شده است. پهنای باند غیر ذاتی ($f_T = g_m/[۲\pi(C_{gsi} + C_{gbi} + C_{GSO} + C_{GBO})]$)، منطبق با فرکانسی است که در آن علاوه بر خازنهای ذاتی C_{gsi} و C_{gbi}، خازنهای غیر ذاتی C_{GSO} و C_{GBO} نیز در نظر گرفته شده‌اند. در محاسبه f_T از خازن درین - بدنه (C_{DB}) چشم‌پوشی شده است. پهنای باند اتصال دیودی ($f_{diode} = g_m/[۲\pi(C_{gsi} + C_{gbi} + C_{GSO} + C_{GBO} + C_{DB})]$)، منطبق با قطب فرکانسی یک قطعه nMOS اتصال دیودی با گیت متصل به درین و سورس متصل به زمین است که در آن علاوه بر خازنهای ذاتی C_{gsi} و C_{gbi} و خازنهای غیر ذاتی C_{GSO} و C_{GBO}، خازن C_{DB} نیز در نظر گرفته



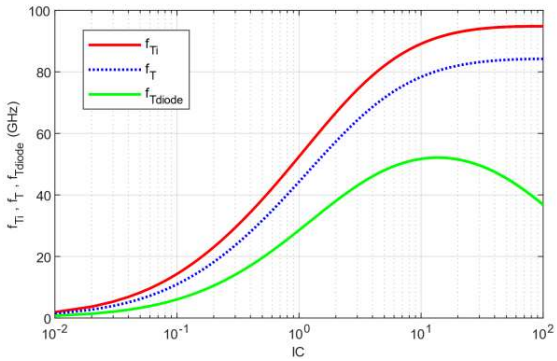
شکل (۸): ولتاژ ارلی (V_A) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA و L = ۹۰nm و V_{DS} = ۰/۲۵V .

شده است. با احتساب کلیه بار خازنی گیت و درین در محاسبه f_{diode}، این فرکانس تقریباً برابر با فرکانس قطع ۳dB یک قطعه اتصال دیودی می‌باشد. این پهنای باند تقریباً برابر با پهنای باند یک قطعه سورس فالوور و یا یک قطعه با سورس متصل به زمین می‌باشد. در شکل (۱۰)، روند تغییرات f_{Ti}، f_T و f_{diode} قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm



شکل (۹): بهره ذاتی (A_{Vi}) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در L = ۹۰nm و V_{DS} = ۰/۲۵V .

از نوع CMOS نشان داده شده است. ممکن است در قطعات کانال کوتاه که



شکل (۱۰): پهنای باندهای ذاتی (f_{Ti})، غیر ذاتی (f_T) و اتصال دیودی (f_{diode}) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در L = ۹۰nm.

مساحت گیت کمتر منجر به خازن گیت - اکسید کوچکتر و متعاقباً خازنهای ذاتی گیت کوچک می‌شود مقادیر f_T و f_{diode} به مقدار قابل توجهی کمتر از مقدار f_{Ti} باشند. همانگونه که در شکل قابل ملاحظه است، f_{Ti}، f_T و f_{diode} در ابتدا با ارتقاء IC افزایش پیدا می‌کنند، ولیکن در قطعات کانال کوتاه با IC بالا به دلیل اثر سرعت اشباع مقدار آنها افت می‌کند.

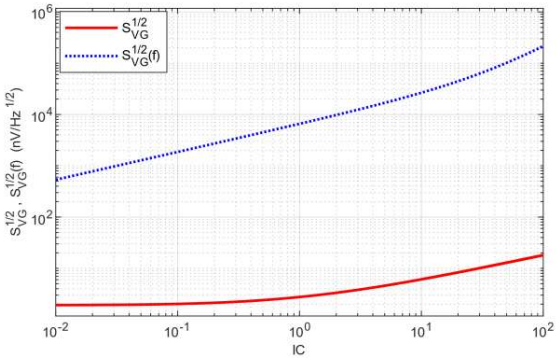
۳-۵- پارامترهای نویز حرارتی و فلیکر ارجاع شده به گیت

نویز، حداقل سیگنال AC قابل پردازش توسط مدار آنالوگ یا RF را تعیین می‌کند. نویز حرارتی که به عنوان نویز سفید نیز شناخته می شود، در اثر حرکت حرارتی تصادفی حامل‌ها ایجاد شده و چگالی طیف توان (PSD) ثابتی در تمامی فرکانس‌ها دارد. از آنجا که نویز حاصل از منابع نویز ناهمبسته با استفاده از روابط چگالی طیف توان (PSD) به راحتی جمع می‌شوند، طراحان معمولاً نویز را با استفاده از مجذور ریشه چگالی طیف توان (PSD) مشخص می‌کنند. قطعات MOS همچنین دارای نویز فلیکر نیز هستند (گاهی اوقات نویز ۱/f نامیده می شود) که در فرکانس‌های پایین غالب است و اغلب در فرکانس های بالاتر از ۱ مگاهرتز از نویز حرارتی فراتر می‌رود. در شکل (۱۱)، روند تغییرات چگالی ولتاژ نویز حرارتی ارجاع شده به گیت ($S_{VG}^{۱/۲} = \sqrt{۴kT(n\Gamma/g_m)}$) و چگالی ولتاژ نویز فلیکر ارجاع شده به گیت ($S_{VG}^{۱/۲}(f) = \sqrt{K_F/(C_{OX}^{۲}WLf^{AF})}$) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA نشان داده شده است. Γ ضریب نویز حرارتی نقطه کار در ناحیه اشباع می‌باشد. K_F ضریب نویز فلیکر و AF شیب نویز فلیکر هستند. همانگونه که در شکل واضح است، نویز حرارتی و نویز فلیکر با افزایش IC افزایش می‌یابند.

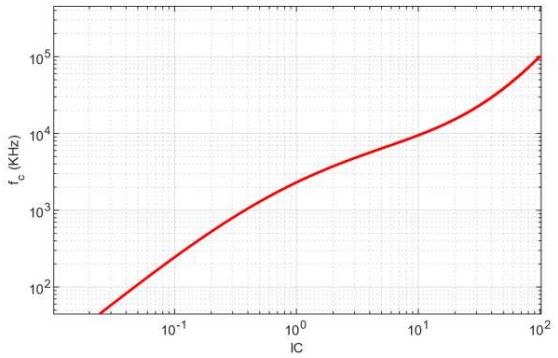
فرکانس گوشه نویز فلیکر (f_c) فرکانسی است که در آن نویز حرارتی و نویز فلیکر برابرند. در فرکانس های کمتر از f_c، نویز فلیکر و در فرکانس های بالاتر از آن، نویز حرارتی غالب است. در شکل (۱۲)، روند تغییرات f_c قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA نشان داده شده است. همانگونه که در شکل قابل مشاهده است، روند تغییرات f_c مشابه با نویز حرارتی و نویز فلیکر بوده و با IC افزایش می‌یابد.

۳-۶- پارامترهای عدم تطابق محلی DC

تغییرات رخ داده در فرآیند ساخت می‌تواند منجر به عدم تطابق در پارامترهای الکتریکی قطعات MOSFET با Layout و شرایط بایاس

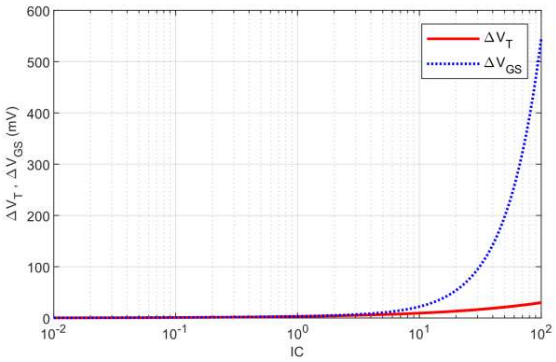


شکل (۱۱): چگالی ولتاژ نویز حرارتی ارجاع شده به گیت ($S_{VG}^{1/2}$) و چگالی ولتاژ نویز فلیکر ارجاع شده به گیت ($S_{VG}^{1/2}(f)$) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA و L = ۹۰nm.



شکل (۱۲): فرکانس گوشه نویز فلیکر (f_c) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA و L = ۹۰nm.

طراحی یکسان شود. عدم تطابق در ولتاژ آستانه (V_T) و فاکتور رسانایی ($\mu C_{OX}(W/L)$) منجر به عدم تطابق ولتاژ گیت - سورس در زوجهای تفاضلی و عدم تطابق جریان درین در آیینه‌های جریان می‌شوند. در شکل (۱۳)، روند تغییرات عدم تطابق ولتاژ آستانه ($\Delta V_T = AV_T/\sqrt{WL}$) و عدم تطابق ولتاژ گیت - سورس ($\Delta V_{GS} = AV_{GS}/\sqrt{WL}$) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA نشان داده شده است. AV_T و AV_{GS} به ترتیب ضریب عدم



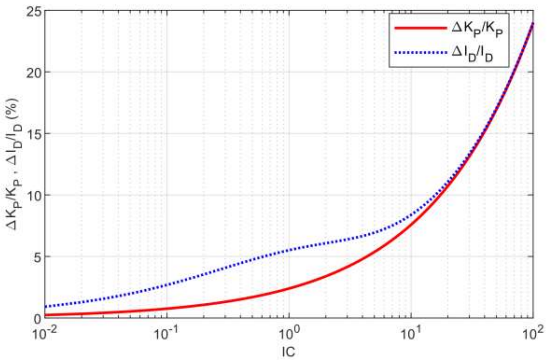
شکل (۱۳): عدم تطابق ولتاژ آستانه (ΔV_T) و عدم تطابق ولتاژ گیت - سورس (ΔV_{GS}) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA و L = ۹۰nm.

تطابق ولتاژ آستانه و ضریب عدم تطابق ولتاژ گیت - سورس می‌باشند. همانگونه که در شکل قابل مشاهده است، ΔV_T و ΔV_{GS} هر دو در نواحی WI و MI اندکی افزایش می‌یابند. این افزایش در ناحیه SI به دلیل اثرات سرعت اشباع قابل توجه است.

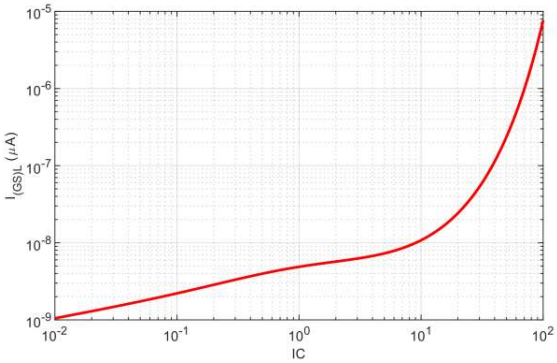
در شکل (۱۴)، روند تغییرات عدم تطابق نسبی فاکتور رسانایی ($\Delta K_P/K_P = A_{KP}/\sqrt{WL}$) و عدم تطابق نسبی جریان درین ($\Delta I_D/I_D = [AV_{GS}.(g_m/I_D)]/\sqrt{WL}$) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA نشان داده شده است. A_{KP} ضریب عدم تطابق فاکتور رسانایی می‌باشد. همانگونه که در شکل قابل مشاهده است، $\Delta K_P/K_P$ و $\Delta I_D/I_D$ هر دو در نواحی WI و MI به مقدارمتوسط افزایش می‌یابند. این افزایش در ناحیه SI به دلیل اثرات سرعت اشباع قابل توجه است.

۳-۷- جریان نشتی گیت - سورس

جریان نشتی گیت با تونل‌زنی مستقیم حامل‌ها از طریق اکسیدهای نازک گیت ایجاد می‌شود. حاصل این جریان، رسانایی سیگنال کوچک گیت است[۲۱]. در فرآیندهای با ضخامت اکسید گیت در حدود ۲ نانومتر و کمتر، جریان نشتی گیت می‌تواند به مقدار قابل توجهی بر عملکرد مدار و افزایش توان مصرفی موثر باشد. جریان نشتی گیت ($I_{(GS)_L} \propto WL.K_{GA}.f(K_{GB}).f(V_{GS})$) متناسب با ابعاد هندسی، بایاس و مشخصه‌های فرآیند قطعه MOS است. K_{GA} و K_{GB} پارامترهای فرآیند جریان نشتی گیت می‌باشند. در شکل (۱۵)، روند تغییرات $I_{(GS)_L}$ قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA نشان داده شده است. همانگونه که در شکل قابل مشاهده



شکل (۱۴): عدم تطابق نسبی فاکتور رسانایی ($\Delta K_P/K_P$) و عدم تطابق نسبی جریان درین ($\Delta I_D/I_D$) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA و L = ۹۰nm.

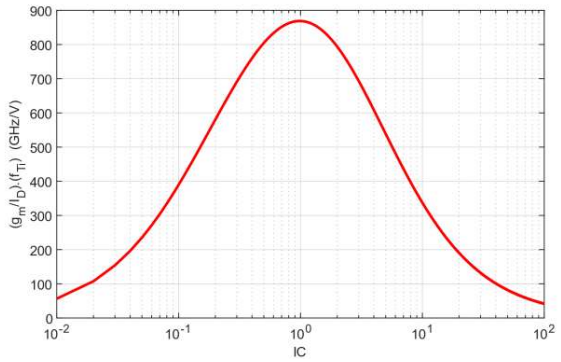


شکل (۱۵): جریان نشتی گیت ($I_{(GS)_L}$) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA و L = ۹۰nm.

است، $I_{(GS)_L}$ در نواحی WI و MI به مقدارمتوسط افزایش می‌یابد. این افزایش در ناحیه SI به دلیل اثرات سرعت اشباع قابل توجه است.

۳-۸- معیارهای شایستگی در طراحی مدارهای RF کم توان

حاصلضرب بهره رسانایی و پهنای باند ذاتی ($\text{FOM}_1 = (g_m/I_D \,.\, f_{Ti})$) و حاصلضرب بهره و پهنای باند ذاتی ($\text{FOM}_2 = (A_{Vi}.f_{Ti})$) دو معیار شایستگی هستند که ترکیبی از چند عملکرد قطعه MOS را نشان می‌دهند. در شکل‌های (۱۶) و (۱۷)، روند تغییرات FOM_1 و FOM_2 قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS نشان داده شده‌اند. همانگونه که در شکل‌های مذکور قابل ملاحظه است، ماکزیمم مقادیر این



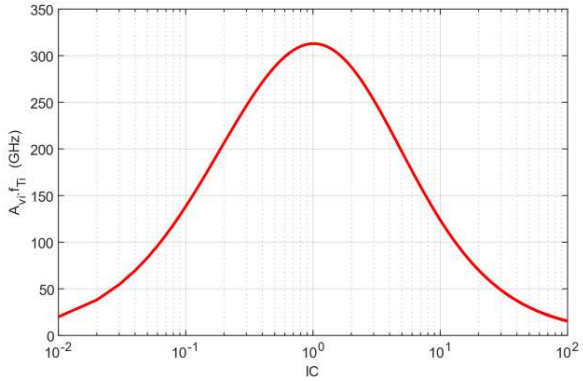
شکل (۱۶): معیار شایستگی ۱ (FOM_1) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS برای L = ۹۰nm.

دو معیار شایستگی در ناحیه MI و تقریباً در IC = ۱ اتفاق می‌افتد. لذا می‌توان نتیجه گرفت که در طراحی‌های کم ولتاژ با توان مصرفی پایین ناحیه MI انتخاب مناسبی است.

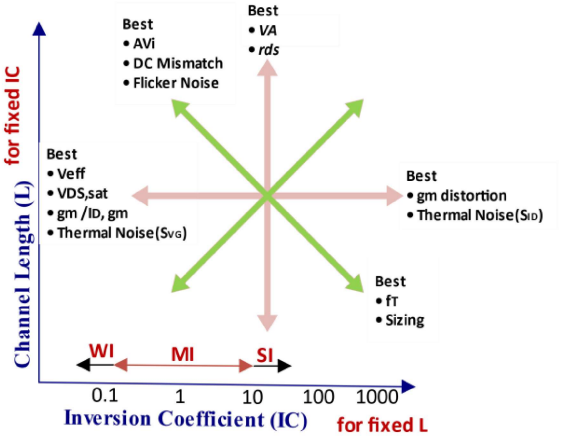
همانگونه که با بررسی مصالحه‌های عملکرد قطعه MOS در شکل‌های (۲) تا (۱۷) ملاحظه شد، استفاده از ضریب وارونگی امکان طراحی آزادانه در تمامی نواحی کار قطعهٔ MOS ازجمله وارونگی متوسط را فراهم می‌نماید. ناحیهٔ وارونگی متوسط که یک ناحیهٔ گذار بین نواحی وارونگی ضعیف و قوی بوده و نزدیک به دو دهه از جریان درین را در بر می‌گیرد، در طراحی‌های مدرن امروز بسیار حائز اهمیت است. این به علت ارائه مصالحه مناسبی از بهره رسانایی بالا، ولتاژ اشباع درین - سورس کم، افت مینیمم در مقدار رسانایی به علت سرعت اشباع و پهنای باند متوسط است که به صورت ذاتی در وارونگی متوسط وجود داشته و برای طراحی‌های ولتاژ پایین با توان مؤثر ضروری است.

۴- صفحه عملیاتی MOSFET

مصالحه‌ها در عملکرد قطعه MOS برای یک جریان دریـن معـین در ناحیـه اشباع در صفحه عملیاتی شکل (۱۸) نشان داده شده‌انـد. همانگونـه کـه در شکل قابل ملاحظه است، ترانزیستورها می‌بایستی با توجه به عملکردشان در مدار، به صورت جداگانه در نقاط مختلفی از صفحه قرار گیرند تا منجـر بـه مشخصه‌های بهتری شوند (مانند حداقل توان، حداکثر بهره، حداکثر پهنای باند و ...). به عنوان مثال کار در نواحی وارونگی ضعیف و متوسط بـا طـول‌های کانال بلند (سمت چپ صفحه)، رسانایی، بهـره رسـانایی و گـین ذاتـی ولتاژ را ماکزیمم و نویز حرارتی و فلیکـر ولتـاژ ارجـاع داده شـده بـه گیـت، ولتاژهای بایاس موثر گیت - سورس و اشباع دریـن- سـورس، عـدم تطـابق DC و جریان نشتی گیت را مینیمم می‌کند. متقابلاً، کار در نواحی وارونگـی قوی با طول‌های کانال کوتاه (سمت راست صفحه)، موجب افـزایش پهنـای



شکل (۱۷): معیار شایستگی ۲ (FOM_2) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS برای L = ۹۰nm.



شکل (۱۸): صفحه عملیاتی قطعه MOSFET بر حسب ضریب وارونگی و طول کانال انتخابی به ازای یک جریان درین معین.

باند و کاهش اعوجاج رسانایی می‌شود. بنابراین، کـار در ضـرایب وارونگـی و طول کانال متوسط، تعادل در عملکرد قطعه MOS ایجاد می کند. وارونگی متوسط در طراحی‌های کم ولتاژ و کم توان اهمیت فزاینـده‌ای دارد. کـار در وارونگی متوسط شامل مزایایی همچون ولتاژ اشباع درین - سـورس پـایین، بهره رسانایی بالا، پهنای باند ذاتی متوسط و ایمنـی خـوب در برابـر اثـرات سرعت اشباع می‌باشد که می‌توانـد بـر عملکـرد قطعـه MOS تـأثیر منفـی بگذارد. نمودارهای گرافیکی نمایش داده شـده در شـکل‌هـای (۲) تـا (۱۷) تاییدی بر این مدعا هستند.

۵- بررسی خطینگی بر حسب IC

در ایـن بخـش، بـرای نمـایش سـودمندی بکـارگیری صـفحه عملیـاتی MOSFET در انتخاب نقاط کار ترانزیستورها در مدار، تفسیر مشخصه‌هـای

مدارات آنالوگ و RF بـر حسـب ضـریب وارونگـی بـه کمـک مـدل EKV، توصیف عملکرد مدار در نواحی مختلف کار و بررسـی نتـایج در فرآینـدهای مختلف ساخت، یک رویه طراحی جهت خطینگی بهینـه مـدارهای تفاضـلی یک طبقه و کسکود در بلوکهای تقویت‌کننده معرفی می‌شود. در ایـن روش، شاخصه خطینگی AIP۳ در تقویت کننده‌های تفاضلی یک طبقه و کسـکود در تکنولوژی ۰/۱۸µm بر حسب IC تفسیر شـده و مقـدار بهینـه آن بـرای بایاسینگ قطعات فعال محاسبه می‌شود.

۵-۱- تقویت‌کننده تفاضلی یک طبقه

در شکل (۱۹)، یک تقویت کننده تفاضلی یک طبقه نشان داده شـده اسـت. مطابق با رابطه $V_{EFF} = ۲nU_T \ln\left(e^{\sqrt{IC}} - ۱\right)$ در مـدل EKV، اخـتلاف ولتاژ ورودی به شکل ذیل بدست می‌آید:

$$\Delta V_{in} = ۲nU_T[ln(e^{\sqrt{IC_۱}} - ۱) - ln\,(e^{\sqrt{IC_۲}} - ۱)] \qquad (۴)$$

با فرض بایاس ترانزیستورها در ناحیه WI، اختلاف ضرایب وارونگـی دو ترانزیستور با استفاده از بسط Maclaurin بدست می‌آید[۱۸]:

$$IC_۱ - IC_۲ \approx IC_۲ \frac{\Delta V_{in}}{nU_T} + IC_۲ \frac{(\Delta V_{in})^۲}{۲(nU_T)^۲} + IC_۲ \frac{(\Delta V_{in})^۳}{۶(nU_T)^۳} + \cdots \qquad (۵)$$

با فرض ابعـاد یکسـان ترانزیسـتورها، شاخصـه خطینگـی در وارونگـی ضعیف ($AIP3_{WI}$) به شکل ذیل محاسبه می‌شود:

$$AIP3_{WI} = \sqrt{\frac{۴}{۳}\left|\left(\frac{\alpha 1}{\alpha 3}\right)\right|} = ۲.۸۲\, nU_T \approx ۳nU_T \qquad (۶)$$

بـا فـرض بایـاس ترانزیسـتورها در ناحیـه SI و یکسـان بـودن ابعـاد ترانزیستورها، شاخصه خطینگی در وارونگی قوی ($AIP3_{SI}$) به شـکل ذیـل محاسبه می‌شود[۱۸]:

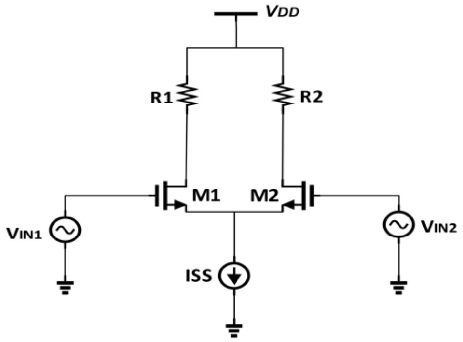
$$AIP3_{SI} = \sqrt{\frac{۴}{۳}\left|\left(\frac{\alpha 1}{\alpha 3}\right)\right|} \approx ۴.۶۱nU_T\sqrt{(IC_۱ + IC_۲)} \qquad (۷)$$

با فرض $IC_۱ = IC_۲ = IC$، را بطه (۷) به شکل ذیل حاصل می‌شود:

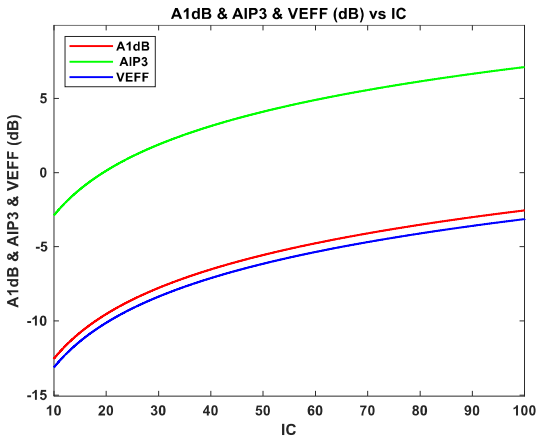
$$AIP3_{SI} = \approx ۶.۵۱nU_T\sqrt{(IC)} \approx ۳.۲۵۵V_{EFF} \qquad (۸)$$

نتیجه اینکه، خطینگی در ناحیه SI رابطه مستقیم با V_{EFF} و IC داشته و با افزایش آنها رفتار مدار بهتر و خطی‌تر می‌شود.

در شـکل (۲۰)، تغییـرات V_{EFF}، $A1dB_{SI}$ و $AIP3_{SI}$ در ناحیـه SI برای تقویت کننـده تفاضـلی یـک طبقـه در فرآینـد سـاخت ۰/۱۸µm بـر حسب IC نشان داده شده‌اند. همانگونه که قابل مشاهده اسـت، بـا افـزایش ضریب وارونگی ترانزیستورها، عملکرد خطی مدار بهبود مـی یابـد، و لـیکن

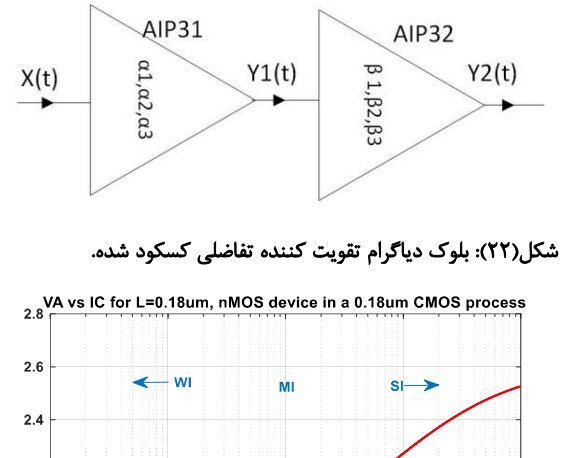


شکل (۱۹): تقویت‌کننده تفاضلی یک طبقه.



شکل(۲۰): تغییرات V_{EFF} و شاخصه‌های خطینگی در یک تقویت‌کننده تفاضلی یک طبقه بر حسب IC در ناحیه SI و در فرآیند ساخت ۰/۱۸µm.

هنگامیکه مقدار IC از مقدار IC_{CRIT} فراتر رود، با اثرات کانال کوتـاه قطعـه MOSFET مواجه هستیم که موجب افـت مشخصـه‌هـای مـدار مـی‌شـود. IC_{CRIT}، محل تلاقی منحنی g_m/I_D وارونگی قوی بـدون احتسـاب اثـرات ابعاد هندسی کوچـک قطعـه (متناسـب بـا $۱/\sqrt{IC}$) بـا منحنـی g_m/I_D وارونگی قوی با احتساب اثرات سرعت اشـباع (متناسـب بـا $۱/IC$) بـوده و ضریب وارونگی بحرانی نامیده می‌شود. این پارامتر معیاری جهت شناسـایی نواحی کار پرخطر قطعه است که با انتخاب ضـرایب وارونگـی بزرگتـر از آن مشخصه‌های مدار افت خواهند کرد. همانگونـه کـه در منحنـی g_m/I_D در ضریب وارونگی بحرانی نامیده می‌شود. این پارامتر معیاری جهت شناسـایی نواحی کار پرخطر قطعه است که با انتخاب ضـرایب وارونگـی بزرگتـر از آن مشخصه‌های مدار افت خواهند کرد. همانگونـه کـه در منحنـی g_m/I_D در شکل (۲۱) قابل مشـاهده اسـت، IC_{CRIT} مینـیمم در تکنولـوژی ۰/۱۸µm



شکل(۲۱): بهره رسانایی بر حسب IC در یک قطعه nMOS با طول L = ۰/۱۸µm در یک فرآیند ۰/۱۸µm از نوع CMOS.

برابر با ۳۱/۸۳ می‌باشد. لذا، نقاط کار بهینه ترانزیستورها برای دستیابی به خطینگی بالا، IC_{CRIT} است. البته لازم به ذکر است که با این انتخاب، مزایای بایاس قطعات در مناطق WI و MI که منجر به طراحی های کم توان می‌شود را از دست خواهیم داد و این مجدداً اصل مبادله و بهینه‌سازی در مدارهای آنالوگ و RF را خاطر نشان می‌سازد. از سوی دیگر، می‌بایستی توجه داشت که در فرآیندهای کوچکتر از ۰/۱۸µm، مقدار IC_{CRIT} کوچکتر و کوچکتر شده و بر اساس رابطه پیش‌بینی $IC_{CRIT} \approx (L_{min}/۲۰nm)^{۲}$، مقدار آن در L = ۲۰$nm$ تقریباً ۱ خواهد بود [۲۲]. لذا، نقاط کار قطعات در وسط ناحیه وارونگی متوسط (MI) می‌افتد که معمولا برای طراحی‌های کم توان ناحیه بهینه است.

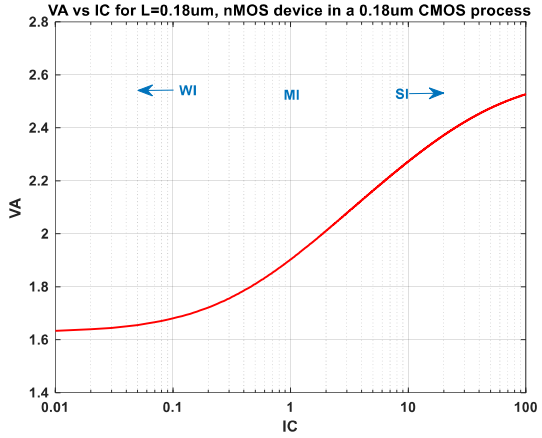
۵-۲- تقویت‌کننده تفاضلی دو طبقه یا کسکود

در شکل (۲۲)، بلوک دیاگرام کلی یک تقویت کننده تفاضلی دو طبقه یا کسکود با فرض وجود اثرات غیر خطی تا مرتبه سوم نشان داده شده است. برای سادگی محاسبات و قابل تعمیم بودن آنها، فرض می‌شود که طبقات کاملا مشابه هستند. با فرض تقارن کامل مدار و حذف اثرات هارمونیک دوم، شاخص خطینگی به شکل ذیل به دست می‌آید[۳]:

$$\frac{۱}{AIP3^{۲}} \approx \frac{۱}{AIP3_{۱}^{۲}} + \frac{\alpha_{۱}^{۲}}{AIP3_{۲}^{۲}} \qquad (۹)$$

که AIP۳ شاخصه خطینگی کل مدار و $AIP3_{۱}$ و $AIP3_{۲}$ به ترتیب شاخصه‌های خطینگی طبقات اول و دوم مدار می‌باشند. با بایاس کردن قطعات فعال مدار در ناحیه WI و جایگذاری بهره ذاتی مدار طبقه اول در رابطه (۹)، شاخصه خطینگی به شکل ذیل بدست می‌آید:

شکل(۲۲): بلوک دیاگرام تقویت کننده تفاضلی کسکود شده.



شکل(۲۳): تغییرات ولتاژ ارلی بر حسب IC برای یک قطعه nMOS با طول L = ۰/۱۸µm در یک فرآیند ۰/۱۸µm از نوع CMOS.

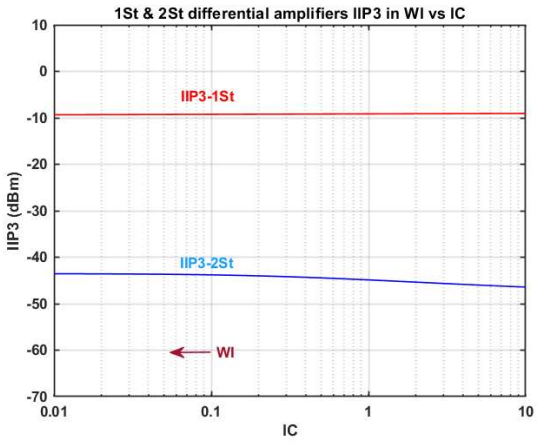
$$AIP3_{WI-۲St} \approx \frac{۲.۸۲۸(nU_T)^{۲}}{V_A} \qquad (۱۰)$$

که $AIP3_{WI-۲St}$ شاخصه خطینگی مدار زوج تفاضلی دو طبقه در ناحیه WI می‌باشد.

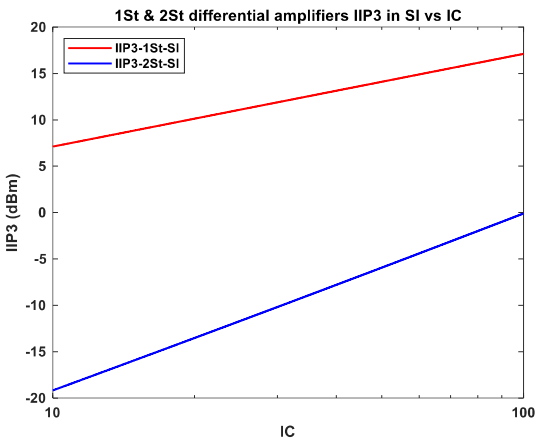
در شکل (۲۳)، تغییرات ولتاژ ارلی بر حسب IC برای یک قطعه nMOS با طول L = ۰/۱۸µm در یک فرآیند ۰/۱۸µm از نوع CMOS نشان داده شده است. همانگونه که در شکل مشخص است، در IC = ۰/۱ (در ناحیه وارونگی ضعیف)، ولتاژ ارلی دارای حداکثر مقدار V_A = ۱/۶۸V است. بنابراین، حداقل مقدار شاخصه خطینگی به شکل ذیل بدست می‌آید:

$$AIP3_{WI-۲St-min} \approx ۱.٦٨٣(nU_T)^{۲} \approx ۲.۰٤\ mV \qquad (۱۱)$$

این بدان معنی است که در ناحیه وارونگی ضعیف، حداقل مقدار نقطه قطع مرتبه سوم ورودی (IIP۳)، تقریباً ۴۳dBm- است. در شکل (۲۴)، تغییرات IIP۳ بر حسب IC برای تقویت‌کننده‌های تفاضلی یک طبقه و دو طبقه در ناحیه وارونگی ضعیف نشان داده شده است. در WI، مقادیر IIP۳



شکل(۲۴): تغییرات IIP۳ تقویت‌کننده‌های تفاضلی یک طبقه و دو طبقه بر حسب IC در ناحیه WI در یک فرآیند ۰/۱۸µm از نوع CMOS.



شکل(۲۵): تغییرات IIP۳ تقویت‌کننده‌های تفاضلی یک طبقه و دو طبقه بر حسب IC در ناحیه SI در یک فرآیند ۰/۱۸µm از نوع CMOS.

در هر دو تقویت‌کننده تقریبا ثابت است. همانگونه که انتظار می‌رود، مقدار IIP۳ مدار دو طبقه تقریباً ۳۳dB کمتر از مدار یک طبقه می‌باشد.

با فرض بایاس ترانزیستورها در ناحیه SI و نیز $IC_1 = IC_2 = IC$ و جایگذاری بهره ذاتی مدار طبقه اول در رابطه (۹)، شاخصه خطینگی به شکل ذیل بدست می‌آید:

$$AIP3_{SI-2St} \approx \frac{6.51(nU_T)^2 IC}{V_A} \qquad (12)$$

که $AIP3_{SI-2St}$ شاخصه خطینگی مدار زوج تفاضلی دو طبقه در ناحیه SI می‌باشد. ملاحظه می‌شود که $AIP3_{SI-2St}$ با IC رابطه مستقیم و با V_A رابطه عکس دارد . همانگونه که در شکل(۲۳) ملاحظه شد، از شروع منطقه وارونگی قوی (IC = ۱۰) تا IC = ۱۰۰ ، محدوده تغییرات V_A تقریباً ۰.۲ ولت است. بنابراین می‌توان نتیجه گرفت که تأثیر ضریب وارونگی بر خطی بودن مدار بیشتر از ولتاژ ارلی است.

در شکل (۲۵)، تغییرات IIP۳ بر حسب IC برای تقویت‌کننده‌های تفاضلی یک طبقه و دو طبقه در ناحیه وارونگی قوی نشان داده شده است. ملاحظه می‌شود که با افزایش IC، خطینگی مدار بهبود می‌یابد. ولیکن همانگونه که پیشتر نیز کفته شد، برای ضرایب وارونگی بزرگتر از IC_{CRIT} با مشکلات اثرات کانال کوتاه مواجه خواهیم بود. لذا، مجدداً نقاط کار بهینه ترانزیستورهای مدار برای دستیابی به خطینگی بالا، IC_{CRIT} است.

همانگونه که در شکل (۲۳) ملاحظه شد، در IC = IC_{CRIT} = ۳۱/۸۳، مقدار ولتاژ ارلی V_A = ۲/۴۲۸V است. بنابراین، مقدار بهینه AIP۳ و IIP۳ به شکل ذیل محاسبه می‌شوند:

$$AIP3_{SI-2St-OPTIMUM} \approx 84.57(nU_T)^2 \approx 0.1V \qquad (13)$$

$$IIP3_{SI\ 2St-OPTIMUM} \approx -10dBm \qquad (14)$$

۵-۳- رفتار شاخصه خطینگی در فرآیندهای مختلف

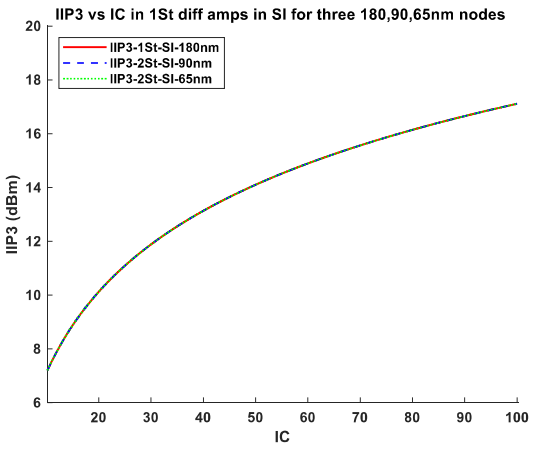
در این بخش شاخصه‌های خطینگی در سه فرآیند مختلف ۰/۱۸µm، ۹۰nm و ۶۵nm مقایسه شده و تأثیر کاهش ابعاد هندسی قطعات بر روی آنها بررسی می‌شود.

در شکل (۲۶)، IIP۳ تقویت کننده تفاضلی یک طبقه در ناحیه وارونگی قوی بر حسب IC در سه فرآیند مختلف ۰/۱۸µm، ۹۰nm و ۶۵nm نشان داده شده است. همانگونه که واضح است، هر سه منحنی بر روی هم قرار گرفته‌اند که تاییدی بر رابطه (۸) می‌باشد. این نشان می‌دهد که ظریفتر شدن تکنولوژی تاثیر چندانی بر عملکرد خطینگی قطعات در تقویت کننده‌های تفاضلی یک طبقه ندارد.

در شکل (۲۷)، ولتاژ ارلی و IIP۳ تقویت‌کننده‌های تفاضلی دو طبقه در ناحیه وارونگی قوی بر حسب IC در سه فرآیند مختلف ۰/۱۸µm، ۹۰nm و ۶۵nm نشان داده شده‌اند. همانگونه که واضح است، با ظریفتر شدن تکنولوژی، V_A کاهش یافته و در نتیجه مقدار IIP۳ افزایش می‌یابد.

۵-۴- متدولوژی طراحی

بر اساس مطالب بحث شده در بخش‌های ۵-۱ و ۵-۲، محاسبه IC_{CRIT} اجازه می‌دهد تا بایاسینگ و شاخصه‌های خطینگی بهینه بدست آورده شوند. با این رویکرد یک روش کامل طراحی در شکل (۲۸) ارائه شده است.



شکل(۲۶): اندازه‌گیری IIP۳ تقویت‌کننده‌های تفاضلی یک طبقه بر حسب IC در ناحیه SI در سه فرآیند مختلف ۰/۱۸μm، ۹۰nm و ۶۵nm از نوع CMOS.

در ادامه روند طراحی برای تقویت‌کننده تفاضلی یک طبقه به صورت مرحله به مرحله شرح داده شده است:

مرحله ۱: رسم نمودار g_m/I_D بر حسب IC جهت یافتن IC_{CRIT} مینیمم (شکل ۲۱).

مرحله ۲: تعیین طول کانال قطعه. برای دستیابی به عملکرد بهتر IIP۳، مینیمم مقدار طول کانال در فرآیند مورد نظر انتخاب می‌شود (L_{min} = ۰.۱۸μm).

مرحله ۳: رسم نمودار V_A بر حسب IC جهت یافتن مقدار ولتاژ ارلی در IC_{CRIT} مینیمم (شکل ۲۳).

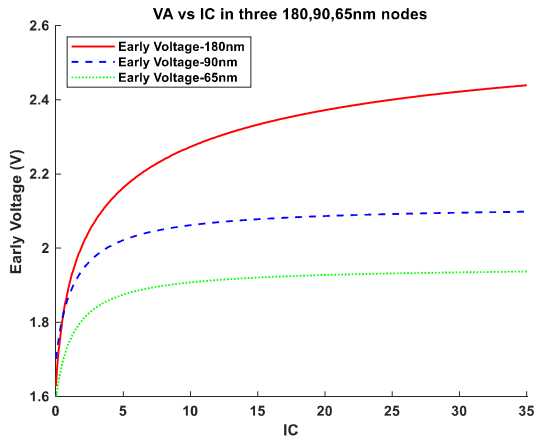
مرحله ۴: رسم نمودار رسانایی درین - سورس (g_{dso}) بر حسب IC جهت یافتن g_{dso} در IC_{CRIT} مینیمم (شکل۲۹).

مرحله ۵: محاسبه جریان درین (I_D) با استفاده از مقادیر بدست آمده در مراحل ۳ و ۴ ($I_D = V_A g_{dso}$).

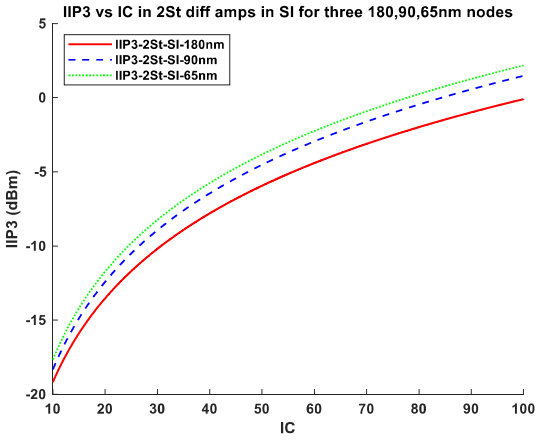
مرحله ۶: محاسبه ولتاژ گیت - سورس (V_{GS}) با استفاده از مقدار بدست آمده برای IC_{CRIT} مینیمم در مرحله۱ ($V_{GS} = 2nU_T \ln\left(e^{\sqrt{IC}} - 1\right) + V_{TH}$).

مرحله ۷: محاسبه ابعاد هندسی قطعات (W/L) با استفاده از مقادیر بدست آمده در مراحل ۱ و ۵ ($\frac{W}{L} = \frac{I_D}{IC_{CRIT} I_.}$).

مرحله ۸: محاسبه عرض قطعات با استفاده از مقادیر بدست آمده در مراحل ۱ و ۲ و ۵ ($W = \left(\frac{L}{IC_{CRIT}}\right).\left(\frac{I_D}{I_.}\right)$).



(الف)

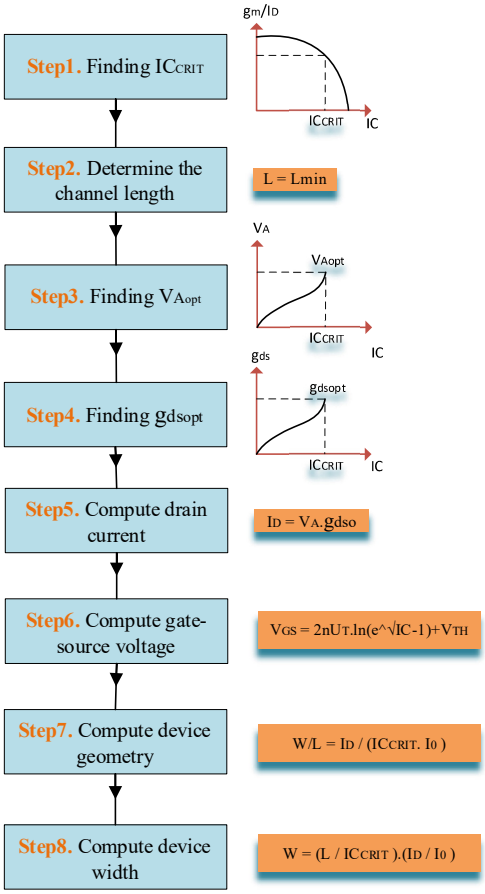


(ب)

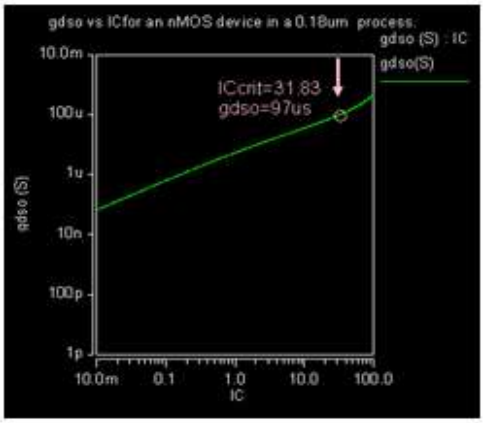
شکل(۲۷): (الف)-اندازه‌گیری ولتاژ ارلی و (ب)- IIP۳ تقویت‌کننده تفاضلی دو طبقه بر حسب IC در ناحیه SI در سه فرآیند مختلف۰/۱۸ μm، ۹۰nm و ۶۵nm از نوع CMOS.

۵-۵- اعتبار سنجی روش طراحی با شبیه‌سازی

در این بخش، مدار تقویت‌کننده تفاضلی دو طبقه مورد مطالعه در بخش‌های قبل در فرآیند ۰.۱۸μm شرکت TSMC شبیه‌سازی شده است تا روش طراحی پیشنهادی اعتبارسنجی شود. همانگونه که در شکل (۳۰) نشان داده شده است، IIP۳ تخمین زده شده از طریق روش پیشنهادی در کل ناحیه SI با نتایج شبیه‌سازی مطابقت دارد. در شکل (۳۱)، مقدار شبیه‌سازی شده IIP۳ تقویت کننده تفاضلی دو طبقه در $IC = IC_{CRIT}$ نشان داده شده است.

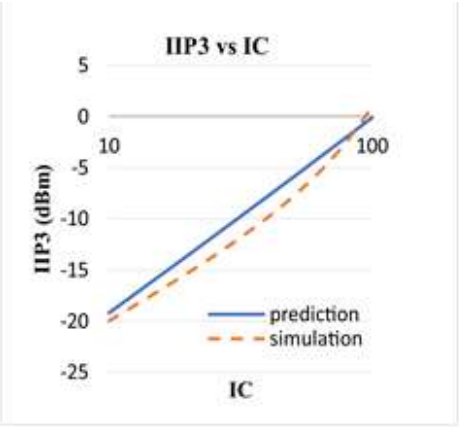


شکل (۲۸): روند کامل طراحی

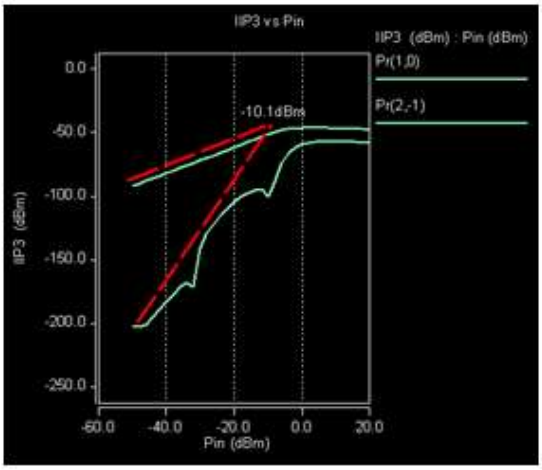


شکل (۲۹): تغییرات رسانایی درین - سورس (g_{dso}) بر حسب IC برای یک قطعه nMOS با طول L = ۰/۱۸μm در یک فرآیند ۰/۱۸μm از نوع CMOS.

همانگونه که واضح است، مقدار ۱۰/۱dBm- بدست آمده کاملاً با مقدار ۱۰dBm- استخراج شده از رابطه پیش‌بینی (۱۴) مطابقت دارد.



شکل (۳۰): مقادیر پیش‌بینی (خطوط کامل) و شبیه‌سازی (خطوط نقطه چین) IIP3 تقویت‌کننده تفاضلی دو طیقه در ناحیه وارونگی قوی بر حسب IC در فرآیند ۰/۱۸μm از نوع CMOS.



شکل(۳۱): IIP3 شبیه‌سازی شده تقویت‌کننده تفاضلی دو طیقه بر حسب توان سیگنال ورودی در فرآیند ۰/۱۸μm از نوع CMOS شرکت TSMC.

۶- نتیجه‌گیری

در این مقاله، عملکرد قطعه MOS با استفاده از مدل EKV و پارامتر کلیدی IC در فرآیند ۹۰nm از نوعCMOS بررسی شد. با ترسیم کلیه مشخصه‌های قطعه MOS بر حسب IC، امکان مشاهده عملکرد آن از ناحیه WI تا SI فراهم گردید. برای یک جریان درین معین در ناحیه اشباع،

مصالحه‌های عملکرد قطعه MOS بر روی یک صفحه عملیاتی MOSFET خلاصه شد که امکان جستجوی منطقه بهینه طراحی قطعات فعال یک مدار را فراهم می‌کند. با اینکار، مزایای بایاس قطعه MOS در ناحیه MI برای طراحی‌های ولتاژ پایین و کم توان نشان داده شد. برایش نمایش سودمندی تفسیر مشخصه‌ها بر حسب IC، بایاس قطعات به کمک صفحه عملیاتی MOSFET و نهایتاً مقایسه آنها در فناوریهای مختلف، شاخصه خطینگی دو تقویت کننده تفاضلی یک طبقه و دو طبقه در سه فناوری متفاوت به عنوان مثال طراحی در نظر گرفته شد که نتایج بدست آمده از روابط پیش-بینی و شبیه‌سازی کاملاً با هم مطابقت داشتند.

مراجع

[۱] G. Girardi, L. C. Severo and P. C. de Aguirre, “Design Techniques for Ultra-Low Voltage Analog Circuits Using CMOS Characteristic Curves: a practical tutorial,” Journal of Integrated Circuits and Systems, vol. ۱۷, n.۱, ۲۰۲۲.

[۲] W. G. Tuni., Design Methodology of Analog and RF Building Blocks Based on Precomputed Actual Device Technology Data, Ph.D. Thesis, Dept. of Electrical and Computer Engineering of University of Florida, ۱۲ December ۲۰۲۰.

[۳] B. Razavi., RF Microelectronics, ۲nd ed. Prentice Hall, ۲۰۱۱.

[٤] D. M. Binkley., *Tradeoffs and Optimization in Analog CMOS Design*, ۱st ed. New York: Wiley, ۲۰۰۸.

[٥] C. Enz, F. Chicco, and A. Pezzotta, “Nanoscale MOSFET modeling: Part ۱: The simplified EKV model for the design of low-power analog circuits,” IEEE Solid- State Circuits Mag., vol. ۹, no. ۳, pp. ۲٦–۳٥, Aug. ۲۰۱۷.

[٦] C. Enz, F. Chicco, and A. Pezzotta, “Nanoscale MOSFET modeling: Part ۲: Using the inversion coefficient as the primary design parameter,” IEEE Solid-State Circuits Mag., vol. ۹, no. ٤, pp. ۷۳–۸۱, Nov ۲۰۱۷.

[۷] E. A. Vittoz, “Micropower Techniques,” in Design of MOS VLSI Circuits for Telecommunications, J. Franca and Y. Tsividis, Eds. Englewood Cliffs, NJ: Prentice-Hall, ۱۹۹٤.

[۸] G. Guitton, “Design Methodologies for multi-mode and multi-standard Low-Noise Amplifiers”, Ph.D. Thesis, Dept. of the Engineering and Computer Science of University of Bordeaux,۱۲ December ۲۰۱۸.

[۹] C. Enz, F. Chicco, and A. Pezzotta, “Nanoscale MOSFET modeling: Part ۲: Using the inversion coefficient as the primary design parameter,” IEEE Solid-State Circuits Mag., vol. ۹, no. ٤, pp. ۷۳–۸۱, Nov ۲۰۱۷.

[۱۰] M. A. Chalkiadaki, “Characterization and modeling of nanoscale MOSFET for ultralow power RF IC design,” Ph.D. dissertation, EPFL, Switzerland, Dissertation No.۷۰۳۰, ۲۰۱٦.

[۱۱] C. Enz, F. Krummenacher, and E. A. Vittoz, “An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications,” Analog Integr. Circuits Signal Process., vol. ۸, no. ۱, pp. ۸۳–۱۱٤, Jul. ۱۹۹٥.

[۱۲] C. Enz and E. A. Vittoz, “Charge-Based MOS Transistor Modeling: The EKV Model for Low-Power and RF IC Design,” Hoboken, NJ, USA: Wiley ۲۰۰٦.

[۱۳] A. Idrissi Quali and A. El Oualkadi and M. Moussaoui and Y. Laaziz, Design Optimization Methodology Based on Inversion Coefficient. Arab J Sci Eng, ۰۹ November ۲۰۱٤.

[۱٤] W. Sansen, “Minimum power in analog amplifying blocks: Presenting a design procedure,” IEEE Solid-State Circuits Mag., vol. ۷, no. ٤, pp. ۸۳–۸۹, Fall ۲۰۱٥.

[۱٥] W. Sansen, “Biasing for Zero Distortion Using the EKV/BSIM٦ expressions,” IEEE Solid-State Circuits Mag., ۱۰/۱۱۰۹/MSSC.۲۰۱۸/۲۸٤٤٦۰۷, ۱۳ August ۲۰۱۸.

[۱٦] F. Chicco, A. Pezzotta, and C. C. Enz, “Charge-based distortion analysis of nanoscale MOSFETs,” IEEE Trans. Circuits Syst. I, Reg. Papers, vol. ٦٦, no. ۲, pp. ٤٥۳–٤٦۲, Feb. ۲۰۱۹.

[۱۷] Engin Afacan, “Inversion coefficient Optimization based Analog/RF circuit design automation”, Microelectronics Journal, vol. ۸۳, pp. ۸٦-۹۳, ۲۰۱۹.

[۱۸] G. Khademevatan and A. Jalali, "Study of linearity indices in analog/RF circuits using EKV model and comparing the results in three different CMOS processes," ۲۰۲۲ Iranian International Conference on Microelectronics (IICM), Tehran, Iran, Islamic Republic of, ۲۰۲۲, pp. ۱-۷.

[۱۹] https://www.epfl.ch/labs/iclab/ekv/verilog-a.

[۲۰] K. Singh and P. Jain, “BSIM۳v۳ to EKV۲/٦ Model Parameter Extraction and Optimization using LM Algorithm on ۰/۱۸um Technology node”, Intl Journal of Electronics and Telecommunications, ۲۰۱۸, vol. ٦٤, no. ۱, pp. ٥–۱۱.

[۲۱] S. Datta, A. Basak and A. Deyasi, "Gate-to-Source Leakage Current Computation in Symmetric Double Gate

MOSFET incorporating Short Channel Effects," ۲۰۲۳ IEEE Devices for Integrated Circuit (DevIC), Kalyani, India, ۲۰۲۳, pp. ۵۲۲-۵۲۵.

[۲۲] W. Sansen, "Minimum power in analog amplifying blocks: Presenting a design procedure," IEEE Solid-