دانشگاه علوم و فنون هوایی شهید ستاری
پژوهش‌های نوین در مهندسی برق و الکترونیک هوایی
https://www.mreea.ir

ارائه روشی نوین مبتنی بر منطق مد جریان به منظور بهبود سرعت و توان مصرفی دروازه‌های منطقی

رضا مالمیر[1]، محمدباقر غزنوی قوشچی[2]

[1]کارشناسی ارشد مهندسی برق الکترونیک، دانشگاه شاهد
[2]دانشیار دانشکده فنی و مهندسی، دانشگاه شاهد

واژگان کلیدی

منطق مد جریان[1]
منطق مد جریان چند دنباله[2]
آینه جریان
طراحی کم مصرف ولتاژ پایین

چکیده

منطق‌های مد جریان به دلیل مزایای چشمگیری همچون مصرف توان پایین، ثبات مصرف توان در طیف وسیعی از فرکانس‌ها، ایمنی در برابر نویز مشترک و نوسان خروجی بیشتر، به‌ویژه در کاربردهای ولتاژ پایین بی‌سیم و با سیم، به یکی از گزینه‌های جذاب در طراحی مدارها تبدیل شده‌اند. در این مقاله، یک طراحی نوین به نام منطق مد جریان چندگانه تاشوی درهم برای اجرای توابع منطقی با بیش از دو ورودی ارائه می‌شود. این مدار با استفاده از تا زدن جفت‌های کاملاً تفاضلی و جایگزینی جفت‌های دیفرانسیل NMOS و PMOS و همچنین بهره‌گیری از آینه‌های جریان مناسب بین بلوک‌ها طراحی شده است. این طراحی باعث می‌شود که دروازه‌ها با ولتاژی برابر با ولتاژ مورد نیاز یک معکوس‌کننده معمولی در منطق مد جریان (حدود ۰.۶ ولت) عمل کنند. در این مقاله، جزئیات تحلیل مدار، بهینه‌سازی، و رویکردهای پیاده‌سازی طراحی بررسی شده است. نتایج شبیه‌سازی‌های پس از چیدمان با استفاده از فناوری استاندارد سی‌ماس با ابعاد ۱۸۰ نانومتر نشان می‌دهد که در پیاده‌سازی دروازه ضرب‌کننده۳ ، توان مصرفی در مقایسه با منطق مد جریان معمولی، منطق مد جریان چند دنباله و منطق مد جریان چند دنباله تاشوی به ترتیب ۲۲٪، ۱۶٪ و ۲۴ ٪ کاهش یافته است. علاوه بر این، مولفه حاصلضرب تأخیر در توان۴ در منطق پیشنهادی نسبت به منطق‌های مد جریان، منطق مد جریان چند دنباله و منطق مد جریان چند دنباله تاشوی به ترتیب ۵۳٪، ۹.۸٪ و ۲۳٪ کاهش یافته است. شبیه‌سازی در تکنولوژی‌های جدید PTM ۴۵nm و PTM ۲۲nm بهبود عملکرد روش پیشنهادی را تایید می‌کنند.

۱- مقدمه

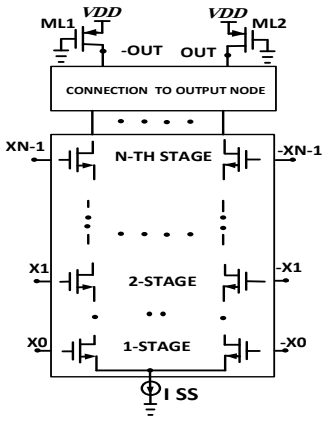
منطق‌های مد جریان به دلیل مصرف توان پایین، سرعت بالا و ثبات عملکرد در ولتاژهای پایین، به‌ویژه در کاربردهای بی‌سیم و با سیم، بسیار جذاب هستند. با گسترش روزافزون برنامه‌های مبتنی بر پردازش سیگنال دیجیتال، نیاز به مدارهای مجتمع(IC) با سرعت بالا و دقت بیشتر به شدت احساس می‌شود. از جمله کاربردهای مهم این IC ها می‌توان به پردازش سیگنال‌های تصویری و صوتی، مبدل‌های دیجیتال به آنالوگ (DAC)و مبدل‌های آنالوگ به دیجیتال (ADC) اشاره کرد.

در این IC ها، مدارهای آنالوگ و دیجیتال معمولاً به صورت مشترک در یک سیستم پیاده‌سازی می‌شوند. یکی از چالش‌های اصلی در این سیستم‌ها، تأثیر نویز مدارهای دیجیتال بر عملکرد مدارهای آنالوگ است. نویز ناشی از سوئیچینگ در بلوک‌های دیجیتال می‌تواند از طریق زیرلایه و خطوط تغذیه به مدارهای آنالوگ منتقل شود، که این موضوع می‌تواند دقت و کارایی مدارهای آنالوگ را کاهش دهد. به‌ویژه در مدارهای با وضوح بالا، نویز تولیدی توسط منطق سنتی سی‌ماس می‌تواند مشکل‌ساز باشد و به همین دلیل، استفاده از سبک‌های منطقی جایگزین با کاهش نویز سوئیچینگ ضروری است.

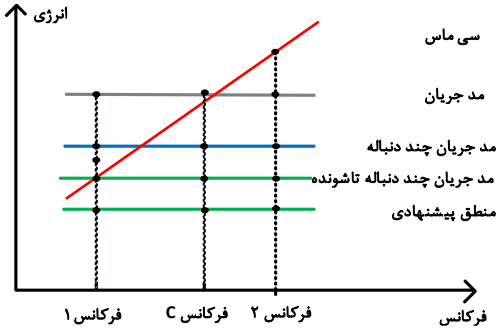
یکی از موفق‌ترین سبک‌های منطقی برای حل این مشکل، منطق مد جریان است. این نوع منطق عملکردی مشابه دیجیتال دارد اما با ویژگی‌هایی که مصرف توان ثابت را در فرکانس‌های مختلف و نویز سوئیچینگ کم به همراه دارد [۱].

با کاهش ولتاژ تغذیه، توان مصرفی کاهش یافته و نوسانات خروجی کمتر می‌شود [۲]. به دلیل کاهش نویز منبع تغذیه در منطق مد جریان، این نوع مدارها محبوبیت زیادی پیدا کرده‌اند [۳] و به ویژه در کاربردهای

[1] Source Coupled Logic
[2] Multi Tail Current Mode Logic
[3] AND gate
[4] Power Delay Product



(ب)



(الف)

شکل ۱. الف) مشخصه توان مصرفی منطق مد جریان، منطق سی ماس، منطق مد جریان چند دنباله و منطق مدجریان چند دنباله تاشونده در فرکانسهای مختلف. ب) ساختار کلی منطق مد جریان با N ورودی.

دقیق سیگنال مختلط و سیستم‌های پرسرعت مورد استفاده قرار می‌گیرند. در مدارهای سیگنال مختلط، منطق مد جریان به طور موثری نویز سوئیچینگ و نویز دیجیتال القاشده به مدارهای آنالوگ را کاهش می‌دهد [۴].

با پیشرفت تکنولوژی و افزایش کاربرد دستگاه‌های قابل حمل و وسایل الکترونیکی ثابت، نیاز به مدارها و سیستم‌های با ورودی‌های بالا افزایش یافته است. در دستگاه‌های قابل حمل، ثابت شده است که کاهش ولتاژ تغذیه به طور چشمگیری مصرف توان را کاهش می‌دهد. کاهش ولتاژ تغذیه علاوه بر کاهش اتلاف توان، نوسان منطقی خروجی را نیز کاهش می‌دهد. از آنجا که ولتاژ تغذیه با مصرف توان و سرعت سیستم ارتباط مستقیمی دارد، سیستم‌های الکترونیکی پیشرفته وابسته به بهینه‌سازی ولتاژ تغذیه هستند. این چالش‌ها و نیازها منجر به تقاضای بیشتر برای طراحی‌های با ولتاژ پایین و کارایی بالا در سیستم‌های الکترونیکی مدرن شده است. منطق مد جریان، با توجه به ویژگی‌های منحصر به فرد خود، همچنان به عنوان یک گزینه جذاب برای طراحی مدارهای پرسرعت و با دقت بالا مورد توجه طراحان قرار دارد[۵-۸].

۲- بخش‌بندی مقاله

مقاله به شرح زیر سازماندهی شده است. در بخش سوم ادبیات تحقیق بیان و مدل پیشهادی در بخش چهارم معرفی و بررسی شده است. تحلیل و نتایج شبیه‌سازی و مقایسه با کارهای پیشین در بخش پنجم گنجانده شده است. در بخش آخر نتیجه‌گیری بیان شده است.

۳- ادبیات تحقیق

توان مصرفی منطق مد جریان در رابطه (۱) نمایش داده شده است.

$$POWER = V_{DD} * I_{SS} \quad (۱)$$

با توجه به رابطه (۱) توان مصرفی در منطق مد جریان مستقل از فرکانس می‌باشد. مقایسه چهار ساختار منطق مد جریان، منطق سی‌ماس، منطق مد جریان چند دنباله و منطق پیشنهادی به ازای فرکانس‌های مختلف در شکل ۱(الف) نشان داده شده است.

۳-۱- منطق‌های مد جریان متداول

۳-۱-۱- منطق مد جریان معمولی

منطق مد جریان معمولی[۱]، از یک شبکه NMOS متصل به ترانزیستورهای PMOS که در ناحیه مقاومتی بایاس شده‌اند، برای پیاده‌سازی دروازه‌های منطقی بهره می‌برد. در این نوع منطق، مسیر جریان منبع جریان، بسته به ورودی‌ها، به گونه‌ای هدایت می‌شود که جریان از یکی از بارهای PMOS عبور کند و به این ترتیب، منطق مورد نظر پیاده‌سازی می‌شود.

ساختار کلی منطق مد جریان در شکل ۱(ب) نمایش داده شده است. در ساختار منطق مد جریان، به ازای هر ورودی یک طبقه به طبقات پشته افزوده می‌گردد. علاوه بر این، در پیاده‌سازی مدارهای پیچیده، زمانی که تعداد ورودی‌ها افزایش می‌یابد، طبقات پایین‌تر که به زمین نزدیک‌تر هستند ممکن است وارد ناحیه مقاومتی[۲] شوند. برای جلوگیری از این مشکل، استفاده از تغییر دهنده‌های سطح[۳] ضروری است.

با توجه به محدود بودن ولتاژ منبع تغذیه، در این منطق نمی‌توان دروازه‌هایی[۴] با تعداد ورودی بالا[۵] طراحی نمود. همچنین با انقباض تکنولوژی و کاهش ولتاژ منبع تغذیه به حدود زیر یک ولت این محدودیت در منطق مد جریان افزایش یافته است.

---

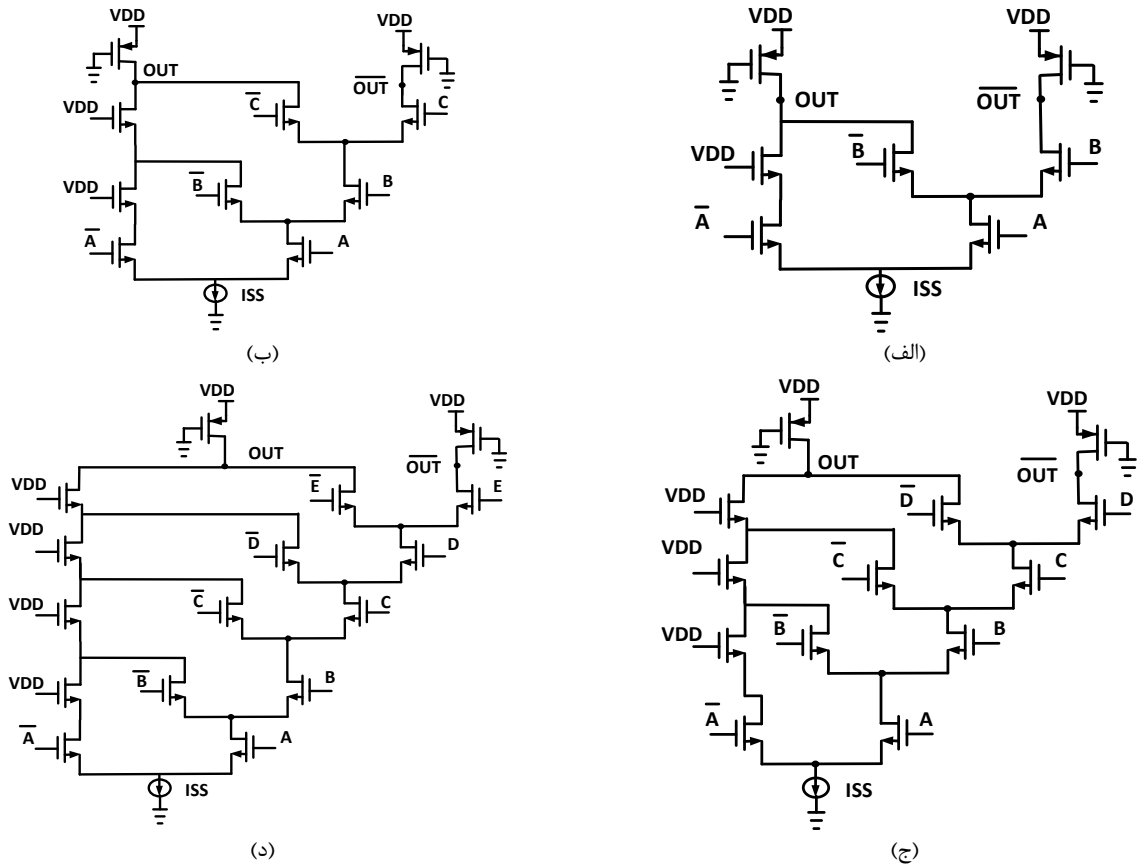
[۱] Conventional SCL

[۲] Triode

[۳] Level shifter

[۴] Gate

[۵] Fan-in



شکل ۲: مدار دروازه AND الف) با دو ورودی ب) با سه ورودی ج) با چهار ورودی د) با پنج ورودی

در منطق مد جریان به ازای N ورودی به N+۲ طبقه نیاز است. به عنوان مثال دروازه منطقی AND(NAND) دو، سه، چهار و پنج ورودی به ترتیب به ترتیب به چهار، پنج، شش و هفت طبقه پشته نیاز دارد. دروازه AND برای ورودی‌های گفته شده در شکل ۲ نمایش داده‌شده‌است. این بدان معناست که طراحی دروازه‌ها و زیر سیستم‌های پیچیده کم‌ولتاژ[۱] در این منطق به طور ذاتی ممنوع می‌گردد [۹]. افزایش ولتاژ منبع تغذیه با افزایش تعداد ورودی‌ها بزرگترین نقطه ضعف منطق مد جریان و مانع اصلی در استفاده از این منطق در مدارهای امروزی می‌باشد. با توجه به ویژگی‌های منطق مد جریان، در سالهای اخیر تلاشهای زیادی برای کاهش تعداد طبقات پشته و در نتیجه ساخت دروازه‌های منطقی با تعداد ورودی‌های بالا بر بستر ساختار منطق مد جریان صورت گرفته است.

منطق مد جریان با موفقیت در مدار مالتی‌پلکسر[۲] با سه ورودی در منطق مد جریان با موفقیت در [۱۰] پیاده‌سازی گردیده‌است. در ادامه به روش‌هایی می‌پردازیم که منجر به کاهش توان مصرفی در منطق مد جریان شده است.

۳-۱-۲- ساختار سه‌دنباله

با توجه به نیاز پیچیدگی و افزایش ورودی‌ها در مدارهای دیجیتالی، روش‌های جدیدی برای کاهش ولتاژ تغذیه مورد نیاز و همچنین افزایش سرعت مدار پیشنهاد شده‌اند. یکی از این روش‌ها تکنیک دنباله سه گانه[۳] است که به عنوان یک راه‌حل برای کاهش مصرف توان از طریق کاهش یک طبقه از طبقات پشته در مدارهای دیجیتالی در [۱۱] معرفی شده است. این تکنیک روی D-latch و مالتی‌پلکسر در [۱۲] اعمال شد.

.مزیت اصلی این روش کاهش نیاز به ولتاژ تغذیه است

با توجه به اینکه ساختار دنباله سه‌گانه یک طبقه از طبقات پشته را با استفاده از جریان دنباله سوم کاهش می‌دهد، این روش می‌تواند منجر به طراحی مدارهای دیجیتالی با عملکرد بهتر شود. با این حال، وجود حساسیت در انتخاب اندازه دقیق ترانزیستورها و افزایش چند برابر ابعاد ترانزیستور میانی، محدودیت‌هایی در کاربرد این روش ایجاد می‌کند.

از نکات مهمی که باید در نظر گرفته شود، افزایش ظرفیت خازنی ناشی از بزرگ‌تر شدن ابعاد ترانزیستورهای میانی است. این افزایش منجر به افزایش خازن‌های ذاتی ترانزیستور (پارازیتیک) می‌شود که در نهایت سرعت مدار را کاهش می‌دهد.

با توجه به این محدودیت‌ها، استفاده از منطق سه دنباله محدود به طراحی دروازه‌های با تعداد ورودی کم می‌باشد. همچنین، این منطق در پیاده‌سازی دروازه‌های پیچیده و بزرگ ناتوان است.

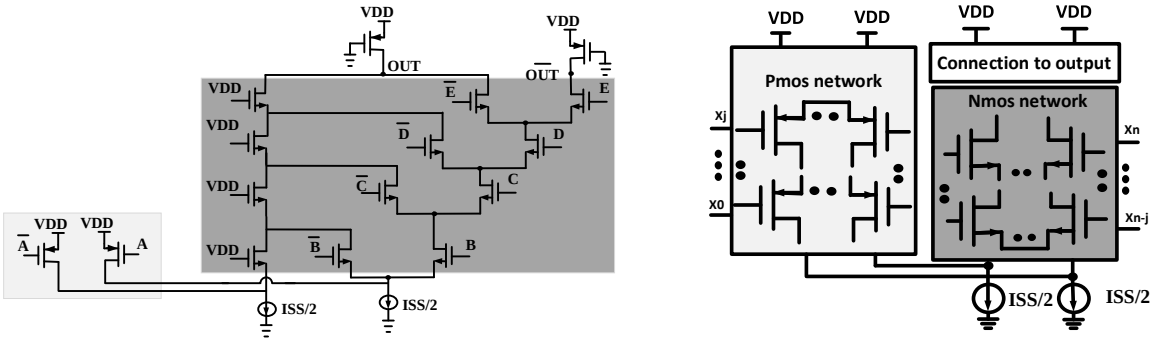
۳-۱-۳- ساختار منطق مد جریان چنددنباله

منطق مد جریان چند دنباله یک نوع پیشرفته از منطق مد جریان است که بر اساس ساختار منطق مد جریان معمولی توسعه یافته است. برای

[۱] Low V_{DD}

[۲] MUX

[۳] Triple tail



شکل ۳. الف) ساختار کلی منطق مد جریان چند دنباله ب) دروازه منطقی AND(NAND) با ۵ ورودی.

پیاده‌سازی این منطق، ابتدا مدار مورد نظر در منطق مد جریان معمولی پیاده‌سازی می‌شود. سپس، زوج‌های تفاضلی در یک سطح که به دنباله یک زوج تفاضلی در سطح بالاتر خود متصل هستند، تا شده و با زوج‌های تفاضلی PMOS جایگزین می‌شوند. در نهایت، منابع جریان مناسب در نقاط تاشده قرار می‌گیرند تا جریان مداری به درستی تنظیم شود. در منطق مد جریان چند دنباله، هر دو بلوک NMOS و PMOS به کار گرفته می‌شوند و این امر امکان پیاده‌سازی دروازه‌های منطقی با ولتاژ تغذیه پایین‌تر نسبت به منطق مد جریان معمولی را فراهم می‌کند. شکل ۳(الف) ساختار این منطق را به تصویر می‌کشد. در شکل ۳(ب) دروازه منطقی AND(NAND) با پنج ورودی که این منطق تنها یک سطح از سطوح پشته را کاهش داده نمایش داده شده است.

در این نوع منطق، با تغییر در ساختار شبکه NMOS، عمق مدار (تعداد طبقات پشته) کاهش می‌یابد. این کاهش باعث می‌شود که برای پیاده‌سازی دروازه‌ها به ولتاژ منبع تغذیه کمتری نیاز باشد. منطق مد جریان چند دنباله در مقایسه با منطق سه دنباله عملکرد بهتری داشته و توانسته است دروازه‌ها را به‌صورت سیستماتیک و گام به گام با ولتاژ تغذیه پایین‌تری پیاده‌سازی کند [۱۳].

با این وجود، یکی از چالش‌های اصلی در این ساختار، وابستگی آن به تازدن زوج‌های تفاضلی با توجه به اتصال به زوج کاملا تفاضلی در یک سطح بالاتر است. با افزایش تعداد ورودی‌ها و پیچیدگی مدار، امکان تازدن سطوح مختلف مدار کاهش می‌یابد و در برخی موارد حتی غیرممکن می‌شود. به همین دلیل، با افزایش تعداد ورودی‌ها و پیچیدگی مدار، ولتاژ تغذیه نیز باید افزایش یابد تا عملکرد صحیح مدار تضمین شود

۳-۱-۴- منطق مد جریان چند دنباله تاشونده

منطق مد جریان چند دنباله تاشونده به عنوان یک نسخه بهبود یافته از منطق مد جریان توسعه یافته است. این منطق، تمام ویژگی‌های مثبت منطق مد جریان مانند ثابت بودن مصرف توان در فرکانس‌های مختلف و ایمنی در برابر نویز را حفظ کرده و در عین حال مشکل اساسی آن، یعنی افزایش ولتاژ تغذیه با افزایش تعداد ورودی‌ها را مرتفع ساخته است. در این منطق، برخلاف منطق مد جریان که با افزایش تعداد ورودی‌ها، عمق مدار افزایش می‌یافت، تعداد بلوک‌های کنار هم (عرض منطق) افزایش می‌یابد. این تغییر ساختاری باعث می‌شود ولتاژ تغذیه ثابت بماند.

در ساختار منطق مد جریان چند دنباله تاشونده، برای هر ورودی، یک بلوک منطقی با عمق ثابت (سه طبقه) استفاده می‌شود. برای هدایت جریان بین بلوک‌ها، از آینه‌های جریان بهره گرفته می‌شود و با افزایش تعداد ورودی‌ها، تنها تعداد بلوک‌ها افزایش می‌یابد بدون آن‌که نیاز به افزایش ولتاژ تغذیه باشد. این ساختار امکان پیاده‌سازی دروازه‌های منطقی با ولتاژ تغذیه بسیار پایین، معادل با ولتاژ مورد نیاز یک معکوس‌کننده[۱] معمولی در منطق مد جریان (حدود ۰.۶ ولت) را فراهم می‌کند. به این ترتیب، این منطق توابع منطق OR(NOR) را با کمترین ولتاژ تغذیه پیاده‌سازی می‌کند [۱۴]. در شکل ۴(الف) ساختار کلی منطق چند دنباله تاشونده نمایش داده شده است. همان‌طور که مشاهده می‌شود، برای هر ورودی یک بلوک منطقی به همراه یک آینه جریان به طراحی اضافه می‌شود، در حالی که عمق منطق ثابت باقی می‌ماند. این ویژگی یکی از مزیت‌های کلیدی این منطق محسوب می‌شود.

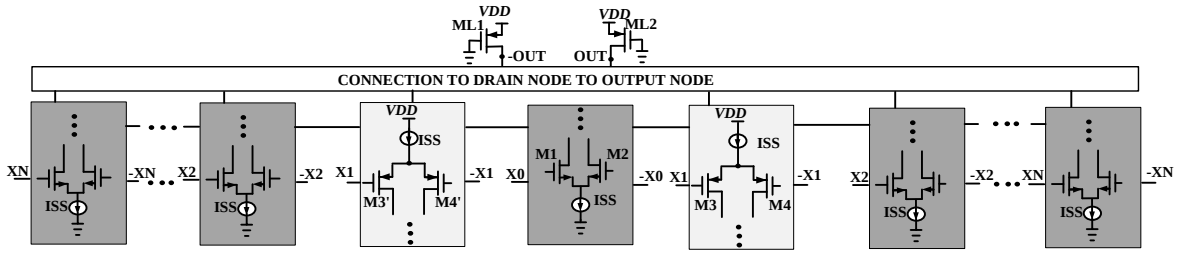
در شکل ۴(ب)، پیاده‌سازی دروازه منطقی AND(NAND) یا در این ساختار نشان داده شده است. در این طراحی، عمق منطق به مراتب کمتر از سایر منطق‌هایی است که تاکنون مورد بررسی قرار گرفته‌اند. مهم‌تر از آن، عمق منطق در این ساختار ثابت است و به تعداد ورودی‌ها و پیچیدگی تابع دروازه منطقی وابسته نیست. این امر، این ساختار را از نظر عمق منطق بسیار کارآمد و در کمترین حالت ممکن قرار می‌دهد.

با این حال، به دلیل استفاده از تعداد بلوک‌های سری متعدد، نیاز به استفاده از آینه‌های جریان بیشتر وجود دارد.

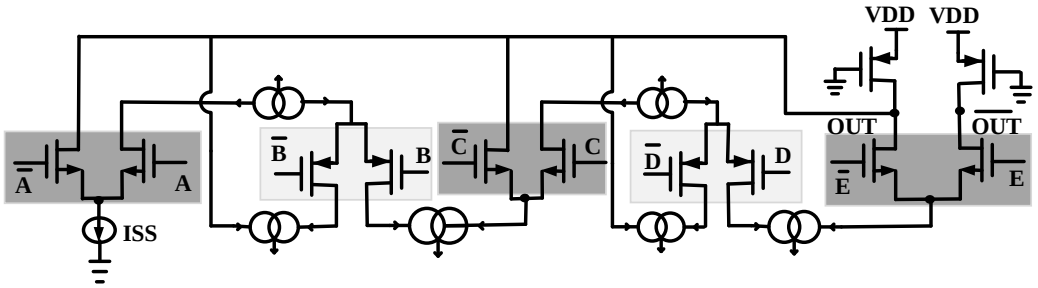
این مسئله منجر به کاهش سرعت عملکرد دروازه‌های منطقی در این طراحی می‌شود. به عبارت دیگر، اگرچه عمق لاجیک در این ساختار حداقل است، اما افزایش تعداد آینه‌های جریان می‌تواند تأثیر منفی بر توان مصرفی و سرعت کل مدار داشته باشد.

نیاز به پیاده‌سازی دروازه‌های منطقی پیچیده با کمترین ولتاژ تغذیه و بالاترین سرعت ممکن، انگیزه اصلی انجام این تحقیق بوده است. هدف این تحقیق ارائه راه‌حلی است که بتواند تمامی توابع منطقی را با کمترین ولتاژ تغذیه پیاده‌سازی کند، بدون آن‌که عملکرد مدار از نظر سرعت به شدت کاهش یابد.

[۱] Inverter



(الف)



(ب)

شکل ۴: الف) ساختار کلی منطق مد جریان چند دنباله تاشونده ب) دروازه منطقی AND(NAND) با ۵ ورودی.

در این مقاله، یک طرح جامع برای پیاده‌سازی توابع منطقی بر اساس منطق مد جریان ارائه شده است که ولتاژ تغذیه‌ای معادل ولتاژ تغذیه یک معکوس‌کننده معمولی (حدود ۰.۶ ولت) نیاز دارد. این رویکرد نه تنها باعث کاهش مصرف توان مدارهای منطقی می‌شود، بلکه باعث افزایش بهره‌وری و کاهش نویز سوئیچینگ نیز می‌گردد. به علاوه، با حفظ ویژگی‌های اصلی منطق مد جریان، از جمله ثابت ماندن مصرف توان در فرکانس‌های مختلف و مقاومت در برابر نویز، این طرح امکان پیاده‌سازی دروازه‌های پیچیده با سرعت بالا و ولتاژ تغذیه پایین را فراهم می‌کند.

۴- منطق پیشنهادی

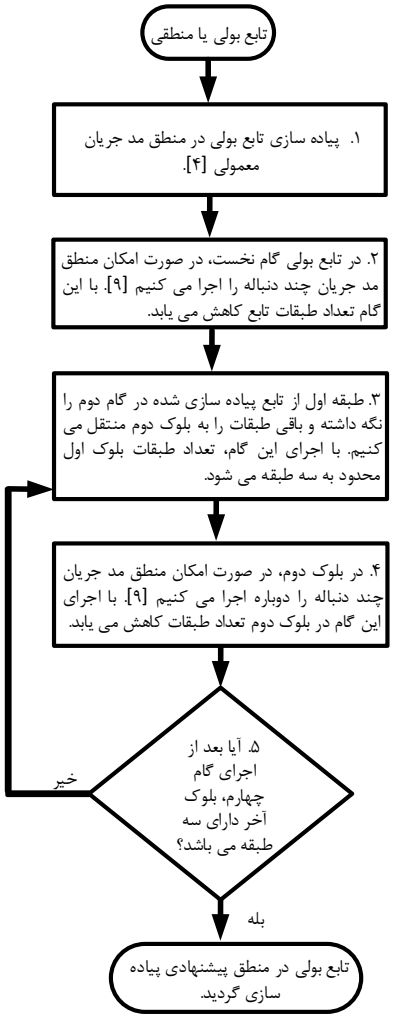
در منطق مد جریان و ساختارهای مبتنی بر این تکنولوژی مانند سه دنباله، چند دنباله و چند دنباله تاشونده، عملکرد اصلی این منطق‌ها بر مبنای کنترل و هدایت مسیر جریان از طریق شبکه‌های NMOS یا ترکیبی از NMOS و PMOS است. جریان عبوری از این شبکه‌ها و شاخه‌های بار PMOS ، منطق مورد نظر را استخراج می‌کند. به عبارت دیگر، همه این منطق‌ها از مکانیزم مشترکی برای انتخاب و کنترل مسیر جریان بهره می‌برند.

منطق پیشنهادی ساختارمند و بر اساس یک روندنما قابل اجرا برای هر نوع دروازه منطقی می‌باشد. روندنما منطق پیشنهادی در شکل ۵ ارائه شده است.

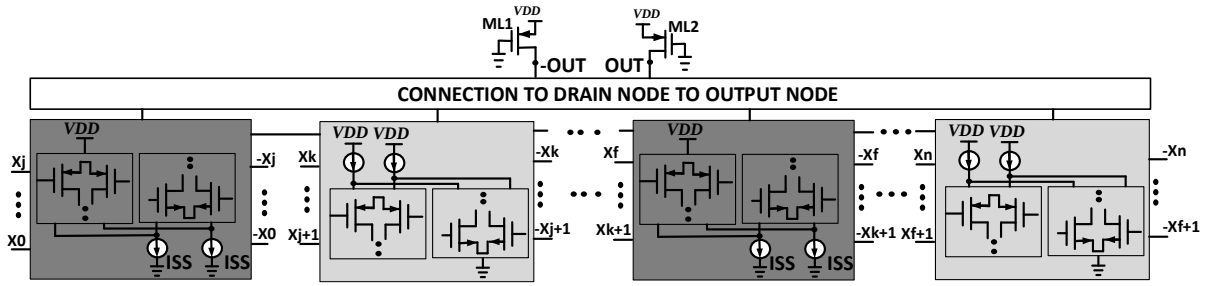
مراحل پیاده‌سازی به صورت زیر است:

گام نخست: تابع بولی مورد نظر در ابتدا به صورت پایه در منطق مد جریان معمولی پیاده‌سازی می‌شود [۹]. این مرحله به عنوان پایه برای مراحل بعدی به کار می‌رود.

گام دوم: منطق مد جریان چند دنباله برای مدار حاصل از گام اول پیاده‌سازی می‌شود [۱۳]. این مرحله با هدف کاهش تعداد طبقات پشته



شکل ۵: روندنما منطق پیشنهادی.



شکل ۶: ساختار کلی منطق پیشنهادی.

انجام می‌شود. کاهش طبقات پشته موجب کاهش ولتاژ تغذیه مورد نیاز و افزایش کارایی مدار می‌شود.

گام سوم: در این مرحله، سطح اول از سطوح پشته مدار حاصله از گام دوم نگه داشته شده و بقیه سطوح تابانده و به یک بلوک دوم منتقل می‌شوند. برای برقراری مسیر جریان و ارتباط بین بلوک‌ها، از آینه جریان استفاده می‌شود.

گام چهارم: در این مرحله، در بلوک دوم مجدداً منطق مد جریان چند دنباله پیاده‌سازی می‌شود. در این حالت، تلاش می‌شود تا تعداد طبقات پشته در بلوک دوم کاهش یابد. اگر پس از اجرای این گام، تعداد طبقات در بلوک دوم بیشتر از سه طبقه باشد، به گام سوم برمی‌گردیم و مراحل را تکرار می‌کنیم.

در نهایت، اگر تعداد طبقات در آخرین بلوک به سه طبقه برسد، تابع بولی مورد نظر با کمترین ولتاژ ممکن و کمترین تعداد بلوک‌ها پیاده‌سازی شده است. این روش منجر به کاهش مصرف توان و بهبود کارایی کلی مدارهای دیجیتال و آنالوگ می‌شود.

ساختار کلی منطق پیشنهادی، که در شکل ۶ نمایش داده شده است. در ادامه به منظور بررسی عملکرد منطق پیشنهادی دروازه AND(NAND) پیاده‌سازی شده که در نهایت یک مقایسه بین منطق‌های مطرح شده و منطق پیشنهادی برای ارزیابی انجام گردد.

برای پیاده‌سازی دروازه منطقی AND(NAND) با پنج ورودی در منطق پیشنهادی و بر اساس روندنما ارائه شده، مراحل زیر طی شده است:

گام اول: تابع منطقی AND(NAND) ابتدا در منطق مد جریان معمولی پیاده‌سازی شده است. این پیاده‌سازی در شکل ۲(د) نمایش داده شده است. این مرحله پایه‌ای برای ادامه مراحل به شمار می‌رود.

گام دوم: در این گام، منطق مد جریان چند دنباله برای دروازه AND(NAND) حاصل از گام اول اجرا می‌شود. هدف این گام کاهش تعداد طبقات پشته است که به کاهش ولتاژ تغذیه منجر می‌شود. نتیجه این پیاده‌سازی در شکل ۳(ب) نمایش داده شده است.

گام سوم: در این مرحله، اولین طبقه از طبقات پشته در بلوک اول نگه داشته می‌شود و سایر طبقات تابیده شده و به بلوک دوم منتقل می‌گردند. برای حفظ مسیر جریان بین بلوک‌ها، از آینه جریان مناسب استفاده می‌شود. این انتقال و تاشدن مدار در شکل ۷(الف) نمایش داده شده است.

گام چهارم: در بلوک دوم، منطق مد جریان چند دنباله دوباره اجرا می‌شود. این گام موجب کاهش یک طبقه از پشته مدار می‌شود و در شکل ۷(ب) نشان داده شده است.

گام پنجم: بررسی جمله شرطی در روندنما می‌باشد. در این گام با بررسی شرط مشخص می‌گردد که بلوک دوم بیش از سه طبقه دارد. بنابراین باید به گام سوم بازگشته، یک سطح از طبقات را در این بلوک نگه داشته و بقیه طبقات را به بلوک سوم منتقل کنیم. در بلوک سوم نیز منطق مد جریان چند دنباله پیاده‌سازی می‌شود. این گام در شکل ۷(ج) نمایش داده شده است.

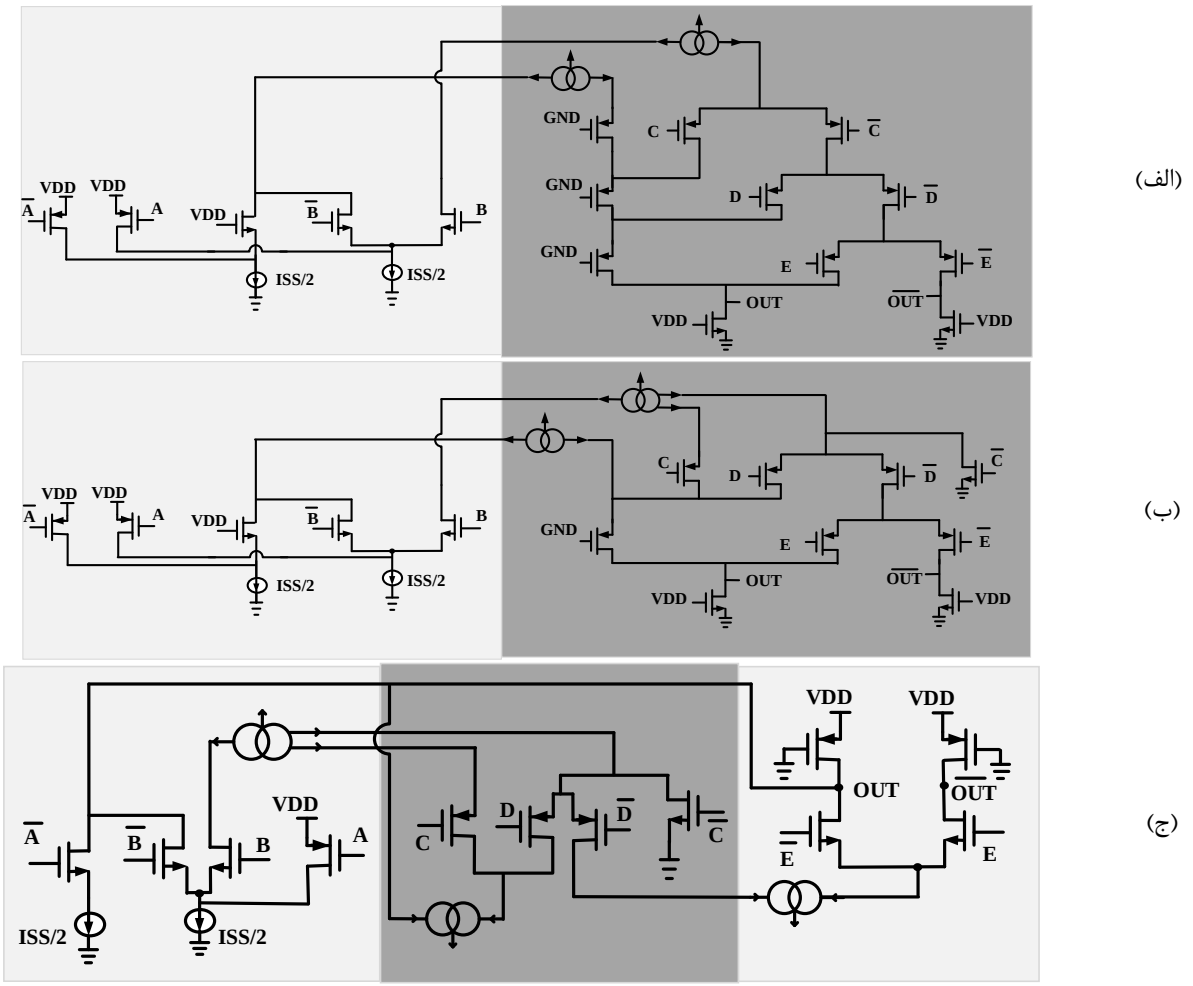
در نهایت، پس از بررسی دوباره شرط، با توجه به اینکه عمق بلوک سوم سه سطح است، شرط تأیید می‌شود و پیاده‌سازی دروازه منطقی AND(NAND) در منطق پیشنهادی به اتمام می‌رسد.

در پیاده‌سازی دروازه AND(NAND) بر اساس منطق پیشنهادی، سطح ولتاژ تغذیه حدود ۰.۶ ولت است، که به دلیل کاهش تعداد طبقات پشته و استفاده از تکنیک‌های تاشوندگی، این ولتاژ به کمترین حد ممکن رسیده است. این در حالی است که در منطق مد جریان معمولی با هفت طبقه پشته، ولتاژ تغذیه حدود ۱.۴ولت و در منطق مد جریان چند دنباله با شش طبقه، ولتاژ تغذیه حدود ۱.۲ ولت می‌باشد. بنابراین، هر دو منطق پیشنهادی و منطق مد جریان چند دنباله تاشونده در مقایسه با سایر روش‌ها ولتاژ تغذیه کمتری دارند.

نکته مهم دیگری که در طراحی این مدارها قابل توجه است، تعداد بلوک‌های منطقی مورد استفاده است. منطق پیشنهادی برای پیاده‌سازی دروازه AND(NAND) از سه بلوک منطقی بهره می‌برد، در حالی که منطق مد جریان چند دنباله تاشونده نیاز به پنج بلوک دارد. استفاده از بلوک‌های بیشتر به معنای استفاده بیشتر از آینه‌های جریان است که در نهایت منجر به افزایش مصرف توان و کاهش سرعت مدار می‌شود.

از طرفی، با توجه به کاهش ابعاد طراحی در فناوری‌های مدرن و محدودیت‌های فضا، استفاده بیشتر از بلوک‌ها و ترانزیستورها به معنی نیاز به مساحت بیشتری برای طراحی یک دروازه است، که یکی از عاملهای مهم در طراحی‌های امروزی به شمار می‌آید.

نتایج شبیه‌سازی‌ها نشان می‌دهد که منطق پیشنهادی از نظر مصرف توان، ولتاژ تغذیه، سرعت مدار و مساحت طراحی نسبت به منطق‌های مد جریان معمولی و چند دنباله تاشونده عملکرد بهتری دارد. این بهبود در عملکرد به ویژه در کاربردهای ولتاژ پایین و سیستم‌های با محدودیت فضا بسیار ارزشمند است.



شکل ۷. پیاده سازی دروازه منطقی AND(NAND) در منطق پیشنهادی الف) گام سوم ب) گام چهارم ج) گام آخر.

۴-۱- محاسبه ولتاژ مد مشترک در منطق پیشنهادی

در مدارهای مد جریان، نوسان خروجی یا ولتاژ سوئیچینگ به صورت زیر تعریف می‌شود:

$$V_{SW}=۲.R_L.V_{DD} \quad (۲)$$

در منطق پیشنهادی برای دروازه AND(NAND) که شامل سه بلوک است، رفتار بلوک‌ها با توجه به نوع ترانزیستورهای ورودی (PMOS) یا (NMOS)متفاوت است. دو حالت اصلی برای تحلیل ولتاژ مد مشترک وجود دارد:

حالت اول: بلوک‌های با ورودیPMOS

در این حالت، جریان عبوری از شاخه‌های سمت راست و چپ ISS/۲ است. بنابراین ولتاژ مد مشترک (VCM) برای بلوک‌های با ورودی PMOS به شکل زیر محاسبه می‌شود:

$$V_{CM} = (R_L.I_{SS})/٤=V_{SW}/٨ \quad (۳)$$

حالت دوم: بلوک‌های با ورودیNMOS

برای بلوک‌های با ورودی NMOS ، جریان عبوری از شاخه‌ها همچنان برابر با ISS/۲ است، اما ولتاژ مد مشترک به صورت زیر تغییر می‌کند:

$$V_{CM} = V_{DD}- (R_L.I_{SS}) /٤ =V_{DD} - (V_{SW}) /٨ \quad (۴)$$

برای اجرای صحیح منطق در هر دو بلوک با ورودی‌های NMOS و PMOS، ولتاژ مد مشترک نهایی بر اساس رابطه‌ی (۵) تنظیم می‌شود. این رویکرد امکان پیاده‌سازی دقیق در بلوک‌هایی با ورودی NMOS و PMOSرا فراهم می‌کند و به پایداری ولتاژ مد مشترک کمک می‌کند.

۴-۲- محاسبه ولتاژ تغذیه

برای بدست آوردن ولتاژ منبع تغذیه در ساختار مدار پیشنهادی، دو حالت مجزا باید در نظر گرفته شود. یکی برای بلوک‌هایی با ورودی‌های NMOS و دیگری برای بلوک‌هایی با ورودی‌های PMOS. در هر حالت، ولتاژ منبع تغذیه (V_{DD}) به پارامترهای ولتاژ سوئیچینگ، ولتاژ آستانه (V_{TH})، و ولتاژ اوردرایو (V_{OV}) بستگی دارد.

حالت اول: بلوک‌های با ورودی NMOS

در این بلوک ولتاژ منبع از طریق روابط زیر بدست می‌آید.

$$V_{DS.N} \geq V_{DS.SAT} \quad (۵)$$

$$V_{DS.ISS} = V_{CM.N} - V_{GS.N} \geq V_{DS.ISS.SAT} \quad (۶)$$

$$V_{DD} \geq \frac{V_{SW}}{٨} + V_{GS} + V_{DS.SAT} \quad (۷)$$

$$V_{DD} > \frac{V_{SW}}{٨} + ۲V_{OV} + V_{TH} \quad (۸)$$

حالت دوم: بلوک‌های با ورودی PMOS

در این حالت نیز باید ولتاژ منبع تغذیه از طریق روابط مشابه، اما برای ترانزیستورهای PMOS محاسبه شود. ولتاژ درین-سورس برایPMOS و جریان‌های مرتبط به گونه‌ای تنظیم می‌شود که ترانزیستورهای PMOS در ناحیه فعال باقی بمانند.

در این بلوک ولتاژ منبع از طریق روابط زیر بدست می‌آید.

$$|V_{DS1M}| \geq |V_{DS1M.SAT}| \quad (۹)$$

$$V_{DS.1M} = V_{DD} - (V_{CM.P}) > V_{DS1M.SAT} \quad (۱۰)$$

$$V_{DSM} = V_{DD} - (\frac{V_{SW}}{\lambda} + V_{GS}) > V_{DSM.SAT} \quad (۱۱)$$

$$V_{DD} > \left(\frac{V_{SW}}{\lambda} + V_{GS}\right) + V_{DSM.SAT} \quad (۱۲)$$

$$V_{DD} > \left(\frac{V_{SW}}{\lambda} + ۲V_{OV} + V_{TH}\right) \quad (۱۳)$$

با توجه به روابط (۸) و (۱۰)کمترین ولتاژ مورد نیاز منبع تغذیه برابر رابطه (۱۴) می‌باشد.

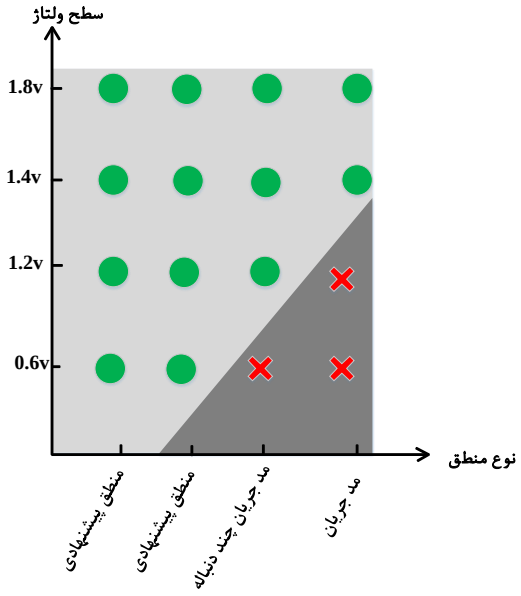
$$\frac{V_{SW}}{\lambda} + ۲V_{OV} + V_{TH} \quad (۱۴)$$

۴-۱- توان مصرفی

برای محاسبه توان مصرفی دروازه در منطق پیشنهادی، از رابطه‌ی (۱۵) یعنی ضرب ولتاژ منبع تغذیه در مجموع جریان‌هایی که از منبع تغذیه به سمت زمین جاری هستند، استفاده می‌شود. این جریان‌ها از هر بلوک در مدار عبور می‌کنند. بنابراین، با توجه به اینکه هر بلوک یک مسیر جریان از منبع تغذیه به سمت زمین دارد، تعداد مسیرهای جریانی برابر با تعداد بلوک‌ها خواهد بود. این فرمول نشان می‌دهد که هرچه تعداد بلوک‌ها بیشتر باشد یا جریان هر بلوک بیشتر باشد، توان مصرفی نیز افزایش می‌یابد.

$$P_T = \sum V_{DD} \times I_{SS} \quad (۱۵)$$

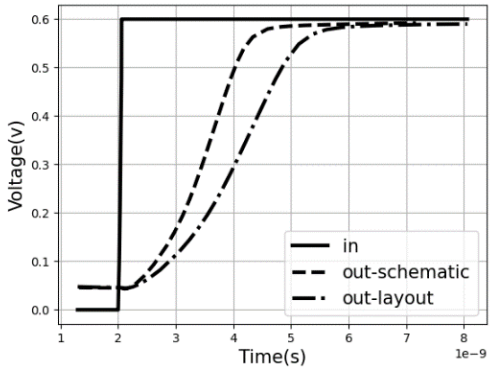
محدوده عملیاتی برای اجرای دروازه AND(NAND) به ازای ولتاژهای مختلف در منطق‌های مد جریان، مد جریان چند دنباله، منطق مد جریان چند دنباله تاشونده و منطق پیشنهادی در شکل ۸ نمایش داده شده است.



شکل ۸: مقایسه منطق‌های مد جریان، مد جریان چند دنباله، منطق مد جریان چند دنباله تاشونده و منطق پیشنهادی در اجرای دروازه AND(NAND).

۵- شبیه‌سازی منطق پیشنهادی و مقایسه با منطق‌های مختلف

با توجه به بررسی‌های انجام شده و نتایج شکل ۸ تنها منطق پیشنهادی و منطق مد جریان چند دنباله تاشونده توانایی پیاده‌سازی دروازه AND(NAND) با سه، چهار و پنج ورودی در کمترین مقدار ولتاژ را دارند. در نتیجه، نتایج شبیه‌سازی پیاده‌سازی این دروازه در دو منطق گفته شده در جدول ۱ نمایش داده شده است. با توجه به شبیه‌سازی‌های انجام شده در تمامی موارد، منطق پیشنهادی نسبت به منطق مد جریان چند دنباله تاشونده دارای پرتری یا از نظر سرعت و یا از نظر توان مصرفی دارد.



شکل ۹. الف شبیه سازی نمادین و جانمایی دروازه AND(NAND) در منطق پیشنهادی.

نتایج شبیه سازی نمادین[۱] و بعد از جانمایی[۲] دروازه AND(NAND) در منطق پیشنهادی در شکل ۹ نمایش داده شده است.

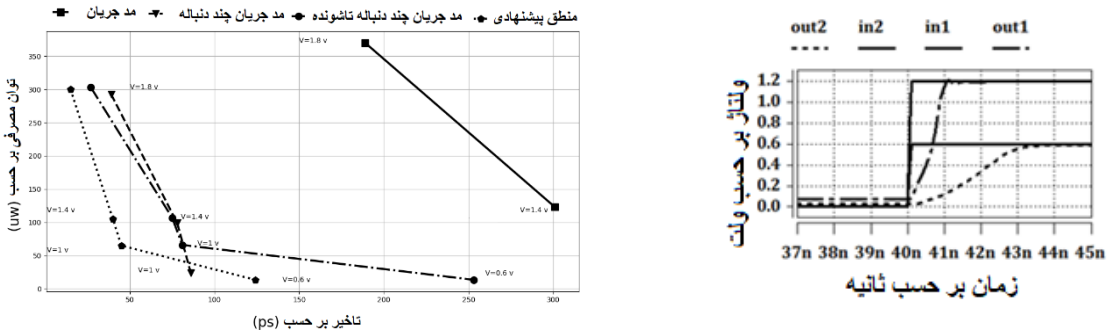
با توجه به این مهم که حداقل ولتاژ تغذیه برای دروازه‌های منطقی در منطق مد جریان بستگی به تعداد ورودی‌های منطقی مدار دارد [۱۵]. با

[۱] Symbolic

[۲] Layout

جدول ۱: مقایسه منطق پیشنهادی با منطق مد جریان چند دنباله تاشونده در پیاده‌سازی دروازه AND(NAND).

دروازه منطقی AND(NAND)		۱۸۰ نانومتری		۴۵ نانومتری		۲۲ نانومتری	
		مد جریان چند دنباله تاشونده	منطق پیشنهادی	مد جریان چند دنباله تاشونده	منطق پیشنهادی	مد جریان چند دنباله تاشونده	منطق پیشنهادی
دروازه با سه ورودی	توان مصرفی (uW)	۱.۹۶	۱.۸۸	۱.۱	۰.۵۸۰	۱.۵۵	۰.۲۵۳
	تاخیر (ps)	۹۰۵.۴	۸۳۸.۱	۲۹۸.۵	۴۲۸.۴	۱۱۸۰	۷۸۸
	تاخیر * توان (fJ)	۱.۷۸	۱.۵۸	۰.۳۳	۰.۲۵	۱.۸۳	۰.۲
دروازه با چهار ورودی	توان مصرفی (uW)	۲.۱۸	۰.۹۰۲	۰.۸۴	۰.۷۹	۰.۸۴	۰.۲۱
	تاخیر (ps)	۱۸۰۲	۱۳۲۵	۲۹۳۳	۳۱۶.۷	۱۴۸۸	۶۷۷
	تاخیر * توان (fJ)	۳.۹۳	۱.۲۰	۲.۴۵	۰.۲۵	۱.۲۵	۰.۱۴
دروازه با پنج ورودی	توان مصرفی (uW)	۱.۸۷	۰.۴۴۷	۰.۷۸	۰.۹۷	۰.۷۹	۰.۲۶
	تاخیر (ps)	۶۵۳.۹	۶۳۰.۳	۱۹۸۱	۲۲۸.۵	۷۱۸	۸۴۵
	تاخیر * توان (fJ)	۱.۲۲	۰.۲۸۲	۱.۵۴	۰.۲۲	۰.۵۷	۰.۲۲



شکل ۱۰ الف) نتایج شبیه سازی دروازه AND(NAND) در منطق مد جریان چند دنباله و در منطق پیشنهادی ب) مقایسه منطق پیشنهادی با سایر منطق‌های مد جریان.

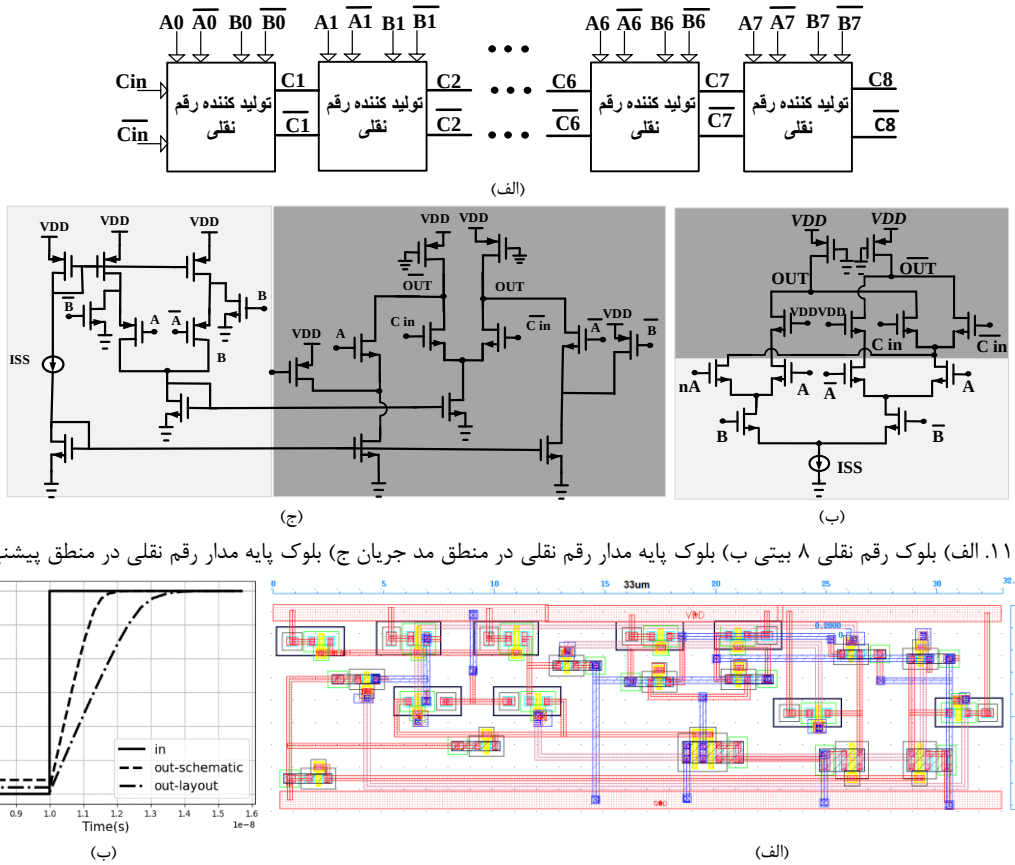
توجه به اینکه از روش منطق مد جریان چند دنباله در منطق پیشنهادی استفاده می‌گردد، نتایج شبیه‌سازی بین منطق پیشنهادی و منطق مد جریان چند دنباله در شکل ۱۰(الف) نمایش داده شده‌است. منطق مد جریان چند دنباله در بهترین حالت به ولتاژ ۱.۲ ولت برای عملکرد صحیح دروازه منطقی نیاز دارد در حالیکه منطق پیشنهادی با ۰.۶ ولت به درستی عمل می‌کند. به منظور بررسی دقیق‌تر عملکرد منطق پیشنهادی نسبت به سایر منطق‌های بحث شده، نتایج شبیه‌سازی دروازه AND(NAND) با پنج ورودی در نمایش داده شده‌است. همانطور که انتظار می‌رود منطق پیشنهادی عملکرد بهتری نسبت به سایر منطق‌های ارائه شده دارد.

در این بررسی، دروازه منطقی AND(NAND) در چهار ساختار مختلف : منطق مد جریان معمولی، منطق مد جریان چند دنباله، منطق مد جریان چند دنباله تاشونده، و منطق پیشنهادی پیاده‌سازی شده است. هر چهار ساختار تحت شرایط ورودی و ولتاژ یکسان مورد ارزیابی قرار گرفته‌اند.

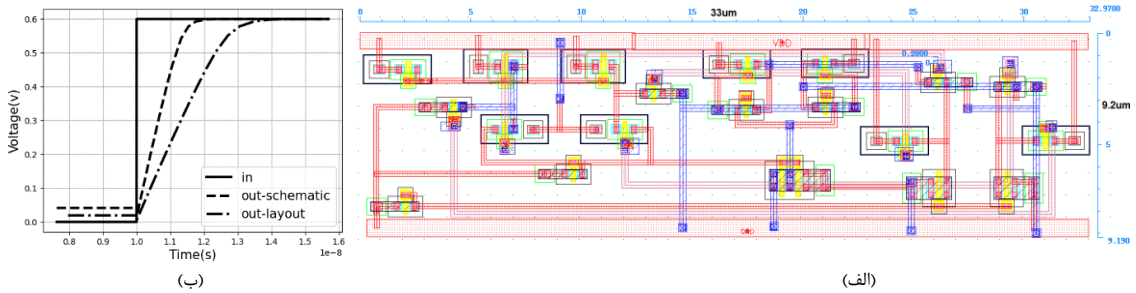
در بررسی توان مصرفی منطق پیشنهادی نسبت به منطق مد جریان معمولی، منطق مد جریان چند دنباله و منطق مد جریان چند دنباله تاشونده توان مصرفی را ۲۲ ، ۱۶ و ۲۴درصد کاهش داده است.

برای بررسی دقیق‌تر عملکرد این منطق‌ها، عامل توان در تأخیر[1] (PDP) مورد ارزیابی قرار گرفته است. این عامل نشان‌دهنده ترکیبی از توان مصرفی و تأخیر مدار است که یکی از مهم‌ترین معیارها در طراحی مدارهای دیجیتال با کارایی بالا می‌باشد. کاهش در این عامل به معنای بهبود هم‌زمان در بهره‌وری انرژی و سرعت مدار است. نتایج این ارزیابی نشان می‌دهد که عامل توان در تأخیر، منطق پیشنهادی نسبت به منطق مد جریان، منطق مد جریان چند دنباله و منطق چند دنباله تاشونده به ترتیب ۵۳ درصد و ۹.۸ درصد و ۲۳درصد کاهش یافته است. این موضوع نشان‌دهنده کارایی بالاتر منطق پیشنهادی در شرایط مختلف می‌باشد، به ویژه برای کاربردهایی که بهینه‌سازی توان و سرعت هم‌زمان اهمیت دارد.

[1] Power-Delay Product



شکل ۱۱. الف) بلوک رقم نقلی ۸ بیتی ب) بلوک پایه مدار رقم نقلی در منطق مد جریان ج) بلوک پایه مدار رقم نقلی در منطق پیشنهادی.



شکل ۱۲. جانمایی و نتایج شبیه سازی جانمایی و نمادین در منطق پیشنهادی الف) جانمایی رقم نقلی یک بیتی ب) نتایج جانمایی و نمادین رقم نقلی یک بیتی.

۵-۱- تحقق منطق پیشنهادی در نمونه‌های دیگر

دروازه‌های منطقی، زنجیر تولید کننده رقم نقلی ۸ بیتی [۱] در شکل ۱۱(الف) نمایش داده‌شده است. بلوک پایه زنجیره تولید رقم نقلی ۸ بیتی در منطق پیشنهادی و منطق مد جریان پیاده‌سازی و مقایسه شده‌است. برای پیاده‌سازی منطق پیشنهادی طبق روندنمای ارائه شده در شکل ۵ اقدام شده‌است. بلوک پایه از دروازه تولید کننده رقم نقلی هشت بیتی در منطق مد جریان و منطق پیشنهادی در شکل ۱۱(ب) و (ج) نمایش داده شده است. دروازه تولید کننده رقم نقلی یک بیتی که همان بلوک پایه از دروازه تولید کننده رقم نقلی هشت بیتی می‌باشد، در منطق مد جریان دارای پنج طبقه و حداقل ولتاژ یک ولت برای منبع تغذیه می‌باشد.

در اجرای دروازه تولید کننده رقم نقلی یک بیتی در منطق پیشنهادی با توجه به اینکه در این منطق برای اجرای هر دروازه‌ای تعداد طبقات در بلوک‌ها ثابت (برابر با سه طبقه) می‌باشد، در نتیجه ولتاژ منبع تغذیه برابر ۰.۶ ولت می‌باشد.

برای ساخت دروازه تولید کننده رقم نقلی هشت بیتی، نیاز به هشت دروازه‌های تولید کننده رقم نقلی یک بیتی و چیدمان متوالی آنها می باشد. در جدول ۲ تأخیر و توان مصرفی متوسط دروازه تولید کننده رقم نقلی هشت بیتی در دو منطق مقایسه شده است.

جدول ۲. مقایسه بلوک سازنده رقم نقلی هشت بیتی در منطق‌های مد جریان و پیشنهادی(در تکنولوژی ۱۸۰ نانو متری).

تولید کننده رقم نقلی	تعداد ترانزیستور	توان مصرفی (uW)	تأخیر (ns)	PDP (fJ)
منطق مد جریان	۱۲۱	۱۰۹.۱	۳۲۱۷.۹	۳۵۱.۲
منطق پیشنهادی	۱۵۳	۱۹.۷	۵۹۷.۷	۱۱.۸

۵-۱- مقایسه و بررسی جانمایی و شبیه‌سازی نمادین و بعد از جانمایی

در شبیه‌سازی دروازه تولید کننده رقم نقلی برای بررسی اثرات خازن‌ها و مقاومت‌های مسیر نسبت به حالت نمادین، نتایج بعد از جانمایی این دروازه نیز بررسی گردیده‌است. در شکل ۱۲(الف) جانمایی تولید کننده رقم نقلی یک بیتی [۲] و در شکل ۱۲(ب) نتایج و مقایسه شبیه سازی نمادین و بعد از جانمایی رقم نقلی یک بیتی در منطق پیشنهادی نمایش داده شده است.

این دروازه در تکنولوژی ۱۸۰ نانومتری شبیه سازی گردیده است و مساحت اشغال شده توسط دورازه رقم نقلی یک بیتی برابر با ۳۰۳.۶ μm^2 می‌باشد.

۶- جمع‌بندی

در این مقاله، منطق پیشنهادی امکان طراحی دروازه‌های توابع منطقی را با کمترین ولتاژ ممکن، معادل ولتاژ مورد نیاز برای یک

[۱] ۸-bit Carry generator chain

[۲] ۱-bit Carry generator chain

معکوس‌کننده در منطق مد جریان(۰.۶ ولت)، فراهم می‌کند. کاهش سطح ولتاژ عملیاتی دروازه‌ها مستقیماً به کاهش توان مصرفی آنها منجر می‌شود. در مقایسه با دیگر منطق‌ها، توان مصرفی دروازه AND(NAND) در منطق پیشنهادی به ترتیب در مقایسه با منطق مد جریان، منطق مد جریان چند دنباله، و منطق مد جریان چند دنباله تاشونده به میزان ۲۲ درصد، ۱۶ درصد، و ۲۴درصد کاهش یافته است.

به منظور بررسی جامع‌تر، هر دو عامل توان و تأخیر نیز تحلیل شده و عامل توان-تأخیر در منطق‌های مختلف ارزیابی شد. نتایج نشان می‌دهد که عامل توان-تأخیر در منطق پیشنهادی نسبت به منطق مد جریان، منطق مد جریان چند دنباله، و منطق مد جریان چند دنباله تاشونده به ترتیب ۵۳ درصد، ۹.۸ درصد، و ۲۳ درصد بهبود یافته است.

علاوه بر این، مقایسه بلوک پایه دروازه تولید کننده رقم نقلی بین منطق پیشنهادی و منطق مد جریان نشان می‌دهد که منطق پیشنهادی به طور چشمگیری توان مصرفی کمتری را استفاده می‌کند، که این ویژگی آن را به گزینه‌ای کارآمدتر از نظر مصرف انرژی در طراحی مدارهای منطقی تبدیل می‌نماید.

۷- منابع

[۱] I. Savidis, S. Kose, and E. G. Friedman, "Power noise in TSV-based ۳-D integrated circuits," *IEEE Journal of Solid-State Circuits*, vol. ٤٨, no. ٢, pp. ٥٨٧-٥٩٧, ٢٠١٢.

[۲] A. Tajalli, E. J. Brauer, Y. Leblebici, and E. Vittoz, "Subthreshold source-coupled logic circuits for ultra-low-power applications," *IEEE Journal of Solid-State Circuits*, vol. ٤٣, no. ٧, pp. ١٦٩٩-١٧١٠, ٢٠٠٨.

[۳] F. Centurelli, G. Scotti, and G. Palumbo, "۰٫۵-V Frequency Dividers in Folded MCML Exploiting Forward Body Bias: Analysis and Comparison," *Electronics*, vol. ١٠, no. ١٢, p. ١٣٨٣, ٢٠٢١.

[٤] M. Anis, M. Allam, and M. Elmasry, "Impact of technology scaling on CMOS logic styles," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. ٤٩, no. ٨, pp. ٥٧٧-٥٨٨, ٢٠٠٢.

[٥] S. Fan, Z. Wang, H. Xu, H. Xu, W. Zhen, and X. Zheng, "A ٢٠٠-Gb/s ٧٠-GHz-bandwidth ٢: ١ analog multiplexer in ١٣٠-nm SiGe BiCMOS process," *IEICE Electronics Express*, p. ٢١,٢٠٢٤٠٠٩٩, ٢٠٢٤.

[٦] J. Schoepfel, T. T. Braun, J. Hellwig, H. Rücker, and N. Pohl, "A ٧٩ GHz SiGe Doherty Power Amplifier Suitable for Next-Generation Automotive Radar," *IEEE Journal of Microwaves*, ٢٠٢٤.

[٧] M. Sokol, Pavol Galajda, Jan Saliga, and Patrik Jurik, "Design of AD Converters in ۰٫۳۵ µm SiGe BiCMOS Technology for Ultra-Wideband M-Sequence Radar Sensors.," *Sensors 24*, no. ٩ ٢٨٣٨, ٢٠٢٤.

[٨] Y. Wenger, H. J. Ng, F. Korndörfer, B. Meinerzhagen, and V. Issakov, "Differential-mode power detection for built-in self-test of SiGe automotive radar transceiver front ends," *IEEE Transactions on Microwave Theory and Techniques*, ٢٠٢٤.

[٩] M. Alioto and G. Palumbo, *Model and design of bipolar and MOS current-mode logic: CML, ECL and SCL digital circuits*. Springer Science & Business Media, ٢٠٠٦.

[١٠] M. Alioto and G. Palumbo, "Power-delay optimization of D-latch/MUX source coupled logic gates," *International Journal of Circuit Theory and Applications*, vol. ٣٣, no. ١, pp. ٦٥-٨٦, ٢٠٠٥.

[١١] K. Gupta, N. Pandey, and M. Gupta, *Model and design of improved current mode logic gates*. Springer, ٢٠٢٠.

[١٢] M. Alioto and G. Palumbo, "Feature-Power-aware design techniques for nanometer MOS current-mode logic gates: a design framework," *IEEE Circuits and Systems Magazine*, vol. ٦, no. ٤, pp. ٤٢-٦١,٢٠٠٦.

[١٣] M. B. Ghaznavi-Ghoushchi and S. A. H. Ejtahed, "MTCML: Analysis, design and optimization of an alternative shallow-depth multiple-tail current mode logic," *Microelectronics Journal*, vol. ٦٧, pp. ٥٧-٧٠, ٢٠١٧.

[١٤] G. Palumbo and G. Scotti, "A Multi-Folded MCML for Ultra-Low-Voltage High-Performance in Deeply Scaled CMOS," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. ٦٧, no. ١٢, pp. ٤٦٩٦-٤٧٠٦, ٢٠٢٠.

[١٥] M. Rafiee and M. Ghaznavi-Ghoushchi, "Design of low-voltage shallow-depth differential source coupled logic using feedback and feedforward techniques," *Microelectronics Journal*, vol. ٨٦, pp. ١٤٠-١٤٩, ٢٠١٩.