Modern Research in Aviation Electrical and Electronic Engineering
Vol.2, No.1, Autumn 2025
https://www.mreea.ir

Investigating the effects of technology refinement on the performance of metal-oxide-semiconductor field-effect transistors (MOSFETs) using the key parameter of inversion coefficient

Gholamreza Khademevatan[1], Ali Jalali[1*]

[1]Department of Electrical Engineering, Shahid Beheshti University, Tehran, Iran

Key words:
MOS (Metal Oxide Semiconductor), IC (Inversion Coefficient), WI (Weak Inversion), MI (Moderate Inversion), SI (Strong Inversion), RF (Radio Frequency)

Abstract

The integrated circuit design and manufacturing industry has led to the explosive development of information technology in the past six decades and has acted as a powerful engine of contemporary human civilization by advancing modern computing. The main factor in the progress of this industry is the refinement of manufacturing technology (shrinking the transistor channel length) of MOS devices, which in this paper will examine its effect on the characteristics and performance trade-offs of MOS devices in terms of the key design parameter of the inversion coefficient (IC) in all inversion regions (WI, MI and SI). These performance trade-offs include physical dimensions, bias voltages, small signal parameters, signal distortion, intrinsic voltage gain, intrinsic and non-intrinsic bandwidths, thermal noise, flicker noise, manufacturing process mismatch, leakage current and RF circuit figure of merits in terms of IC in 90nm and 180nm manufacturing technologies. Through the graphical display and sweep of the performances in terms of IC in two different manufacturing technologies, it is possible to select the desired trade-offs with the refinement of the process. Finally, an operational plane for the MOS device is introduced, which can be used to select appropriate bias points for transistors to map the tradeoffs for optimal device performance as the technology becomes more refined in the desired circuit.

* Corresponding author E-mail: a_jalali@sbu.ac.ir

پژوهش‌های نوین در مهندسی برق و الکترونیک هوایی
دوره دوم ، شماره۱، پاییز ۱۴۰۴
https://www.mreea.ir

بررسی اثرات ظریفتر شدن تکنولوژی بر عملکرد ترانزیستورهای اثر میدانی نیمه هادی اکسید فلز (MOSFET) با استفاده از پارامتر کلیدی ضریب وارونگی

غلامرضا خادم‌وطن [۱]، علی جلالی*[۱]
[۱]دانشکده مهندسی برق، دانشگاه شهید بهشتی، تهران، ایران
*Correspoding Author's E-mail : a_jalali@sbu.ac.ir

واژگان کلیدی

MOS (Metal Oxide Semiconductor)
IC (Inversion Coefficient)
WI (Weak Inversion)
MI (Moderate Inversion)
SI (Strong Inversion)
RF (Radio Frequency)

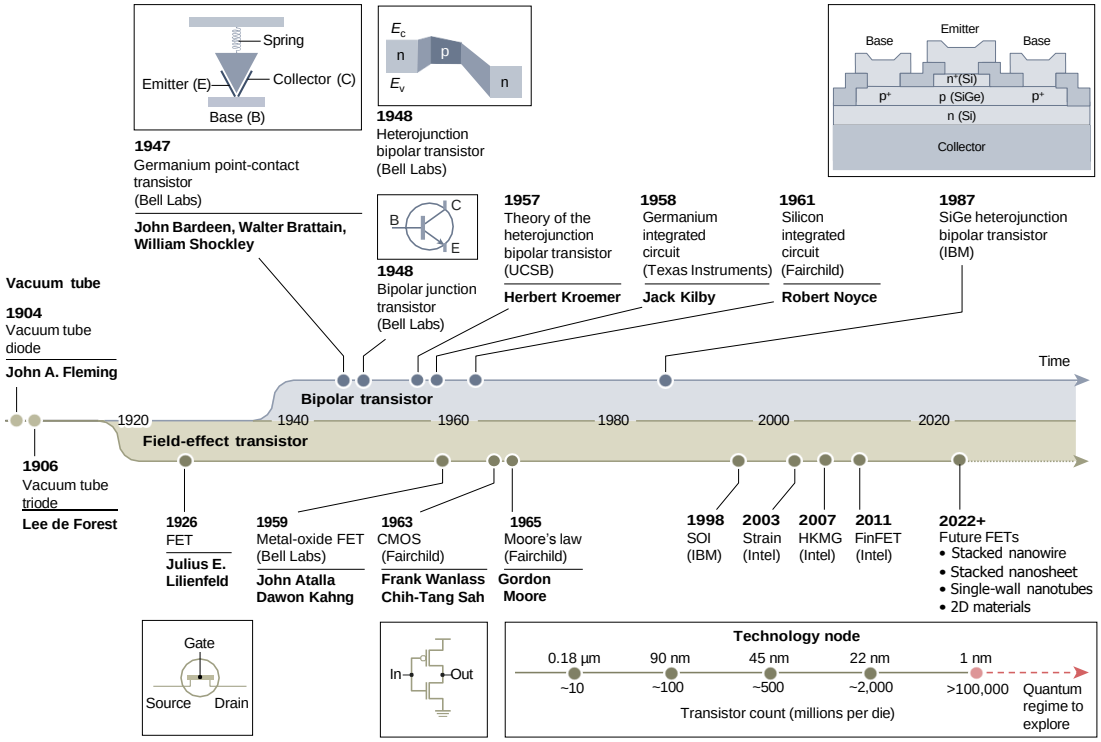
چکیده

صنعت طراحی و ساخت مدارات مجتمع در شش دهه گذشته موجب توسعه انفجاری فناوری اطلاعات شده و با پیشبرد محاسبات مدرن به عنوان موتور قدرتمند تمدن بشری معاصر عمل کرده است. عامل اصلی پیشرفت این صنعت ظریفتر شدن فناوری ساخت (کوچک شدن طول کانال ترانزیستور) قطعات MOS است که در این مقاله تاثیر آن بر روی مشخصه‌ها و مصالحه‌های عملکرد قطعه MOS بر حسب پارامتر کلیدی طراحی ضریب وارونگی (IC) در کلیه نواحی وارونگی (WI، MI و SI) بررسی می‌شود. این مصالحه‌های عملکرد شامل ابعاد فیزیکی، ولتاژهای بایاس، پارامترهای سیگنال کوچک، اعوجاج سیگنال، بهره ذاتی ولتاژ، پهنای باندهای ذاتی و غیر ذاتی، نویز حرارتی، نویز فلیکر، عدم تطابق ناشی از فرآیند ساخت (Mismatch)، جریان نشتی و معیارهای شایستگی مدارهای RF بر حسب IC در تکنولوژیهای ساخت ۹۰nm و ۱۸۰nm می‌باشند. از طریق نمایش گرافیکی و جاروب (Sweep) عملکردها بر حسب IC در دو تکنولوژی ساخت متفاوت، امکان انتخاب مصالحه‌های مد نظر با ظریفتر شدن فرآیند فراهم می‌شود. در نهایت، یک صفحه عملیاتی برای قطعه MOS معرفی می‌شود که به کمک آن می‌توان نقاط بایاس مناسب ترانزیستورها برای نگاشت مصالحه‌های عملکرد بهینه قطعات در اثر ظریفتر شدن تکنولوژی در مدار مورد نظر را انتخاب کرد.

۱- مقدمه

همانگونه که در شکل (۱) قابل مشاهده است، تاریخچه الکترونیک به طور کلی از سه قطعه الکترونی اصلی تشکیل شده است: لوله خلاء ، ترانزیستور پیوندو قطبی و ترانزیستور اثر میدانی نیمه هادی اکسید فلز (MOSFET). دو قطعه اول نقش مهمی در پیشبرد محاسبات مدرن داشتند. با این حال، ظهور MOSFET، به ویژه فناوری مکمل نیمه هادی اکسید فلز (CMOS)، در طول شش دهه گذشته موجب شعله‌ور شدن توسعه انفجاری فناوری اطلاعات شده و به عنوان موتور قدرتمند تمدن بشری معاصر عمل کرده است[۱]. با توجه به الزامات برای سرعت بالاتر، کارایی انرژی و تراکم یکپارچه محصولات مدار مجتمع در سالیان اخیر، طول

ایمیل نویسنده پاسخگو: a_jalali@sbu.ac.ir



شکل ۱: تاریخچه فناوری ترانزیستور. دلیل اصلی انتقال از لوله‌های خلاء به BJT و در نهایت به MOSFET، ناشی از نیاز به کاهش مصرف انرژی بوده است[۱].

فیزیکی کانال قطعات MOSFET به زیر ۲۰ نانومتر کاهش یافته است که این مهم در سال ۱۹۶۵ تو سط گوردون مور در قالب قانونMoore پیش¬بینی شده بود. جذاب‌ترین ویژگی فناوری MOSFET برای کاربردهای مجتمع¬سازی در مقیاس بسیار بزرگ (VLSI) این است که کاهش مداوم اندازه فیزیکی آن، هر معیار مهمی مانند هزینه، عملکرد، مصرف انرژی و ... را به سمت بازدهی مناسب سوق می‌دهد. علاوه بر این، ماهیت اثر میدانی و توان نشتی فوق‌العاده کم در فناوری CMOS (شامل ماسفت‌های نوع n و نوع p) بکارگیری آن در کاربردهای توان پایین را بسیار مطلوب می سازد. با این حال، مسیر کاهش ابعاد و ظریفتر شدن تکنولوژی در فناوری MOSFET همیشه هموار نبوده است. از زمانی که اندازه قطعات وارد مقیاس‌های میکرون و زیر میکرون شد، فناوری CMOS با بسیاری از چالش‌ها مانند اثرات کانال کوتاه[1] (SCEs) مواجه بوده است [۲]. در ظریف سازی فناوری CMOS قبل از قرن بیست و یکم، تلاش‌ها بر کاهش ضخامت فیزیکی اکسید گیت و مهندسی در سورس، درین و ناخالصی کانال متمرکز بود، در حالی که در طول دو دهه گذشته، نوآوری در مواد ساخت و معرفی معماری‌های جدید همچون SC[2]، HKMG[3]، SOI[4] و FinFETs[5] برای سرکوب SCEs و سایر اثرات نامطلوب مورد توجه بوده است [۳-۱۰].

در معماری‌های پیشرفته ساخت امروزی، با کاهش ولتاژ تغذیه که از طریق تکنولوژی تحمیل می‌شود، نقاط کار ترانزیستورها به نواحی وارونگی متوسط[6] (MI) و وارونگی ضعیف[7] (WI) انتقال داده شده‌اند[۱۱]. لذا معادلات جریان MOSFET در مدل‌های قدیمی Level1 و Level3 در فناوری‌های مدرن زیرمیکرون امروزی مناسب نبوده و در بررسی عملکرد قطعات با خطا مواجه می شوند[۱۲]. از طرفی طراحی مدارهای آنالوگ و RF همواره با چالش سخت انتخاب مصالحه‌هایی همچون توان، خطینگی، نویز، بهره، ولتاژ تغذیه و پهنای باند مواجه است که رضوی آن را به عنوان رئوس یک شش ضلعی

[1] Short Channel Effects
[2] Strained Channel
[3] High-dielectric-constant (k) metal gate
[4] Silicon on Insulator
[5] Fin Field-Effect Transistors
[6] Moderate Inversion
[7] Weak Inversion

معرفی کرده است[۱۳]. در فناوری‌های ساخت قدیمی، ولتاژ موثر گیت - سورس ($V_{EFF} = V_{GS} - V_T$) به عنوان متغیر طراحی کلیدی بکار می‌رفت، ولیکن با ظریفتر شدن فناوری و کاهش طول گیت قطعات MOSFET در سالیان اخیر و انتقال نقاط بایاس آنها به نواحی وارونگی ضعیف و متوسط، V_{EFF} به دلیل ارتباط غیر خطی با جریان درین پارامتر مناسبی برای طراحی محسوب نمی‌شود[۱۴و۱۵].

در سال ۱۹۹۴، Vittoz با چاپ مقاله‌ای تحت عنوان تکنیک‌های توان پایین، مفهوم ضریب وارونگی را تعریف کرد[۱۶]. IC، مقدار نرمالیزه شده جریان درین به جریان مشخصه قطعه MOSFET است:

$$IC = \frac{I_D}{I_{spec}} = \frac{I_D}{I_0\left(\frac{W}{L}\right)}, \quad I_0 = 2n\mu C_{OX} {U_T}^2 \qquad (۱)$$

که I_D جریان بایاس ترانزیستور، I_{spec} جریان مشخصه، I_0 جریان تکنولوژی، W و L به ترتیب عرض و طول کانال ترانزیستور، n ضریب بدنه، μ_0 تحرک حامل‌ها (الکترون یا حفره) در اثر میدان‌های الکتریکی کم، C_{OX} خازن گیت - اکسید در واحد سطح و $U_T = kT/q = 26mV$ ولتاژ ترمودینامیک در دمای اتاق می‌باشند. IC، میزان وارونگی کانال قطعه MOS را مستقل از ابعاد و فرآیند ترانزیستور نشان می‌دهد:

, Weak Inversion (WI), $IC < 0.1$
, Moderate Inversion (MI), $0.1 < IC < 10$
, Strong Inversion (SI), $IC > 10$

مدل‌سازی قطعات MOS در نواحی WI و MI به کمک ضریب وارونگی به دلیل ارتباط خطی IC با جریان درین مناسبتر است[۱۷]. علاوه بر این، امکان تفسیر تمامی پارامترهای مهم ترانزیستور MOS اعم از ابعاد فیزیکی، ولتاژهای بایاس، پارامترهای سیگنال کوچک، اعوجاج سیگنال، بهره ذاتی ولتاژ، پهنای باندهای ذاتی و غیر ذاتی، نویز حرارتی، نویز فلیکر، عدم تطابق ناشی از فرآیند ساخت، جریان نشتی و معیارهای شایستگی مدارهای RF با IC وجود دارد[۱۸]. لذا با جاروب[8] IC قطعات MOSFET در یک مدار امکان کشف نقطه کار مناسب آنها فراهم می‌شود.

انتخاب مدل طراحی اولین گام در طراحی مدارهای آنالوگ و RF است. یکی از مدل‌هایی که علاوه بر سادگی با دقت و اعتماد قابل قبولی فیزیک پیچیده قطعات MOSFET مدرن و با اندازه زیر میکرون امروزی را پیش‌بینی کرده و از طراحی‌های کم توان نیز پشتیبانی می‌کند، مدل EKV است. در سال ۱۹۹۵، C.Enz، F.Krummenacher و E.A.Vittoz مدل EKV را برای ترانزیستورهای MOS توسعه دادند[۱۹ و۲۰]. این مدل جریان درین ترانزیستور MOS را به صورت پیوسته از ناحیه WI تا SI تعریف می‌کند:

$$I_D(WI-SI) = 2n\mu C_{OX} U_T^2 \left(\frac{W}{L}\right)\left[ln\left(1+e^{\frac{V_{GS}-V_T}{2nU_T}}\right)\right]^2 \qquad (۲)$$

برای احتساب اثرات ابعاد هندسی کوچک قطعه همچون سرعت اشباع و VFMR[9] کافی است به جای μ رابطه (۳) جایگذاری شود که در آن θ ضریب کاهش تحرک حامل‌ها در اثر میدان عمودی، E_{CRIT} میدان الکتریکی بحرانی افقی در سرعت اشباع و α ضریب توان سرعت اشباع می‌باشند.

$$\frac{\mu_0}{[1+\theta(V_{GS}-V_T)]\left[1+\left(\frac{V_{GS}-V_T}{LE_{CRIT}}\right)^{\alpha}\right]^{\left(\frac{1}{\alpha}\right)}} \qquad (۳)$$

اخیراً، کارهای متعددی بر مبنای پارامتر کلیدی طراحی IC ارائه شده‌اند که مزایای بکارگیری ضریب وارونگی در طراحی مدارهای آنالوگ و RF را به اثبات رسانده‌اند. به عنوان نمونه Sansen رویه‌ای برای طراحی بلوک‌های تقویت کننده کم توان و بهینه سازی قطعات جهت دستیابی به اعوجاج صفر با استفاده از مدل‌های EKV/BSIM6 پیشنهاد داده است[۲۱ و۲۲] و در [۲۳] دو شاخص مهم خطینگی یعنی A1dB و AIP3 در تقویت کننده‌های تفاضلی یک طبقه و کسکود بر اساس مدل EKV و پارامتر اصلی آن یعنی ضریب وارونگی (IC) بررسی شده‌اند.

در این مقاله، تغییرات عملکرد قطعه MOSFET اعم از ابعاد فیزیکی، ولتاژهای بایاس، پارامترهای سیگنال کوچک، اعوجاج سیگنال، بهره ذاتی ولتاژ، پهنای باندهای ذاتی و غیر ذاتی، نویز حرارتی، نویز فلیکر، عدم تطابق ناشی از فرآیند ساخت، جریان نشتی و معیارهای شایستگی مدارهای RF بر حسب ضریب وارونگی (IC) در دو فرآیند ۹۰nm و ۱۸۰nm به صورت گرافیکی مقایسه می‌شوند. در ادامه، یک صفحه عملیاتی معرفی می‌شود که نمایش‌دهنده مصالحه‌های عملکرد برحسب ضریب وارونگی و فرآیند ساخت مورد نظر (ظریفتر شدن تکنولوژی) در یک جریان بایاس ثابت است. این صفحه عملیاتی تغییرات عملکرد قطعه MOSFET با ظریفتر شدن تکنولوژی را نمایش می‌دهد. ساختار مقاله به این شکل است که در بخش ۲، پارامترهای مهم مدل EKV در دو فرآیند ۹۰nm و ۱۸۰nm خلاصه شده‌اند. در بخش ۳، کلیه مشخصه‌های عملکرد قطعه MOS بر حسب IC به صورت گرافیکی در دو فرآیند ۹۰nm و ۱۸۰nm مقایسه شده و تاثیر ظریفتر شدن تکنولوژی بر عملکردهای مختلف قطعه MOSFET بر حسب ضریب وارونگی از ضعیف تا قوی به اختصار توضیح داده می شود. صفحه عملیاتی MOSFET برای نمایش مصالحه‌های عملکرد برحسب ضریب وارونگی و فرآیند ساخت مورد نظر، در بخش ۴ معرفی شده است.

[8] Sweep

[9] Vertical Field Mobility Reduction

۲- پارامترهای فرآیند

علی‌رغم کم بودن پارامترها و معادلات مدل EKV در مقایسه با مدل فشرده و پیچیده BSIM[10]، نزدیک به ۷۰ پارامتر جهت تو صیف قطعه و پدیده‌های فیزیکی آن مورد نیاز است[۲۴]. یکی از شیوه‌های استخراج پارامترهای این مدل تبدیل پارامترهای مدل BSIM به EKV است که با استفاده از الگوریتم Levenberg-Marquardt برای تکنولوژی ۰/۱۸µm از نوع CMOS انجام شده است[۲۵]. پارامترهای مهم مدل EKV در دو تکنولوژی ۹۰nm و ۱۸۰nm به همراه ۵ پارامتر ورودی اختیاری به ترتیب در جداول (۱) و (۲) فهرست شده‌اند.

۳- مقایسه عملکرد قطعه MOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm

در این بخش به کمک پارامترهای فرآیند فهرست شده در جداول (۱) و (۲) و روابط مشخصه‌های MOS دسته‌بندی شده در جدول (۳)، مصالحه‌های عملکرد قطعه MOSFET اعم از ابعاد فیزیکی، ولتاژهای بایاس، پارامترهای سیگنال کوچک، اعوجاج سیگنال، بهره ذاتی ولتاژ، پهنای باندهای ذاتی و غیر ذاتی، نویز حرارتی، نویز فلیکر، عدم تطابق ناشی از فرآیند ساخت، جریان نشتی و معیارهای شایستگی مدارهای RF بر حسب IC در دو تکنولوژی ۹۰nm و ۱۸۰nm با استفاده از نرم‌افزار متلب تجزیه و تحلیل و با هم مقایسه می شوند. از آنجا که روند تغییرات ترانزیستورهای nMOS و pMOS بر حسب IC تقریباً یکسان بوده و تنها به دلیل تفاوت دو قطعه در پارامترهایی همچون n و µ، مقادیر مشخصه‌ها تغییر کرده و رفتار مشخصه‌ها و عملکرد قطعات تقریباً ثابت است، در این بخش تنها روند تغییرات و رفتار مشخصه‌های قطعه nMOS بر حسب ضریب وارونگی در دو تکنولوژی ۹۰nm و ۱۸۰nm بررسی و مقایسه می شوند. در کلیه پیش‌بینی‌ها، با ثابت نگهداشتن مقادیر جریان درین در ۱۰۰µAو طول‌های کانال در ۹۰nm و ۱۸۰nm، مقدار IC از ۰.۰۱ (وارونگی ضعیف عمیق) تا ۱۰۰ (وارونگی قوی عمیق) سوئیپ می‌شود.

۳-۱- پارامترهای ابعاد هندسی

در شکل (۲)، فاکتور ابعاد (W/L) و مساحت گیت (WL) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰µA نشان داده شده‌اند. همانگونه که در شکل واضح است، با ظریفتر شدن تکنولوژی فاکتور ابعاد و متعاقباً عرض کانال و مساحت گیت کاهش می‌یابند.

۳-۲- پارامترهای بایاس DC

در شکل (۳)، روند تغییرات V_{EFF} (ولتاژ موثر گیت - سورس) و $V_{DS_{Sat}}$ (ولتاژ اشباع درین - سورس) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰µA نشان داده شده‌اند. همانگونه که در شکل واضح است، با ظریفتر شدن تکنولوژی مقدار V_{EFF} در نواحی WI و MI تغییر چندانی نمی‌کند ولیکن در ناحیه SI به دلیل اثرات سرعت اشباع ناشی از ابعاد هندسی کوچک قطعه، افزایش V_{EFF} در فرآیند ۹۰nm قابل توجه است. با توجه به رابطه $V_{DS_{sat}} = 2U_T\sqrt{IC + 0.25} + 3U_T$ واضح است که با ظریفتر شدن تکنولوژی مقدار آن تغییر چندانی نمی‌کند[۲۶]. معمولاً قطعات MOS در ناحیه اشباع بایاس می‌شوند که در آن $V_{DS} > V_{DS_{sat}}$ است.

۳-۳- پارامترهای سیگنال کوچک

در شکل (۴)، روند تغییرات g_m/I_D (بهره رسانایی) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS نشان داده شده است. همانگونه که در شکل واضح است، با ظریفتر شدن تکنولوژی مقدار g_m/I_D در وارونگی ضعیف تقریباً ثابت بوده و در وارونگی قوی به دلیل اثرات سرعت اشباع ناشی از ابعاد هندسی کوچک قطعه کاهش می‌یابد. در شکل (۵)، روند تغییرات g_m (رسانایی)، g_{mb} (رسانایی اثر بدنه) و g_{ds} (رسانایی درین - سورس) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS نشان داده شده‌اند. همانگونه که در شکل واضح است، با ظریفتر شدن تکنولوژی مقادیر g_m، g_{mb} و g_{ds} در وارونگی ضعیف تقریباً تغییری نمی‌کنند ولیکن در وارونگی قوی به دلیل اثرات سرعت اشباع ناشی از ابعاد هندسی کوچک قطعه، کاهش می‌یابند. در شکل (۶)، روند تغییرات A_{1dB} (ولتاژ ورودی فشردگی 1dB) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS نشان داده شده است. همانگونه که در شکل واضح است، با ظریفتر شدن تکنولوژی عملکرد خطی بهبود می یابد. این به این دلیل است که A_{1dB} با g_m/I_D رابطه عکس دارد[۲۶].

[10] Berkeley Short-channel IGFET *Model*

جدول (۱): پارامترهای مهم فرآیند مدل EKV برای ترانزیستورهای nMOS و pMOS در تکنولوژی ۹۰nm از نوع CMOS.

Parameter	Description	Value for nMOS	Value for pMOS	Unit
t_{ox}	Oxide Thickness	۲/۳۳	۲/۵	nm
μ_0	Low Field Mobility	۴۵۴	۹۵	$\mu A/V^2$
Y	Body Effect Factor	۰/۳۲	۰,۱۶	$V^{1/2}$
V_{sat}	Saturation Velocity	۱۱۴۰۰۰	۱۲۰۰۰۰	m/s
α	Velocity Saturation Transition Exponent	۱/۱۵	۱/۱۵	--
n	Slope Factor	۱/۳	۱/۳	--
V_{T0}	Threshold Voltage	۰/۳۷۵	۰,۱۷	V
θ	Mobility Reduction Factor	۰/۵۱	۰/۴۸	V^{-1}
β	Exponent for Velocity Saturation and VFMR Effects	۰/۸	۰/۹	--
DL	Lateral Diffusion at Length	۰/۰۰۵	۰/۰۰۵	µm
DW	Lateral Diffusion at Width	۰/۰۱۲	۰/۰۱	µm
AF	Flicker Noise Slope	۰/۸۵	۱/۰۹	--
ϕ_F	Half of Fermi Potential	۰/۴۲۸	۰/۴۲	V
L_{min}	Minimum Channel Length	۰/۰۹	۰/۰۹	µm
Optional user design inputs				
f	Operation Frequency	۱	۱	Hz
V_{DD}	Supply Voltage	--	--	V
V_{SB}	Source-Body Voltage	--	--	V
V_{DS}	Drain-Source Voltage	--	--	V
T	Temperature	۳۰۰	۳۰۰	K

جدول (۲): پارامترهای مهم فرآیند مدل EKV برای ترانزیستورهای nMOS و pMOS در تکنولوژی ۱۸۰nm از نوع CMOS.

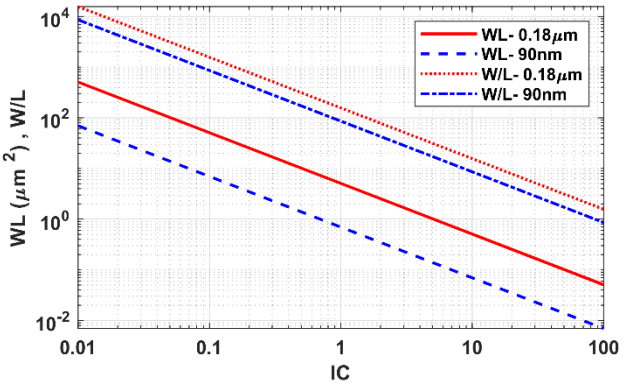
Parameter	Description	Value for nMOS	Value for pMOS	Unit
t_{ox}	Oxide Thickness	۴/۱	۴/۱	nm
μ_0	Low Field Mobility	۴۲۲	۸۹,۲	$\mu A/V^2$
Y	Body Effect Factor	۰/۵۶	۰/۶۱	$V^{1/2}$
V_{sat}	Saturation Velocity	۹۰۶۵۹/۰۹	۱۵۱۳۰۶/۸	m/s
α	Velocity Saturation Transition Exponent	۱,۳	۱/۳	--
n	Slope Factor	۱/۳۵	۱/۳	--
V_{T0}	Threshold Voltage	۰/۴۲	۰/۴۲	V
θ	Mobility Reduction Factor	۰/۲۸	۰/۳۵	V^{-1}
β	Exponent for Velocity Saturation and VFMR Effects	۰/۸	۰/۹	--
DL	Lateral Diffusion at Length	۰/۰۲۸	۰/۰۵۱	µm
DW	Lateral Diffusion at Width	۰	۰	µm
AF	Flicker Noise Slope	۰/۸۵	۱/۰۵	--
ϕ_F	Half of Fermi Potential	۰/۴۲۵	۰/۴۲۵	V
L_{min}	Minimum Channel Length	۰/۱۸	۰/۱۸	µm
Optional user design inputs				
f	Operation Frequency	۱	۱	Hz
V_{DD}	Supply Voltage	--	--	V
V_{SB}	Source-Body Voltage	--	--	V
V_{DS}	Drain-Source Voltage	--	--	V
T	Temperature	۳۰۰	۳۰۰	K

۳-۴- پارامترهای بهره و پهنای باند

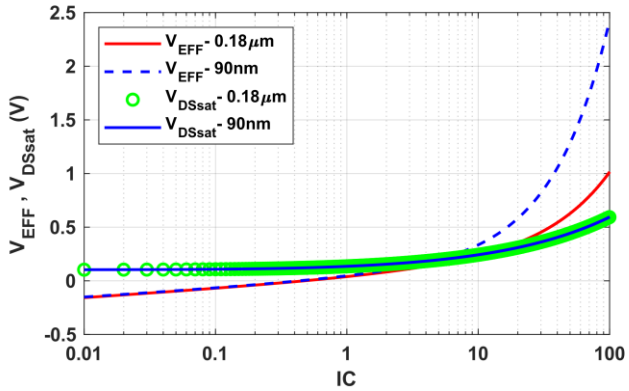
در شکل (۷)، روند تغییرات V_A (ولتاژ ارلی) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS نشان داده شده است. همانگونه که در شکل واضح است، با ظریفتر شدن تکنولوژی، V_A به دلیل کاهش طول کانال و r_{ds} کاهش می‌یابد. در شکل (۸)، تغییرات A_{Vi} (گین ذاتی ولتاژ) قطعه nMOS بر حسب IC در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS نشان داده شده است. همانگونه که در شکل واضح است، با ظریفتر شدن تکنولوژی، A_{Vi} به دلیل کاهش V_A و g_m/I_D به شدت کاهش می‌یابد. در شکل (۹)، روند تغییرات f_{Ti} (پهنای باند ذاتی)، f_T (پهنای باند) و f_{Tdiode} (پهنای باند اتصال دیودی) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS نشان

جدول (۳): مشخصه‌های قطعه MOS اسخراج شده از مدل EKV.

مشخصه‌های MOS	رابطه	تعریف	واحد
ابعاد هندسی	$WL = (L^2/IC)(I_D/I_0)$	مساحت گیت	μm^2
	$W/L = (1/IC)(I_D/I_0)$	فاکتور ابعاد	--
پارامترهای بایاس DC	$V_{EFF} = 2nU_T \ln\left(e^{\sqrt{IC\left[1+\left(\frac{IC}{4IC_{CRIT}}\right)^{\beta}\right]^{\frac{1}{\beta}}}} - 1\right)$	ولتاژ موثر گیت - سورس	V
	$V_{DS_{sat}} = 2U_T\sqrt{IC + 0.25} + 3U_T$	ولتاژ اشباع درین - سورس	V
پارامترهای سیگنال کوچک	$\frac{g_m}{I_D} = \frac{1}{nU_T\left(\sqrt{IC(1+\frac{IC}{IC_{CRIT}}) + 0.25} + 0.5\right)}$	بهره رسانایی	V^{-1}
	$g_m = (g_m/I_D).I_D$	رسانایی	$S\mu$
	$g_{ds} = (g_{ds}/I_D).I_D$	رسانایی درین - سورس	$S\mu$
	$g_{mb} = \eta.g_m$	رسانایی اثر بدنه	$S\mu$
	$A_{1dB} = 1.81(nU_T\sqrt{B})$	ولتاژ فشردگی ورودی 1dB	V
روابط بهره و پهنای باند	$V_A = V_A(CLM) \parallel V_A(DIBL)$	ولتاژ ارلی	V
	$A_{Vi} = \frac{V_A}{nU_T(\sqrt{B + 0.25} + 0.5)}$	بهره ذاتی ولتاژ	--
	$f_{Ti} = (\frac{IC}{\sqrt{B + 0.25} + 0.5})(\frac{\mu U_T}{\pi(\widehat{C_{gs1}} + \widehat{C_{gb1}})L^2})$	پهنای باند ذاتی	GHZ
	$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gb})}$	پهنای باند	GHZ
	$f_{Tdiode} = \frac{g_m}{2\pi(C_{gs} + C_{gb} + C_{DB})}$	پهنای باند اتصال دیودی	GHZ
نویز حرارتی و فلیکر ارجاع شده به گیت	$\sqrt{S_{VG}} = \sqrt{4KT(n\Gamma\sqrt{B + 0.25} + 0.5)(\frac{nU_T}{I_D})}$	چگالی طیف توان ولتاژ نویز حرارتی ارجاع شده به گیت	$nV/\sqrt{HZ}$
	$\sqrt{S_{VG}(f)} = \sqrt{(\frac{IC}{L^2})(\frac{I_0}{I_D})\frac{K_F}{{C_{OX}}^2 f^{AF}}}$	چگالی طیف توان ولتاژ نویز فلیکر ارجاع شده به گیت	$nV/\sqrt{HZ}$
	$f_C = [\frac{2\pi K_F}{4KTC_{OX}}(\frac{\widehat{C_{gs1}} + \widehat{C_{gb1}}}{n\Gamma})]^{\frac{1}{AF}}$	فرکانس گوشه نویز فلیکر	GHZ
عدم تطابق محلی DC	$\Delta V_T = AV_{T0}(1 + \frac{V_{SB}}{2\varphi_0})(\frac{\sqrt{IC}}{L}.\sqrt{\frac{I_0}{I_D}})$	عدم تطابق ولتاژ آستانه	mV
	$\frac{\Delta K_P}{K_P} = A_{KP}(\frac{\sqrt{IC}}{L}.\sqrt{\frac{I_0}{I_D}})$	عدم تطابق نسبی رسانایی	$\%$
	$\Delta V_{GS} = \left(\frac{\sqrt{IC}}{L}.\sqrt{\frac{I_0}{I_D}}\right).\sqrt{{AV_T}^2 + [A_{KP}nU_T(\sqrt{B + 0.25} + 0.5)]^2}$	عدم تطابق ولتاژ گیت - سورس	mV
	$\frac{\Delta I_D}{I_D} = \left(\frac{\sqrt{IC}}{L}.\sqrt{\frac{I_0}{I_D}}\right).\sqrt{(\frac{AV_T}{nU_T(\sqrt{B + 0.25} + 0.5)})^2 + {A_{KP}}^2}$	عدم تطابق نسبی جریان درین	$\%$
جریان نشتی گیت - سورس	$I_{(GS)_L} = (\left(\frac{L^2}{IC}\right)\left(\frac{I_D}{I_0}\right)K_{GA}\left[nU_T\ln\left(1 + e^{\frac{V_{EFF}}{nU_T}}\right)\right]V_{GS}e^{K_{GB}.V_{GS}})$	جریان نشتی گیت - سورس	$A\mu$
معیارهای شایستگی RF	$\left(\frac{g_m}{I_D}.f_{Ti}\right) = (\frac{1}{nU_T(\sqrt{B + 0.25} + 0.5)})((\frac{IC}{\sqrt{B + 0.25} + 0.5})(\frac{\mu U_T}{\pi(\widehat{C_{gs1}} + \widehat{C_{gb1}})L^2}))$	حاصلضرب بهره رسانایی و پهنای باند	$V^{-1}GHZ$
	$(A_{Vi}.f_{Ti}) = (\frac{V_A}{nU_T(\sqrt{B + 0.25} + 0.5)})((\frac{IC}{\sqrt{B + 0.25} + 0.5})(\frac{\mu U_T}{\pi(\widehat{C_{gs1}} + \widehat{C_{gb1}})L^2}))$	حاصلضرب بهره و پهنای باند	GHZ



شکل (۲): فاکتور ابعاد (W/L) و مساحت گیت (WL) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰µA و L = ۹۰nm و L = ۱۸۰nm.

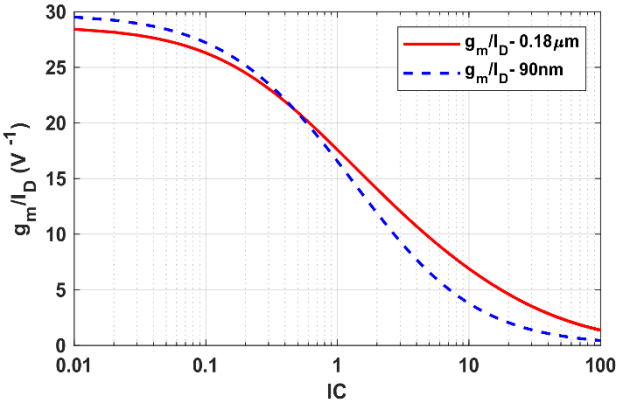


شکل (۳): ولتاژ موثر گیت - سورس (V_{EFF}) و ولتاژ اشباع درین - سورس ($V_{DS_{Sat}}$) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰µA.

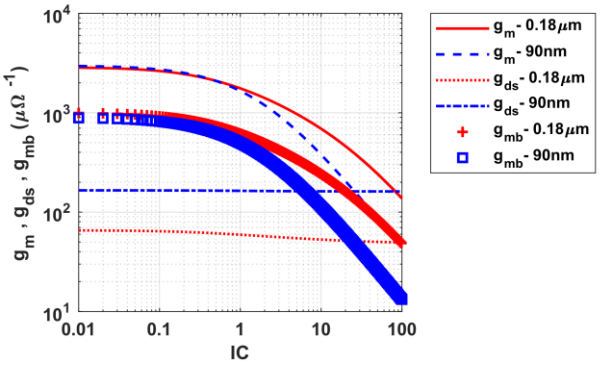
داده شده‌اند. همانگونه که در شکل واضح است، با ظریفتر شدن تکنولوژی، مقادیر f_{Ti}، f_T و f_{Tdiode} به دلیل کاهش L افزایش می‌یابند. البته به دلیل بیشتر بودن اثرات سرعت اشباع نا شی از ابعاد هندسی کوچک قطعه در فرآیند ۹۰nm، f_{Ti}، f_T و f_{Tdiode} در ضرایب وارونگی کمتر افت می‌کنند. لذا می‌توان نتیجه گرفت که IC_{CRIT} در فرآیند ۹۰nm کوچکتر از IC_{CRIT} در فرآیند ۱۸۰nm است.

۳-۵- پارامترهای نویز حرارتی و فلیکر ارجاع شده به گیت

در شکل (۱۰)، روند تغییرات چگالی طیف توان ولتاژ نویز حرارتی ارجاع شده به گیت ($S_{VG}^{1/2}$) و چگالی طیف توان ولتاژ نویز فلیکر ارجاع شده به

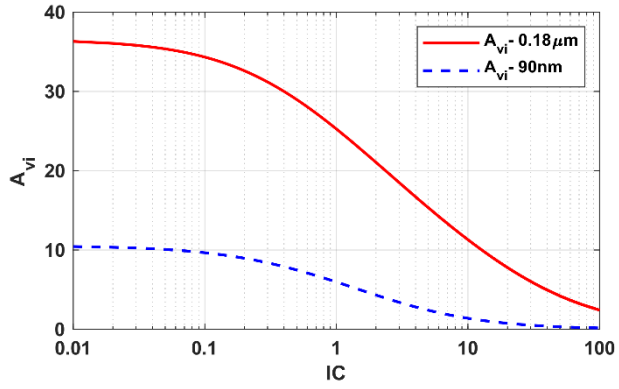


شکل (۴): بهره رسانایی (g_m/I_D) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰µA.

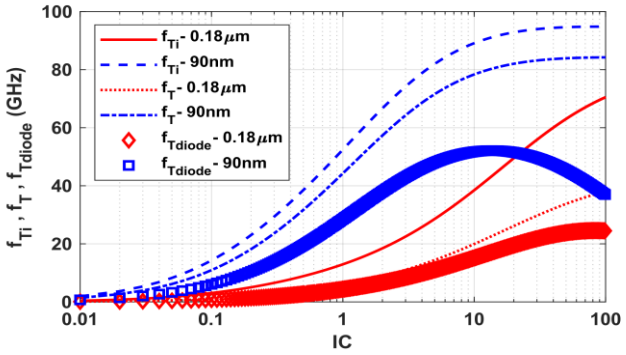


شکل (۵): رسانایی (g_m)، رسانایی اثر بدنه (g_{mb}) و رسانایی درین - سورس (g_{ds}) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰µA.

گیت ($S_{VG}^{1/2}(f)$) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰µA نشان داده شده‌اند. همانگونه که در شکل واضح است، با ظریفتر شدن تکنولوژی، $S_{VG}^{1/2}$ در نواحی WI و MI تغییر چندانی نمی‌کند و لیکن در ناحیه SI به دلیل اثرات سرعت اشباع نا شی از ابعاد هندسی کوچکتر قطعه مقدار آن افزایش پیدا می‌کند. $S_{VG}^{1/2}(f)$ نیز با ظریفتر شدن تکنولوژی افزایش می‌یابد. در شکل (۱۱)، روند تغییرات f_c (فرکانس گوشه نویز فلیکر) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰µA نشان داده شده است. همانگونه که در شکل قابل مشاهده است، روند تغییرات f_c مشابه با نویز حرارتی و نویز فلیکر بوده و با ظریفتر شدن تکنولوژی افزایش می‌یابد.

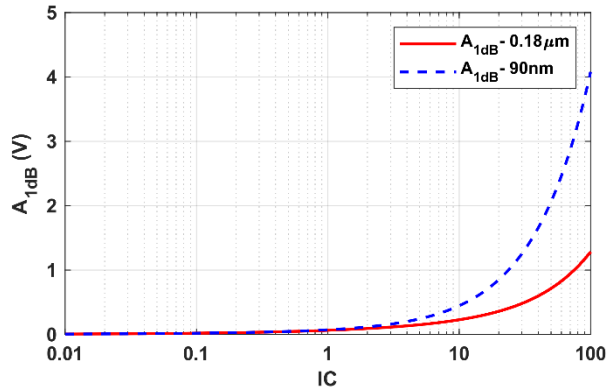


شکل (۸): بهره ذاتی (A_{Vi}) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰µA و $V_{DS} = 0.25V$.

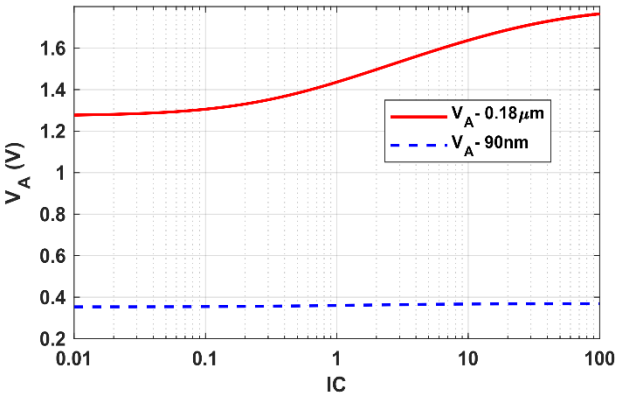


شکل (۹): پهنای باندهای ذاتی (f_{Ti})، غیر ذاتی (f_T) و اتصال دیودی (f_{Tdiode}) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰µA و $V_{DS} = 0.25V$.

در شکل (۱۳)، روند تغییرات عدم تطابق ن سبی فاکتور ر سانایی ($\Delta K_P/K_P$) و عدم تطابق ن سبی جریان درین ($\Delta I_D/I_D$) قطعه nMOS بر ح سب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰µA ن شان داده شده‌اند. همانگونه که در شکل قابل م شاهده ا ست، با ظریفتر شدن تکنولوژی، $\Delta K_P/K_P$ و $\Delta I_D/I_D$ هر دو در نواحی WI و MI به مقدارمتو سط افزایش می‌یابند. این افزایش در ناحیه SI به دلیل اثرات سرعت اشباع قابل توجه است .



شکل (۶): ولتاژ ورودی فشردگی 1dB (A_{1dB}) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰µA.

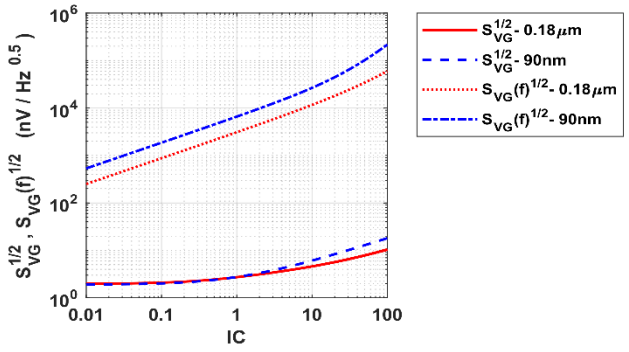


شکل ۷: ولتاژ ارلی (V_A) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰µA و $V_{DS} = 0.25V$.

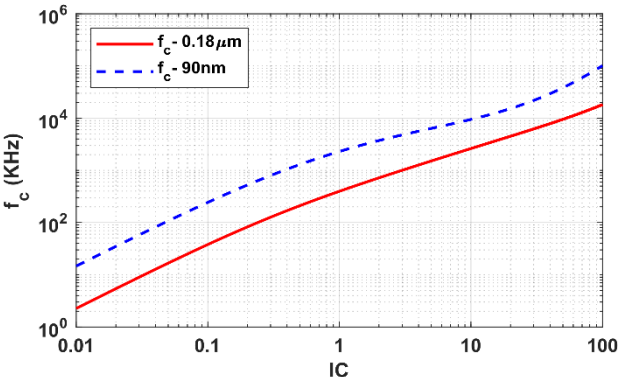
۳-۶- پارامترهای عدم تطابق[11] محلی DC

در شکل (۱۲)، روند تغییرات عدم تطابق ولتاژ آ ستانه (ΔV_T) و عدم تطابق ولتاژ گیت - سورس (ΔV_{GS}) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰µA ن شان داده شده‌اند. همانگونه که در شکل قابل م شاهده ا ست، با ظریفتر شدن تکنولوژی، ΔV_T و ΔV_{GS} هر دو افزایش می‌یابند. این افزایش در ناحیه SI به دلیل اثرات سرعت ا شباع نا شی از ابعاد هند سی کوچک قطعه قابل توجه‌تر است.

[11] Mismatch



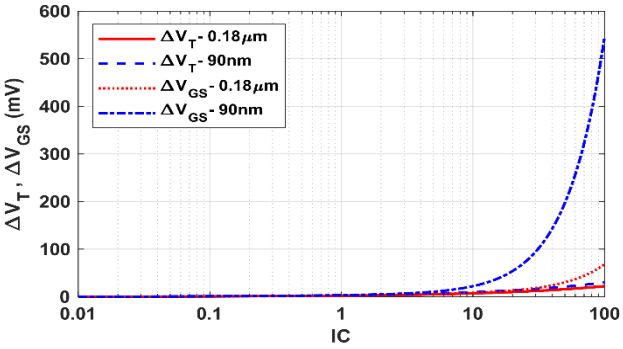
شکل (۱۰): چگالی ولتاژ نویز حرارتی ارجاع شده به گیت ($S_{VG}^{1/2}$) و چگالی ولتاژ نویز فلیکر ارجاع شده به گیت ($S_{VG}^{1/2}(f)$) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰µA.



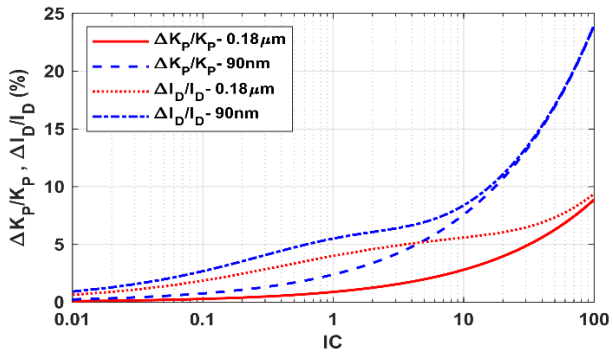
شکل (۱۱): فرکانس گوشه نویز فلیکر (f_c) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰µA.

۳-۷- جریان نشتی گیت – سورس

در شکل (۱۴)، روند تغییرات $I_{(GS)_L}$ قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰µA نشان داده شده است. همانگونه که در شکل قابل مشاهده است، با ظریفتر شدن تکنولوژی، $I_{(GS)_L}$ در نواحی WI و MI به مقدارمتوسط افزایش می‌یابد. این افزایش در ناحیه SI به دلیل اثرات سرعت اشباع قابل توجه است.



شکل (۱۲): عدم تطابق ولتاژ آستانه (ΔV_T) و عدم تطابق ولتاژ گیت - سورس (ΔV_{GS}) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰µA.

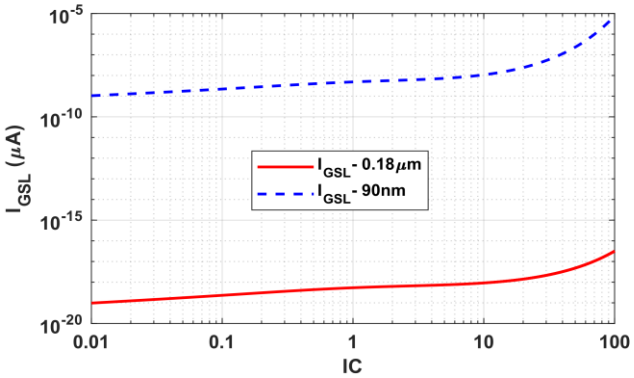


شکل (۱۳): عدم تطابق نسبی فاکتور رسانایی ($\Delta K_P/K_P$) و عدم تطابق نسبی جریان درین ($\Delta I_D/I_D$) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰µA.

۳-۸- معیارهای شایستگی در طراحی مدارهای RF کم توان

حاصلضرب بهره رسانایی و پهنای باند ذاتی ($FOM_1 = (g_m/I_D . f_{Ti})$) و حاصلضرب بهره و پهنای باند ذاتی ($FOM_2 = (A_{Vi}. f_{Ti})$) دو معیار شایستگی هستند که ترکیبی از چند عملکرد قطعه MOS را نشان می‌دهند.

در شکل های (a۱۵) و (b۱۵)، روند تغییرات FOM_1 و FOM_2 قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰µA نشان داده شده‌اند. همانگونه که در شکل



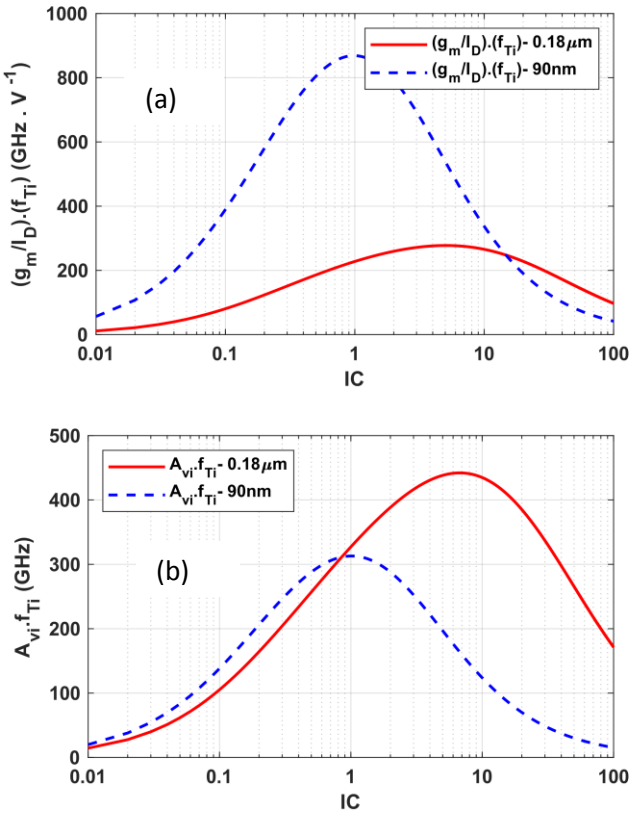
شکل (۱۴): جریان نشتی گیت ($I_{(GS)_L}$) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰μA.

قابل مشاهده است، با ظریفتر شدن تکنولوژی، FOM_1 (ترکیب بهره رسانایی و پهنای باند) افزایش یافته و FOM_2 (ترکیب گین و پهنای باند) کاهش پیدا می‌کند. جالب توجه هست که ماکزیمم مقادیر این دو معیار شایستگی در هر دو تکنولوژی در ناحیه MI اتفاق می‌افتد. و این مو ضوع اهمیت این ناحیه در طراحی‌های کم ولتاژ و کم توان را نشان می‌دهد.

۴- م شاهدهٔ م صالحه‌های عملکرد – صفحهٔ عملیاتی MOSFET

با توجه به نتایج بد ست آمده در بخش‌های ۳-۱ تا ۳-۷، در صفحهٔ عملیاتی قطعهٔ MOSFET نمایش داده شده در شکل (۱۶)، مصالحه‌های عملکرد بر حسب ضریب وارونگی و فرآیند ساخت مورد نظر (ظریفتر شدن تکنولوژی) در یک جریان بایاس ثابت ن شان داده شده‌اند. در این شکل هر قطعهٔ MOSFET و یا گروهی از آن‌ها با یک ضریب وارونگی و یک فرآیند ساخت مورد نظر مطابق با یک نقطه بر روی صفحهٔ عملیاتی کار می‌کنند. کار در نواحی وارونگی ضعیف و متوسط (سمت چپ صفحه)، رسانایی، بهره رسانایی و گین ذاتی ولتاژ را ماکزیمم و نویز حرارتی و فلیکر ولتاژ ارجاع داده شده به گیت، ولتاژهای بایاس موثر گیت - سورس و ا شباع درین- سورس و جریان ن شتی گیت را مینیمم می‌کند. از آنجا که در ضرایب وارونگی پایین، فاکتور ابعاد ($S = W / L$)، عرض کانال، م ساحت گیت و خازن‌ها بزرگ ه ستند لذا پهنای بلند ذاتی و عدم تطابق‌های DC ولتاژ گیت - سورس و جریان درین مینیمم می شوند. برعکس، کار در ناحیهٔ وارونگی قوی با ضرایب وارونگی بالا (سمت راست صفحه)، رسانایی، بهره رسانایی و گین ذاتی ولتاژ را مینیمم و نویز حرارتی و فلیکر ولتاژ ارجاع داده شده به گیت، ولتاژهای بایاس مؤثر گیت - سورس و ا شباع درین - سورس را ماکزیمم می‌کند. از آنجا که در ضرایب وارونگی بالا، فاکتور ابعاد، عرض کانال، م ساحت گیت و خازن‌ها کوچک ه ستند لذا پهنای بلند ذاتی و عدم تطابق‌های DC ولتاژ گیت - سورس و جریان درین ماکزیمم می‌شوند. همچنین کار در در ضرایب وارونگی بالا موجب بهبود عملکرد خطی قطعه می‌شود.

با ظریفتر شدن تکنولوژی (حرکت به سمت کف صفحهٔ عملیاتی)، ابعاد، مقاومت درین - سورس، ولتاژ ارلی، گین ذاتی ولتاژ، رسانایی و بهره رسانایی در قطعه MOS کاهش می‌یابند. همچنین با ظریفتر شدن تکنولوژی پهنای باند ذاتی افزایش یافته و عملکرد خطی قطعه بهبود می‌یابد. از طرفی ظریفتر شدن تکنولوژی موجب افزایش نویز حرارتی و فلیکر ولتاژ ارجاع داده شده به گیت، عدم تطابق‌های DC ولتاژ گیت - سورس و جریان درین، ولتاژهای بایاس موثر گیت - سورس و ا شباع درین- سورس و جریان ن شتی گیت می‌شود.



شکل (۱۵): (a) - معیار شایستگی ۱ (FOM_1) و (b) - معیار شایستگی ۲ (FOM_2) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS.

۵- نتیجه‌گیری

در این مقاله، تاثیر ظریفتر شدن تکنولوژی در عملکرد قطعه MOS با استفاده از پارامتر کلیدی IC در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS بررسی شد. با ترسیم کلیه مشخصه‌های قطعه MOS بر حسب IC در دو تکنولوژی متفاوت، تاثیر کاهش طول کانال و اثرات کوچک شدن ابعاد هندسی قطعه از ناحیه WI تا SI فراهم گردید. برای یک جریان درین معین در ناحیه اشباع، مصالحه‌های عملکرد قطعه MOS بر روی یک صفحه عملیاتی MOSFET خلاصه شد که امکان جستجوی منطقه بهینه طراحی قطعات فعال یک مدار با ظریفتر شدن تکنولوژی را فراهم می‌کند.

مراجع

[1] Cao W, Bu H, Vinet M, Cao M, Takagi S, Hwang S, Ghani T, Banerjee K, "The future transistors,". Nature. 2023 Aug;620(7974):501-515. doi: 10.1038/s41586-023-06145-x. Epub 2023 Aug 16. Erratum in: Nature. 2023 Sep;621(7979): E43. doi: 10.1038/s41586-023-06576-6. PMID: 37587295.

[2] Radamson, Henry H., Yuanhao Miao, Ziwei Zhou, Zhenhua Wu, Zhenzhen Kong, Jianfeng Gao, Hong Yang, Yuhui Ren, Yongkui Zhang, Jiangliu Shi, and et al. 2024. "CMOS Scaling for the 5 nm Node and Beyond: Device, Process and Technology, "Nanomaterials 14, no. 10: 837. https://doi.org/10.3390/nano14100837.

[3] Mistry, K. et al. A 2.0V, 0.35 μm partially depleted SOI-CMOS technology. In IEEE International Electron Devices Meeting 583–586 (IEEE, 1997).

[4] Tenbroek, B. et al. Self-heating effects in SOI MOSFETs and their measurement by small signal conductance techniques. IEEE Trans. Electron Devices 43, 2240–2248 (1996).

[5] Ghani, T. et al. A 90nm high volume manufacturing logic technology featuring novel 45nm gate length strained silicon CMOS transistors. In IEEE International Electron Devices Meeting 978–980 (IEEE, 2003).

[6] Mistry, K. et al. A 45 nm logic technology with high-k + metal gate transistors, strained silicon, 9 Cu interconnect layers, 193 nm dry patterning, and 100% Pb-free packaging. In IEEE International Electron Devices Meeting 247–250 (IEEE, 2007).

[7] Auth, C. et al. A 22 nm high performance and low-power CMOS technology featuring fully-depleted tri-gate transistors, self-aligned contacts and high density MIM capacitors. In IEEE VLSI Technology Symposium 131–132 (IEEE, 2012.

[8] Bohr, M., Chau, R., Ghani, T. & Mistry, K. The high-k solution. IEEE Spectr. 44, 29–35 (2007).

[9] Kuhn, K. J. Considerations for ultimate CMOS scaling. IEEE Trans. Electron Devices 59, 1813–1828 (2012).

[10] R.K. Ratnesh, A. Goel, G. Kaushik, H. Garg, Chandan, M. Singh, B. Prasad, "Advancement and challenges in MOSFET scaling," Materials Science in Semiconductor Processing, Volume 134, 2021, 106002, ISSN 1369-8001, https://doi.org/10.1016/j.mssp.2021.106002.

[11] G. Girardi, L. C. Severo and P. C. de Aguirre, "Design Techniques for Ultra-Low Voltage Analog Circuits Using CMOS Characteristic Curves: a practical tutorial," Journal of Integrated Circuits and Systems, vol. 17, n.1, 2022.

[12] W. G. Tuni., Design Methodology of Analog and RF Building Blocks Based on Precomputed Actual Device Technology Data, Ph.D. Thesis, Dept. of Electrical and Computer Engineering of University of Florida, 12 December 2020.

[13] B. Razavi., RF Microelectronics, 2nd ed. Prentice Hall, 2011.

[14] C. Enz, F. Chicco, and A. Pezzotta, "Nanoscale MOSFET modeling: Part 1: The simplified EKV model for the design of low-power analog circuits," IEEE Solid- State Circuits Mag., vol. 9, no. 3, pp. 26– 35, Aug. 2017.

[15] C. Enz, F. Chicco, and A. Pezzotta, "Nanoscale MOSFET modeling: Part 2: Using the inversion coefficient as the primary design parameter," IEEE Solid-State Circuits Mag., vol. 9, no. 4, pp. 73–81, Nov 2017.

[16] E. A. Vittoz, "Micropower Techniques," in Design of MOS VLSI Circuits for Telecommunications, J. Franca and Y. Tsividis, Eds. Englewood Cliffs, NJ: Prentice-Hall, 1994.

[17] G. Guitton, "Design Methodologies for multi-mode and multi-standard Low-Noise Amplifiers", Ph.D. Thesis, Dept. of the Engineering and Computer Science of University of Bordeaux,12 December 2018.

[18] G. Khademevatan and A. Jalali, "Inversion Coefficient as a Key Design Parameter in MOS Device Performance," 2024 32nd International Conference on Electrical Engineering (ICEE), Tehran, Iran, Islamic Republic of, 2024, pp. 1-7, doi: 10.1109/ICEE63041.2024.10668114.

[19] C. Enz, F. Krummenacher, and E. A. Vittoz, "An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications," Analog Integr. Circuits Signal Process., vol. 8, no. 1, pp. 83–114, Jul. 1995.

[20] C. Enz and E. A. Vittoz, "Charge-Based MOS Transistor Modeling: The EKV Model for Low-Power and RF IC Design," Hoboken, NJ, USA: Wiley 2006.

[21] W. Sansen, "Minimum power in analog amplifying blocks: Presenting a design procedure," IEEE Solid-State Circuits Mag., vol. 7, no. 4, pp. 83–89, Fall 2015.

[22] W. Sansen, "Biasing for Zero Distortion Using the EKV/BSIM6 expressions," IEEE Solid-State Circuits Mag., 10.1109/MSSC.2018.2844607, 13 August 2018.

[23] G. Khademevatan and A. Jalali, "Study of linearity indices in analog/RF circuits using EKV model and comparing the results in three different CMOS processes," 2022 Iranian International Conference on Microelectronics (IICM), Tehran, Iran, Islamic Republic of, 2022, pp. 1-7.

[24] https://www.epfl.ch/labs/iclab/ekv/verilog-a.

[25] K. Singh and P. Jain, "BSIM3v3 to EKV2.6 Model Parameter Extraction and Optimization using LM Algorithm on 0.18um Technology node", Intl Journal of Electronics and Telecommunications, 2018, vol. 64, no. 1, pp. 5–11.

[26] D. Binkley, Tradeoffs and Optimization in Analog CMOS Design. 1st ed. New York: Wiley, 2008.