Modern Research in Aviation Electrical and Electronic Engineering
Vol.2, No.1, Autumn 2025
https://www.mreea.ir

Design of a three-stage amplifier with Miller cascode compensation and damping current control

Mohsen Roshanaei*[1], Akbar Asgharzadeh[2]

1. MSc. in Electrical Engineering, Faculty of Electrical Engineering, Shahid Beheshti University, Tehran, Iran
2. Assistant Prof., Department of Telecommunications, Faculty of Electrical Engineering, Dafos Aja University, Tehran, Iran

Key words:
Wide capacitive load
Transconductance amplifier
Cascode frequency compensation
Damping current
Quality factor
Transitional guidance

Abstract

This paper presents a frequency compensation method for three-stage amplifiers capable of driving capacitive loads in the picofarad to nanofarad range. By using the Miller cascode compensation method, the frequency of the non-dominant mixed pole is effectively increased and the physical dimensions of the compensation capacitors are also reduced. A loop is introduced to control the internal damping current to adapt this current when the capacitive load capacitance C_L changes significantly. This loop determines how much current should be injected into the corresponding parasitic node to control the mixed pole quality factor in such a way that the frequency peak in the gain curve and the settling time of the proposed amplifier do not affect the closed-loop step response. Also, a zero in the left half plane (LHP) is introduced to increase the phase margin and a feedforward transconductance stage is placed in parallel to it to improve the slew rate (SR). Simulations performed in 0.18 µm CMOS technology confirm that this amplifier can handle a capacitive load of 300 picofarads to 2 nanofarads with a minimum bandwidth of 1.43 MHz and a phase margin of 41 degrees, while the nominal supply voltage is 1 V and the power consumption is 14.3 µW.

* Corresponding author E-mail: roshanaiemohsen@gmail.com

پژوهش‌های نوین در مهندسی برق و الکترونیک هوایی
دوره دوم ، شماره۱، پاییز ۱۴۰۴
https://www.mreea.ir

طراحی تقویت‌کننده سه طبقه با روش جبران‌سازی کسکود میلر و کنترل جریان میرایی

محسن روشنایی*[۱]، اکبر اصغر زاده[۲]

۱- کارشناس ارشد برق، دانشکده برق، دانشگاه شهید بهشتی، تهران، ایران
۲- استادیار گروه مخابرات دانشکده برق دانشگاه دافوس آجا، تهران، ایران

*Correspoding Author's E-mail : roshanaiemohsen@gmail.com

واژگان کلیدی

بار خازنی گسترده
تقویت‌کننده ترارسانایی
جبران‌سازی فرکانسی
کسکود
جریان میرایی
ضریب کیفیت
هدایت انتقالی

چکیده

این مقاله یک روش جبران فرکانسی برای تقویت‌کننده‌های سه طبقه را ارائه می‌دهد که توانایی هدایت بار خازنی در بازه‌ی پیکوفاراد تا نانوفاراد را دارد. با استفاده از روش جبران‌سازی کسکود میلر، فرکانس قطب مختلط غیرغالب به طور مؤثر افزایش می‌یابد و ابعاد فیزیکی خازن‌های جبران‌سازی نیز کاهش می‌یابد. یک حلقه به جهت کنترل جریان میرایی داخلی جهت انطباق این جریان هنگامی که ظرفیت بار خازنی C_L به طور قابل توجهی تغییر می‌کند، معرفی شده است. این حلقه تعیین می‌کند که چه میزان جریان باید به گره پارازیتی مربوطه تزریق شود تا ضریب کیفیت قطب مختلط به گونه‌ایی کنترل شود، که پیک فرکانس در نمودار بهره و زمان نشست تقویت‌کننده پیشنهادی در پاسخ پله حلقه بسته تأثیر گذار نباشد. همچنین، یک صفر در نیم صفحه چپ (LHP) جهت افزایش حاشیه فاز ایجاد می‌شود و یک طبقه ترارسانایی فیدفوروارد به موازات آن قرار می‌گیرد تا نرخ چرخش (SR) را بهبود بخشد. شبیه‌سازی صورت گرفته در فناوری ۰/۱۸ میکرومتر در فناوری CMOS تأیید می‌کند که این تقویت‌کننده می‌تواند بار خازنی ۳۰۰ پیکوفاراد تا ۲ نانوفاراد را با حداقل پهنای باند ۱/۴۳ مگاهرتز و حاشیه فاز ۴۱ درجه تحمل کند، در حالی که ولتاژ تغذیه اسمی ۱ ولت و توان مصرفی ۱۴/۳ میکروواوات است.

۱- مقدمه

تقویت‌کننده یک طبقه، در فناوری‌های پیشین CMOS، به دلیل سرعت بالا و ویژگی‌های پایداری ذاتی خوب، یکی از بهترین انتخاب‌ها به جهت پردازش دقیق سیگنال‌های آنالوگ بود. همانگونه که در [۱] نشان داده شده است، یک تقویت‌کننده کسکود تلسکوپی یک طبقه می‌تواند با طول ۰/۸ میکرومتر در فناوری CMOS به بهره ولتاژ تا ۱۰۰ دسی‌بل در فرکانس پایین دست یابد.

با این حال، از آنجایی که امپدانس خروجی MOSFET به دلیل اثر مدولاسیون کانال در فناوری‌ها پیشرفته CMOS، کاهش بیشتری نسبت به فناوری های قدیمی‌تر دارد، دستیابی به بهره ولتاژ بالا برای تقویت‌کننده‌های یک طبقه با طراحی‌های سنتی دشوار است. در این خصوص، برخی روش‌ها برای افزایش بهره ولتاژ تقویت‌کننده‌های یک طبقه مانند تقویت مقاومت

ایمیل نویسنده پاسخگو: roshanaiemohsen@gmail.com

خروجی، تقویت هدایت انتقالی (G_m) و آبشاری[1] کردن چندین طبقه با بهره کوچک پیشنهاد شده‌اند [۲] تا [۴]. طراحان در این ساختارها همواره در پی ایجاد مصالحه‌ایی میان بهره ولتاژ، پایداری، دامنه خروجی و توان مصرفی هستند. مهم‌تر از آن، غالب این ساختارها نمی‌توانند بهره ولتاژ بالای مورد نیاز (بیشتر از ۱۰۰ دسی‌بل) را برای کاربردهای با دقت بالا که نیاز به اندازه‌گیری دقیق دارند، ارائه دهند.

اتصال آبشاری چندین طبقه بهره، ایده مناسبی جهت دستیابی به بهره ولتاژ بالا است؛ زیرا این روش به طور بالقوه از نظر توان مصرفی با ولتاژ تغذیه پایین، بهینه است. یکی از مسائل اساسی در تقویت‌کننده‌های چند طبقه، پایداری حلقه بسته است. به طور کلی، حداقل سه قطب در تابع انتقال یک تقویت‌کننده سه طبقه وجود دارد. اگر قطب‌ها و صفرها به طور نامناسب توزیع شوند، تقویت‌کننده چند طبقه با مشکل پایداری حلقه بسته مواجه می‌شود [۵].

در رابطه با معیارهای پایداری، به طور معمول می‌توان آن را با پارامترهای حاشیه فاز[2] یا حاشیه بهره[3] در نمودار پاسخ فرکانسی برای طراحی تقویت‌کننده‌های یک طبقه و دو طبقه نشان داد. با این حال، تحلیل پایداری تقویت‌کننده‌های چند طبقه به دلیل وجود قطب‌های مختلط در توابع انتقال مرتبه بالا، پیچیده‌تر از تقویت‌کننده‌های یک طبقه یا دو طبقه است [۶]. علاوه بر این، مشخصات کلیدی (به عنوان مثال پهنای باند، حاشیه فاز و حاشیه بهره) به طور معمول به روش جبران‌سازی فرکانس و مقدار بار خازنی C_L وابسته هستند.

چندین طرح جبران‌سازی برای تقویت‌کننده‌های سه طبقه در چند دهه گذشته گزارش شده است [۷] تا [۱۹]. جبران‌سازی میلری تودرتو[4] به عنوان یکی از کلاسیک‌ترین روش‌های تقسیم قطب برای جبران‌سازی فرکانس تقویت‌کننده سه طبقه شناخته می‌شود. ایده اصلی ساختار NMC این است که چندین طبقه بهره به صورت خازنی ترکیب شوند تا تقسیم قطب صورت گیرد [۷]. با این حال، کاهش پهنای باند، که به طور عمده ناشی از خازن میلر بوده و مزایای این روش را کاهش می‌دهد. جهت مقابله با این مشکل، طرح‌های جبران‌سازی دیگری مبتنی بر NMC پیشنهاد شده‌اند [۸] تا [۱۴]. که برخی از آن‌ها می‌توانند پهنای باند را در مقایسه با روش سنتی NMC تا ده برابر افزایش دهند. به طور کلی، این روش‌ها یا خازن داخلی میلر را حذف کردند یا حلقه جبران‌سازی بیرونی را با روش‌های پیشرفته‌تر [۱۱] تا [۱۵] جایگزین کردند تا فرکانس قطب مختلط (ω_0) را گسترش دهند. در برخی طرح‌های دیگر، مانند [۲۰] و [۲۱]، یک صفر فعال در تقویت‌کننده چند طبقه تعبیه شده است تا فرکانس قطب غیر غالب را برای درایو یک بار خازنی بسیار بزرگ گسترش دهد. این روش‌ها می‌توانند با افزایش حاصل‌ضرب مقدار بار خازنی و فرکانس بهره واحد، به عملکرد سیگنال کوچک بهتری دست یابند. با این حال، این روش‌ها به دلیل بزرگ بودن ضریب کیفیت قطب مختلط، هنگامی که ظرفیت بار به طور قابل توجهی کاهش می‌یابد، نمی‌توانند مشکل پیک فرکانس در نمودار بهره را برطرف کنند [۲۲]. در نتیجه، در پاسخ پله، یک نوسان با فرکانس بالا ظاهر می‌شود و برای مدت زمان طولانی ادامه می‌یابد [۱۷].

اکثر طرح‌های جبران‌سازی فرکانس موجود برای تقویت‌کننده‌های سه طبقه بر به حداکثر رساندن عملکرد برای یک مقدار واحد از بار خازنی C_L (به‌ویژه C_L بزرگ) تمرکز دارند تا به معیار شایستگی[5] بهتری دست یابند. با این حال، ظرفیت بار می‌تواند بسته به کاربردهایی مانند هدفون، نمایشگر کریستال مایع[6] یا حسگرهای خازنی سیستم‌های میکروالکترومکانیکی[7] در محدوده پیکوفاراد تا نانوفاراد تغییر کند [۲۳] تا [۲۵]. به عبارت دیگر، یک تقویت‌کننده با قابلیت بارگذاری بار خازنی گسترده می‌تواند کاربردهای بیشتری پیدا کند و به راحتی در محیط‌های مختلف قابل استفاده مجدد قرار گیرد. در نتیجه، هنگامی که ظرفیت بارگذاری متفاوت است، نیازی به طراحی تقویت‌کننده به صورت موردی نیست، که این امر برای کوتاه کردن روند طراحی و صرفه‌جویی در هزینه تولید مفید است. روش گسترش محدوده بار خازنی برای تقویت‌کننده‌های دو طبقه در [۲۶] مورد مطالعه قرار گرفته است. در مقایسه با تقویت‌کننده‌های دو طبقه، اطمینان داشتن از پایداری تقویت‌کننده‌های سه طبقه دشوارتر و گسترش محدوده‌ی بار خازنی آن‌ها با چالش‌های جدی‌تری روبرو است. اگرچه در برخی مطالعات گزارش شده است که برخی از تقویت‌کننده‌های سه طبقه با پهنای باند وسیع، قابلیت درایو بالا برای بارهای خازنی بزرگ دارند [۲۱] و [۲۷]، ولیکن یافتن طرح‌های تقویت‌کننده‌ای که توانایی درایو بار خازنی در محدوده پیکوفاراد و نانوفاراد را با توان مصرفی کم و ناحیه فعال کوچک ترکیب کنند، دشوار است [۲۸] و [۲۹].

جبران‌سازی کسکود میلر در حلقه فیدبک خارجی به گسترش فرکانس قطب مختلط غیرغالب کمک می‌کند و ابعاد فیزیکی خازن‌های جبران‌سازی نیز کاهش می‌یابد. ضریب کیفیت جفت قطب مختلط توسط حلقه فیدبک داخلی به صورتی کنترل می‌شود که پاسخ فرکانسی را بهبود بخشد و زمان نشست

[1] cascad
[2] Phase Margin
[3] Gain Margin
[4] NMC
[5] Figure of Merit
[6] Liquid Crystal Display
[7] MEMS

* Corresponding author E-mail: roshanaiemohsen@gmail.com

را کوتاه کند. در این طراحی، حداقل پهنای باند ۱/۴۳ مگاهرتز و نرخ چرخش (SR) متوسط ۰/۶ ولت بر میکروثانیه در تقویت‌کننده سه طبقه پیشنهادی با توان مصرفی ۱۴/۳ میکروووات حاصل می‌شود. ادامه این مقاله به شرح زیر سازماندهی شده است. در بخش ۲، چندین تکنیک جبران فرکانس پیشرفته قبلی برای تقویت‌کننده‌های سه طبقه بررسی می‌شوند. در بخش ۳، روش جبران‌سازی فرکانس پیشنهادی با کنترل جریان میرایی داخلی ارائه شده است. تابع تبدیل، معیارهای پایداری و پاسخ گذرا نیز مورد بررسی قرار می‌گیرند. در بخش‌های ۴ و ۵، پیاده‌سازی ساختار مدار پیشنهادی، نتایج شبیه‌سازی و بحث‌های مربوطه ارائه می‌شود. در بخش ۶، عملکرد طرح پیشنهادی و مزایای آن را نتیجه‌گیری می‌شود.

۲- مروری بر روش‌های جبران‌سازی فرکانس پیشین تحت تغییرات شدید بار

۲-۱. جبران‌سازی میلری تو در تو[8]

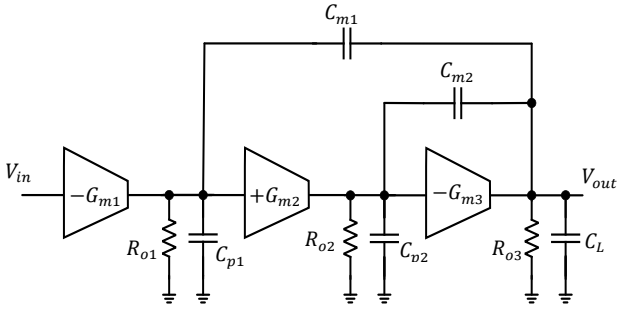
شکل (۱) ساختار کلاسیک NMC را نشان می‌دهد. قطب مختلط در تقویت‌کننده NMC به صورت زیر داده شده است:

$$\omega_{o(NMC)} = \sqrt{\frac{G_{m2}G_{m3}}{C_{m2}C_L}} \quad (1)$$

و ضریب کیفیت مربوطه به صورت زیر داده می‌شود:

$$Q_{NMC} = \frac{1}{G_{m3} - G_{m2}}\sqrt{\frac{G_{m2}G_{m3}C_L}{C_{m2}}} \quad (2)$$

که در آن، پارامترها در شکل (۱) مشخص شده‌اند. همانگونه که در رابطه (۱) نشان داده شده است، فرکانس قطب مختلط ω_o مربوط به خازن میلر C_{m2} در حلقه فیدبک داخلی است. با توجه به رابطه (۱) این مطلب به راحتی قابل درک است که برای دستیابی به ω_o بالاتر و در نتیجه پهنای باند بالاتر، C_{m2} مستلزم کاهش است. با این حال، مقدار C_{m2} به ضریب کیفیت که در رابطه (۲) ارائه شده است، مرتبط می‌شود. برای افزایش مقدار ω_o و در عین حال کاهش ضریب کیفیت، تنها راه، افزایش G_{m2} و G_{m3} است که به ناچار توان مصرفی را افزایش می‌دهد.



شکل(۱): توپولوژی تقویت‌کننده سه طبقه با جبران‌سازی NMC

جهت دستیابی به حداکثر پاسخ فرکانسی بدون پیک برای یک تقویت‌کننده NMC سه طبقه، در مقایسه با یک تقویت‌کننده یک طبقه، پهنای باند در حدود ۷۵٪ کاهش می‌یابد [۸]. این امر مزایای تقویت‌کننده‌های سه طبقه را نسبت به تقویت‌کننده‌های یک طبقه تضعیف می‌کند. علاوه بر این، تقویت‌کننده‌های NMC به سختی می‌توانند یک بار خازنی بزرگ در حدود نانوفاراد را درایو کنند، که این امر اثر تقسیم قطب ناشی از خازن میلر را بدتر می‌کند. برای ایجاد قطب‌های غیرغالب در فرکانس بالا با C_L بزرگ، می‌بایست توان بیشتری مصرف کرد. هنگام مواجه شدن با نوسانات بار خازنی بزرگ، فرض می‌شود که تقویت‌کننده NMC برای قطب‌های باتروث طراحی شده است. با کاهش ظرفیت C_L، ضریب کیفیت کاهش می‌یابد زیرا با توجه به رابطه (۲) با $\sqrt{C_L}$ متناسب است. فرکانس بهره واحد تنها توسط فرکانس اولین قطب غیر غالب محدود خواهد شد. بنابراین، پایداری قابل اطمینان تقویت‌کننده NMC تحت بار خازنی کوچک به راحتی قابل دستیابی است. با توجه به مکان هندسی قطب-صفر در ساختار NMC، با کاهش C_L، قطب‌ها به گونه‌ای حرکت می‌کنند که فرکانس قطب مختلط ω_o افزایش می‌یابد، ولیکن ضریب کیفیت به یک محدوده کوچک محدود می‌شود. در نهایت، ضریب کیفیت به مقدار ۰/۵ کاهش می‌یابد و قطب مختلط به دو قطب حقیقی تقسیم می‌شود که یک قطب به فرکانس بالاتر و قطب دیگر به فرکانس پایین‌تر می‌رود.

۲-۲. جبران‌سازی با استفاده از کنترل ضریب میرایی[9]

روش جبران‌سازی کنترل ضریب میرایی (DFCFC) که در [۱۰] ارائه شده است، با هدف کاهش توان استاتیک تحت شرایط بارگذاری خازنی بزرگ ارائه شده است. یک بلوک مدار برای کنترل ضریب میرایی $\left(\zeta = \frac{1}{2}\ Q\right)$، متشکل

[8] Nested Miller Compensation-NMC

[9] Damping Factor Control Frequency Compensation-DFCFC

از یک سلول G_m موازی با یک خازن میلر C_{m2}، جهت افزایش ضریب میرایی قطب‌های مختلط غیر غالب و پایدارسازی تقویت‌کننده چند طبقه به کار گرفته شده است. قطب مختلط در تقویت‌کننده DFCFC به صورت زیر داده می‌شود:

$$\omega_{o(DFCFC)} = \sqrt{\frac{\left(G_{m2}G_{mL} + G_{mf}G_{m4}\right)}{C_{p2}C_L}} \quad (3)$$

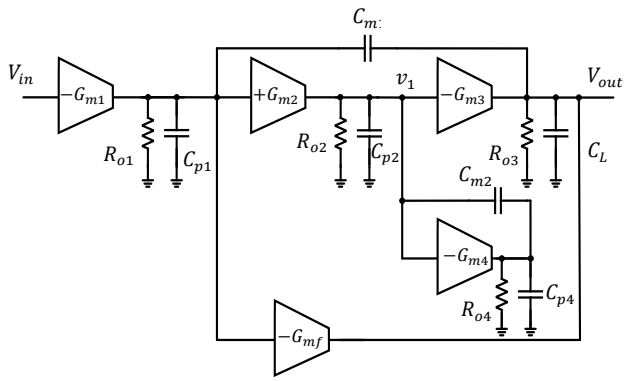
و ضریب کیفیت مربوطه به صورت زیر داده می‌شود:

$$Q_{(DFCFC)} = \frac{1}{G_{m4}}\sqrt{\frac{\left(G_{m2}G_{m3} + G_{mf}G_{m4}\right)C_{p2}}{C_L}} \quad (4)$$

که در آن پارامترها در شکل (۲) مشخص شده‌اند. با مقایسه رابطه (۳) و رابطه (۱)، به راحتی می‌توان دریافت که تقویت‌کننده‌های DFCFC می‌توانند به پهنای باند وسیع‌تری با ضریب $\sqrt{\frac{C_{m2}}{C_{p2}}}$ دست یابند، که بزرگتر از ۱ است زیرا C_{p2} ظرفیت خازنی پارازیتی است و اغلب کمتر از C_{m2} است. با توجه به [۱۰]، $Q_{(DFCFC)}$ را می‌توان با تزریق جریان میرایی بیشتر به بلوک کنترل ضریب میرایی محدود کرد. این امر را می‌توان با کاهش امپدانس خروجی طبقه دوم بهره (v_1 در شکل (۲)) در محدوده فرکانس بالا محقق کرد. امپدانس معادل با بررسی بلوک کنترل ضریب میرایی به صورت زیر توصیف می‌شود:

$$Z_{eq(DFCFC)} = \frac{sC_{p4}R_{o4} + 1}{s^2C_{m2}C_{p4}R_{o4} + sC_{m2}(1 - G_{m4}R_{o4})} \quad (5)$$

با توجه به رابطه (۵)، می‌توان برداشت کرد که $Z_{eq(DFCFC)}$ یک تابع صعودی با G_{m4} است، به طوری که G_{m4} کوچک‌تر منجر به $Z_{eq(DFCFC)}$ کوچک‌تر می‌شود و بنابراین بلوک کنترل ضریب میرایی تنها مقدار کمی توان مصرف می‌کند.



شکل (۲): توپولوژی تقویت‌کننده سه طبقه با روش DFCFC

در رابطه با تغییرات بار می‌توان گفت $Q_{(DFCFC)}$ متناسب با $\sqrt{\frac{1}{C_L}}$ است که از رابطه (۴) قابل مشاهده است. با این حال، ضریب کیفیت تقویت‌کننده‌های DFCFC را می‌توان توسط G_{m4} از بلوک کنترل ضریب میرایی تنظیم کرد. پس از تعیین G_{m4}، $Q_{(DFCFC)}$ هنگامی که C_L طبق رابطه (۴) به $\frac{C_L}{100}$ کاهش یابد، همچنان ۱۰ برابر افزایش می‌یابد. اگر C_L بیشتر کاهش یابد، قطب‌های مختلط ضریب کیفیت بالاتری را نشان می‌دهند که باعث ایجاد یک سیستم ناپایدار در پاسخ پله حلقه بسته می‌شود. در حقیقت، در [۱۰] ذکر شده است که طرح DFCFC تنها برای درایو بار خازنی بزرگ مؤثر است.

۲-۳. جبران‌سازی کسکود میلر و تضعیف امپدانس محلی[10]

روش دیگری که به عنوان جبران‌سازی کسکود میلر با تضعیف امپدانس محلی (CLIA) برای کنترل ضریب کیفیت شناخته می‌شود، در [۳۰] ارائه شده است. یک شبکه سری RC غیرفعال جهت پایداری تقویت‌کننده با تضعیف امپدانس خروجی سیگنال کوچک طبقه دوم در محدوده فرکانس بالا اضافه شده است. قطب مختلط در تقویت‌کننده CLIA به صورت زیر داده شده است:

$$\omega_{o(CLIA)} = \sqrt{\frac{G_{m2}G_{m3}G_{mc}R_a}{C_{p1}C_L}} \quad (6)$$

و ضریب کیفیت مربوطه به صورت زیر داده می‌شود:

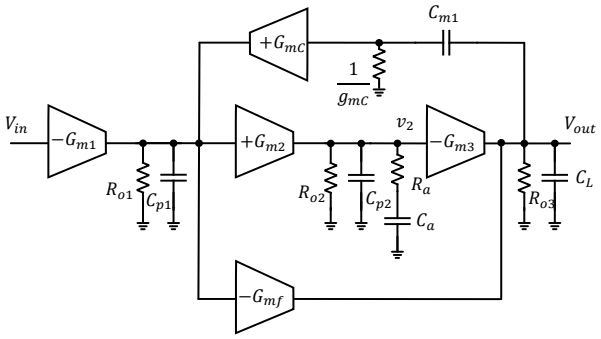
[10] Cascode Miller Compensation with Local Impedance Attenuation-CLIA

* Corresponding author E-mail: roshanaiemohsen@gmail.com

$$Q_{(CLIA)} = C_{m1}\sqrt{\frac{G_{m2}G_{m3}R_a}{G_{mc}C_{p1}C_L}} \quad (7)$$

که این مؤلفه‌ها در شکل (۳) مشخص شده‌اند. با استفاده از جبران‌سازی کسکود [۳۱]، فرکانس قطب مختلط ω_o با ضریب تقریبی $\sqrt{G_{mc}R_a}$ به فرکانس بالاتری نسبت به ساختارهایی که از جبران‌سازی ساده میلر در حلقه فیدبک بیرونی (مانند DFCFC)، استفاده می‌کنند، منتقل می‌شود. همانگونه که در روابط (۶) و (۷) نشان داده شده است، تقویت‌کننده‌های CLIA پهنای باند بالاتری نسبت به تقویت‌کننده‌های NMC دارند. علاوه بر این، ضریب کیفیت تقویت‌کننده CLIA را می‌توان با تنظیم مقادیر مناسب R_a جهت تعریف امپدانس معادل فرکانس بالا در گره خروجی در طبقه دوم (v_2 در شکل ۳) به صورت زیر تنظیم کرد.

$$Z_{eq(CLIA)} = R_a + \frac{1}{sC_a} \quad (8)$$



شکل (۳): توپولوژی تقویت‌کننده جبران‌سازی فرکانس با روش CLIA

از رابطه (۸) قابل درک است که، $Z_{eq(CLIA)}$ یک تابع افزایشی با R_a است، به طوری که بلوک CLIA هنگامی که R_a کاهش می‌یابد و به تبع آن $Q_{(CLIA)}$ کاهش می‌یابد، جریان میرایی بیشتری جذب می‌کند، که می‌توان آن را با رابطه (۷) اثبات کرد.

در رابطه با تغییرات بارمی‌توان گفت $Q_{(CLIA)}$ طبق رابطه (۷) با $\frac{1}{\sqrt{C_L}}$ متناسب است. همانند ساختار DFCFC، بلوک CLIA در ظرفیت بارخازنی ثابت به بهینه‌سازی ضریب کیفیت کمک می‌کند. هنگامی که C_L به $\frac{C_L}{100}$ کاهش یابد، $Q_{(CLIA)}$ به میزان ۱۰ برابر افزایش می‌یابد. اگر C_L مقدار بیشتری کاهش یابد، قطب‌های مختلط ضریب کیفیت بزرگتری را نشان می‌دهند.

۳- جبران‌سازی کسکود میلر پیشنهادی با کنترل جریان میرایی داخلی

همانگونه که در بخش‌های قبلی ذکر شد، بر اساس توپولوژی‌های طراحی مختلف هنگامی که C_L به طور قابل توجهی کاهش یا افزایش یابد، ضریب کیفیت بالا ممکن است منجر به عدم پایداری تقویت‌کننده‌ها شود. طرح پیشنهادی، طراحی یک ساختار جبران‌سازی پیشرفته است که بتواند ضریب کیفیت جفت قطب مختلط را در محدوده مناسبی، هنگامی که C_L به طور قابل توجهی تغییر می‌کند، کنترل کند.

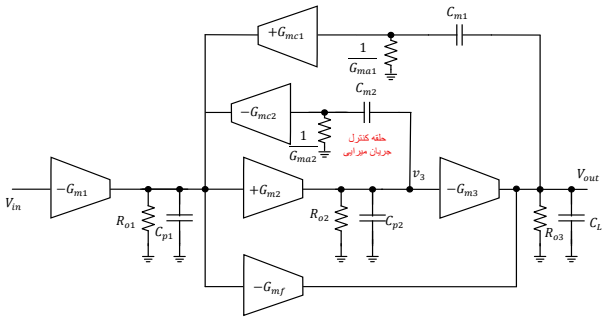
۳-۱. ساختار

شکل (۴) بلوک دیاگرام معادل تقویت‌کننده جبران‌سازی کسکود میلر سه طبقه پیشنهادی را نشان می‌دهد. این ساختار شامل دو طبقه بهره معکوس کننده، یک طبقه بهره غیر معکوس کننده، دو بلوک جبران‌سازی میلر با جریان ثابت و یک مسیر فیدفوروارد است. همچون [۱۶]، بلوک جبران‌سازی میلر کاسکود (G_{mc1} و C_{m1}) مسیر سیگنال فیدفوروارد (که ممکن است باعث صفر نیم‌صفحه راست (RHP) شود) را که در جبران‌سازی میلر ساده وجود دارد را حذف می‌کند و یک صفر LHP (نیم‌صفحه چپ) ایجاد می‌کند و فرکانس قطب مختلط را گسترش می‌دهد. یک مسیر فیدفوروارد (G_{mf}) برای تشکیل یک طبقه خروجی پوش-پول با G_{m3} اضافه شده است تا عملکرد گذرا را بهبود بخشد. برخلاف [۱۵]، بلوک جبران‌سازی میلری دیگر (G_{mc2} و C_{m2}) با هدف ایجاد یک صفر LHP برای حذف قطب-صفر نیست، بلکه یک حلقه کنترل جریان میرایی داخلی با طبقه دوم تشکیل می‌دهد. این بلوک جبران‌سازی، مقدار جریان میرایی که باید به C_{m2} تزریق شود را کنترل می‌کند تا امپدانس سیگنال کوچک در گره خروجی G_{m2} (v_3 در شکل ۴) را تغییر دهد، که بر ضریب کیفیت قطب مختلط مربوطه تأثیر می‌گذارد.

۳-۲. تحلیل سیگنال کوچک

مدل سیگنال کوچک معادل تقویت‌کننده سه طبقه پیشنهادی در شکل (۵) نشان داده شده است، که در آن G_{mi}، R_{oi} و C_{pi} به ترتیب به عنوان هدایت انتقالی، مقاومت خروجی و ظرفیت خازنی پارازیتی در طبقه iام و همچنین

G_{mc1} و G_{mc2} به عنوان هدایت انتقالی معادل طبقات جبران‌سازی میلر بافر

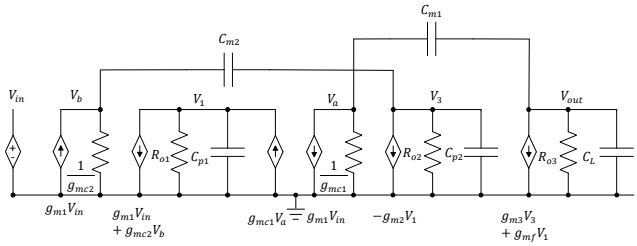


شکل(۴): بلوک دیاگرام معادل تقویت‌کننده سه طبقه پیشنهادی با جبران‌سازی میلر کاسکود

جریان و G_{mf} به عنوان رسانایی فیدفوروارد ذکر شده‌اند. در این مدل، ظرفیت خازنی پارازیتی خروجی در خازن بار C_L در نظر گرفته شده است.

برای تحلیل پایداری تقویت‌کننده پیشنهادی، فرضیات رایج زیر برای ساده‌سازی تابع انتقال در نظر گرفته شده‌اند [۱۱].

$$G_{m1}R_{o1}, G_{m2}R_{o2}, G_{m3}R_{o3} \gg 1, R_a = \frac{1}{G_{mc}}, G_{mf} \gg G_{mc2}, C_L \gg C_{m2}, C_{m1} \gg C_{p1}, C_{p2} \quad (9)$$



شکل (۵): مدل سیگنال کوچک معادل تقویت‌کننده سه طبقه پیشنهادی

تابع تبدیل کلی $A_v(s)$ تقویت‌کننده پیشنهادی به صورت زیر بیان می‌شود

$$A_v(s) = \frac{A_{dc}(1 + b_1 s + b_2 s^2 + b_3 s^3 + b_4 s^4)}{\left(1 + \frac{s}{p_{-3dB}}\right)(1 + a_1 s + a_2 s^2 + a_3 s^3 + a_4 s^4)} \quad (10)$$

که در آن، عبارات صورت و مخرج به صورت زیر تعریف می‌شوند:

$$A_{dc} = G_{m1}G_{m2}G_{m3}R_{o1}R_{o2}R_{o3} \quad (11)$$

$$p_{-3dB} = \frac{1}{C_{m1}G_{m2}G_{m3}R_{o1}R_{o2}R_{o3}} \quad (12)$$

$$a_1 = \frac{C_{m2}\left[(C_L + C_{m2})G_{m2} + C_{m1}G_{m2}G_{m3}(1/G_{mc2}) + C_{m1}G_{mf}\right]}{C_{m1}G_{m2}G_{m3}} \quad (13)$$

$$a_2 = \frac{C_{m2}C_L}{G_{mc1}G_{m3}} \quad (14), \quad a_3 = \frac{C_{p1}C_LC_{m2}}{G_{mc1}G_{m2}G_{m3}} \quad (15)$$

$$a_5 = \frac{C_{p1}C_{p2}C_LC_{m2}}{G_{m2}G_{m3}G_{mc1}G_{mc2}} \quad (16)$$

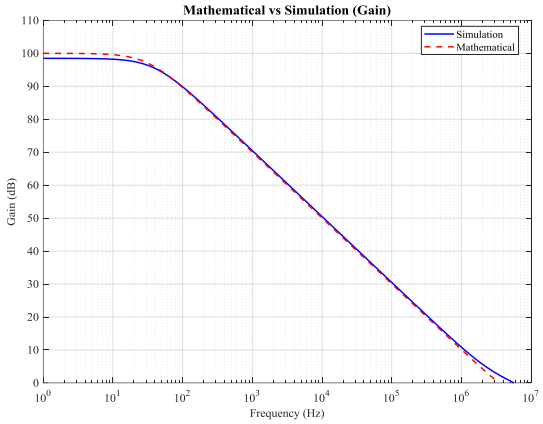
$$b_1 = \frac{C_{m2}}{2G_{mc2}} + \frac{C_{m1}}{2G_{mc1}} + \frac{C_{m2}G_{mf}}{G_{m2}G_{m3}} \quad (17)$$

$$b_2 = \frac{C_{m1}C_{m2}(G_{mf} - G_{m2})}{2G_{m2}G_{mc1}G_{mc2}} \quad (18)$$

$$b_3 = -\frac{C_{p1}C_{m1}C_{m2}}{2G_{m2}G_{mc1}G_{mc2}} \quad (19)$$

$$b_4 = -\frac{C_{p1}C_{p2}C_{m1}C_{m2}}{2G_{m2}G_{m3}G_{mc1}G_{mc2}} \quad (20)$$

از رابطه (۱۰)، می‌توان دریافت که A_{dc} بهره ولتاژ ثابت و P_{-3dB} قطب غالب است. باید توجه داشت که این یک تابع انتقال بسیار کلی است و تقریب بیشتر در بخش بعدی مورد تجزیه و تحلیل قرار خواهد گرفت و می‌توان میزان دقت تابع تبدیل حاصل را در شکل (۶) مشاهده کرد.



شکل(۶): مقایسه تابع تبدیل محاسبه شده با نتیجه شبیه‌سازی بلوک دیاگرام طرح پیشنهادی

۳-۳. تحلیل پایداری تحت تغییرات زیاد C_L

همانگونه که پیش‌تر ذکر شد، فرکانس قطب مختلط و ضریب کیفیت با توجه به ظرفیت مختلف C_L تغییر خواهند کرد. به منظور تجزیه و تحلیل عملکرد

* Corresponding author E-mail: roshanaiemohsen@gmail.com

طرح جبران‌سازی پیشنهادی که می‌تواند طیف وسیعی از بارهای خازنی را مدیریت کند، توابع انتقال تقویت‌کننده‌ها با C_L های مختلف باید در موارد مختلف مورد مطالعه قرار گیرند.

حالت اول: هنگامی که C_L در حدود نانوفاراد باشد، قطب‌های غیرغالب به چند قطب حقیقی تقسیم می‌شوند، قطب‌ها و صفرهایی که در فرکانس پایین قرار دارند و پاسخ فرکانسی را تحت تاثیر خود قرار می‌دهند. مشخص می‌شود که در این حالت تقویت‌کننده را می‌توان با یک سیستم دو قطبی تقریب زد. با این وجود، تابع انتقال $A_v(s)$ را می‌توان به صورت زیر تخمین زد.

$$A_v(s)=\frac{A_{dc}}{\left(1+\frac{s}{\omega_{-3dB}}\right)\left(1+\frac{s}{\omega_{p_1}}\right)}\approx\frac{1}{\frac{s}{GBW}\left(1+\frac{s}{\frac{C_{m1}G_{m3}}{C_LC_{m2}}}\right)} \quad (21)$$

و حاشیه فاز مربوطه به صورت زیر داده می‌شود:

$$PM=90^\circ-\phi(\omega_{p1})=90^\circ-\tan^{-1}\left(\frac{GBW}{\omega_{p1}}\right) \quad (22)$$

که در آن ω_{-3dB} و ω_{p1} قطب‌های غالب و غیرغالب تقویت‌کننده هستند و $GBW=\frac{G_{m1}}{C_{m1}}$پهنای باند است که برای اطمینان از پایداری، همواره باید کوچک‌تر از ω_{p1} باشد. با افزایش خازن بار C_L، ω_{p1} به سمت فرکانس پایین حرکت می‌کند و بنابراین حاشیه فاز را کاهش می‌دهد.

طبق روابط (۲۱) و (۲۲)، حداکثر ظرفیت بار $C_{L_{max}}$ توسط حداقل حاشیه فاز PM_{min} تعیین می‌شود که می‌توان آن را به صورت زیر محاسبه کرد.

$$C_{L_max}=\frac{C_{m1}^2G_{m3}cot(PM_{min})}{G_{m1}C_{m2}} \quad (23)$$

حالت دوم: هنگامی که C_L در حدود چند صد پیکوفاراد باشد، قطب غیرغالب p_1 به سمت فرکانس بالا حرکت می‌کند و قطب دیگر p_2 را در یک جفت قطب مختلط $p_{1,2}$ ادغام می‌کند. در این میان، یک صفر LHP (z_1) که توسط G_{mc1} و C_{m1} تولید می‌شود، می‌تواند حاشیه فاز را افزایش دهد. تابع انتقال بهره$A_v(s)$ به صورت ساده شده است.

$$A_v(s)=\frac{A_{dc}\left(1+\frac{s}{\frac{2G_{mc1}}{C_{m1}}}\right)}{\left(1+\frac{s}{\omega_{-3dB}}\right)\left(1+\frac{1}{Q}\frac{1}{\omega_{p1,2}}s+\frac{1}{\omega_{p1,2}^2}s^2\right)} \quad (24)$$

که در آن، فرکانس قطب مختلط $p_{1,2}$ برابر است با

$$\omega_o=\omega_{p1,2}=\sqrt{\frac{G_{mc1}G_{m3}}{C_{m2}C_L}} \quad (25)$$

و به همین ترتیب ضریب کیفیت آن به صورت زیر بیان می‌شود:

$$Q=\sqrt{\frac{C_LG_{m3}}{G_{mc1}C_{m2}}}\frac{C_{m1}G_{m2}}{(C_L+C_{m2})G_{m2}+C_{m1}G_{m2}G_{m3}(1/G_{mc2})+C_{m1}G_{mf}}=\frac{k_1}{\sqrt{C_L}+b/\sqrt{C_L}} \quad (26)$$

باید توجه داشت که در رابطه (۲۶)، $k_1=C_{m1}\sqrt{\frac{G_{m3}}{G_{mc1}C_{m2}}}$ و $b=C_{m2}+(\frac{C_{m1}G_{m3}}{G_{mc2}})+\left(\frac{C_{m1}G_{mf}}{G_{m2}}\right)$ است.

واضح است که فرکانس قطب‌های مختلط ω_o تابعی نزولی با ظرفیت بار است، که نشان می‌دهد قطب‌های غیرغالب از فرکانس بهره واحد دور هستند و اختلالی در پایداری نخواهند داشت. چالش اصلی، برآورده کردن الزامات متناقض ضریب کیفیت قطب‌های مختلط در شرایط C_L سبک و سنگین است، زیرا ضریب کیفیت با تغییر خازن بارگذاری C_L تغییر می‌کند. در واقع، ضریب کیفیت بالا، یک پیک فرکانس در نمودار دامنه را نشان می‌دهد و ضریب کیفیت پایین منجر به دو قطب حقیقی جدا از هم می‌شود که راه‌حل بهینه‌ای برای پهنای باند قابل دستیابی بهتر نیست.

جهت جلوگیری از نمایش آشکار پیک فرکانسی در نمودار پاسخ فرکانسی تقویت‌کننده، ضریب کیفیت بالای قطب‌های مختلط نامطلوب است. از رابطه (۲۶) جهت کاهش ضریب کیفیت، یا باید G_{mc2} و C_{m1} کاهش یابد و یا G_{mf} و C_{m2} افزایش پیدا کند. متأسفانه، غالب پارامترهای مدار به هم مرتبط هستند و تنظیم مستقل آن‌ها برای بهینه‌سازی پاسخ فرکانسی دشوار است [۱۳]. برای مثال، C_{m2} بزرگتر، ضریب کیفیت را کاهش می‌دهد، ولیکن قطب مختلط نیز در آن حالت به فرکانس پایین‌تری منتقل می‌شود، همانگونه که در رابطه (۲۵) نشان داده شده است .

با این وجود، عبارت ریاضی حداقل یک بینش شهودی برای کنترل ضریب کیفیت و فرکانس طبیعی قطب‌های مختلط ارائه می‌دهد. عبارت زیر را می‌توان از (۲۶) یافت.

$$Q_{max} = \frac{k_1}{2\sqrt{b}} \tag{27}$$

رابطه میان ضریب کیفیت و پیک فرکانس در نمودار پاسخ فرکانسی در [۱۵] مورد مطالعه قرار گرفته است. در بسیاری از طراحی‌های تقویت‌کننده سه طبقه [۱] تا [۱۰]، برای قطب مختلط غیرغالب آن‌ها، ضریب کیفیت مربوطه به طور معمول بر روی $\frac{1}{\sqrt{2}}$ تنظیم می‌شود تا تقویت‌کننده‌ها هنگامی که به عنوان یک سیستم فیدبک واحد پیکربندی می‌شوند، دارای پاسخ فرکانسی مرتبه سوم باتروورث باشند. با این حال، ضریب کیفیت همواره با توجه به C_L های مختلف تغییر می‌کند و بنابراین $\frac{1}{\sqrt{2}}$ کمترین مقدار برای Q_{max} است. از سوی دیگر، جهت دستیابی به پاسخ فرکانسی مطلوب در محدوده وسیع ظرفیت خازنی خروجی، Q_{max} باید کوچکتر از ۲ باشد تا از پیک فرکانسی آشکار در نمودار دامنه حلقه باز جلوگیری شود. بنابراین، در این طرح می‌بایست، $\frac{1}{\sqrt{2}} < Q < 2$ باشد و در نتیجه، حاشیه فاز با حذف قطب و صفر به صورت زیر داده می‌شود:

$$\begin{aligned} PM &= 90° - \phi(\omega_{p1,2}) + \phi(z_1) \\ &= 90° - \tan^{-1}\left[\frac{\frac{GBW}{\omega_o}}{Q\left(1 - \left(\frac{GBW}{\omega_o}\right)^2\right)}\right] \\ &\quad + \tan^{-1}\left(\frac{GBW}{z_1}\right) \end{aligned} \tag{28}$$

بنابراین، معیار پایداری روث-هورویتز که به طور گسترده در طراحی تقویت‌کننده‌های چندطبقه مورد استفاده قرار گرفته است، می‌تواند برای کمک به تصمیم‌گیری در مورد پارامترهای طراحی، از جمله حداقل ظرفیت بار خازنی، مورد استفاده قرار گیرد. معیار پایداری روث-هورویتز به سادگی با ایجاد جدول ۱ ارزیابی شد. برای دستیابی به پایداری مطلوب برای تقویت‌کننده سه طبقه پیشنهادی، تمامی ضرایب باید بزرگتر از صفر باشند.

طبق جدول (۱)، حداقل ظرفیت بار خازنی C_L با شرط مرزی مثبت بودن ضرایب B_1 و C_1 تعیین می‌شود که می‌توان آن را به صورت زیر محاسبه کرد:

جدول (۱): بسط پارامتر روث هرویتز برای چندجمله‌ای مرتبه چهارم در رابطه (۱۰)

رابطه	ضرایب
۱	A_0
$\frac{C_{m2}\left[(C_L + C_{m2})G_{m2} + C_{m1}G_{m2}G_{m3}(1/G_{mc2}) + C_{m1}G_{mf}\right]}{C_{m1}G_{m2}G_{m3}}$	A_1
$\frac{C_{m2}C_L}{G_{mc1}G_{m3}}$	A_2
$\frac{C_{p1}C_LC_{m2}}{G_{mc1}G_{m2}G_{m3}}$	A_3
$\frac{C_{p1}C_{p2}C_LC_{m2}}{G_{m2}G_{m3}G_{mc1}G_{mc2}}$	A_4
$\frac{C_LC_{m2}}{G_{m3}G_{mc1}} - \frac{C_{p2}}{G_{mc2}}A1$	$B_1 = (A_2A_3 - A_1A_4)/A_3$
1	$B_2 = A_0$
$A_1 - \frac{A_3}{B_1}$	$C_1 = (B_1A_1 - A_3A_0)/B_1$
1	$D_1 = A_0$

$$C_{L_min} = \min\{B_1(C_L) > 0, C_1(C_L) > 0\} \tag{29}$$

حاشیه فاز با حذف قطب و صفر به صورت زیر داده می‌شود.

$$\begin{aligned} PM &= 90° - \phi(\omega_{p1,2}) + \phi(z_1) - \phi(\omega_{p3,4}) + \phi(z_2) \\ &= 90° - \tan^{-1}\left[\frac{\frac{GBW}{\omega_o}}{Q_0\left(1 - \left(\frac{GBW}{\omega_o}\right)^2\right)}\right] \\ &\quad + \tan^{-1}\left(\frac{GBW}{z_1}\right) - \tan^{-1}\left[\frac{\frac{GBW}{\omega_1}}{Q_1\left(1 - \left(\frac{GBW}{\omega_1}\right)^2\right)}\right] \\ &\quad + \tan^{-1}\left(\frac{GBW}{z_2}\right) \end{aligned} \tag{30}$$

شایان ذکر است که اگر پارامترهای مدار تقویت‌کننده با دقت تنظیم شده باشند تا اطمینان حاصل شود که تمام ضرایب جدول (۱) در صورت صفر بودن C_L مثبت هستند، می‌توان به پایداری ایده‌آل در حالت بدون بار برای تقویت‌کننده پیشنهادی دست یافت.

* Corresponding author E-mail: roshanaiemohsen@gmail.com

۳-۴. مزایای حلقه کنترل جریان میرایی داخلی و جبران‌سازی کسکود میلر

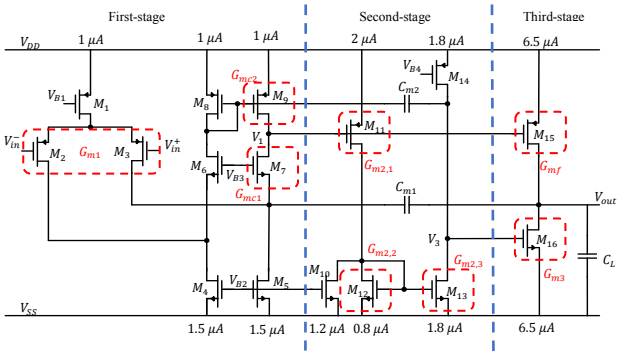
جهت درک بهتر تاثیر اصلی حلقه کنترل جریان میرایی داخلی پیشنهادی، همچون طرح NMC، هنگامی که C_L کاهش می‌یابد، ضریب کیفیت قطب مختلط به جای اینکه متناسب یا در عکس تناسب با $\sqrt{C_L}$ باشد، به یک محدوده تغییر می‌کند. دلیل این امر آن است که بلوک کنترل جریان میرایی داخلی، جریان میرایی لازم را تحت C_L با محدوده گسترده تولید می‌کند. طرح تقویت‌کننده پیشنهادی با این ساختار به مقدار بسیار کمی C_{m2} نیاز دارد تا بتواند مصالحه‌ایی میان ω_o و ضریب کیفیت ایجاد کند. از سوی دیگر، طبقه هدایت انتقالی G_{mc2} جهت تشکیل یک حلقه فیدبک محلی می‌تواند در طبقه اول تعبیه شود. در این حالت، هیچ جریان ساکن اضافی در مدار وجود ندارد و می‌تواند توان مصرفی و ضریب شایستگی تقویت‌کننده را بهبود بخشید.

۴- پیاده سازی مدار

شماتیک تقویت‌کننده سه طبقه پیشنهادی با روش فوق در شکل ۷ نشان داده شده است. طبقه اول از یک ساختار کسکود تاشده $(M_9\text{-}M_1)$ استفاده می‌کند. طبقه دوم از یک آینه جریان جهت تشکیل طبقه غیر معکوس‌کننده $(M_{14}\text{-}M_{10})$ استفاده می‌کند. با فرض اینکه هدایت انتقالی M_{11}، M_{12} و M_{13} به ترتیب $g_{m2,1}$، $g_{m2,2}$ و $g_{m2,3}$ باشند، هدایت انتقالی کلی G_{m2} برابر با $\frac{(g_{m2,1}\, g_{m2,3})}{g_{m2,2}}$ است. طبقه سوم توسط یک طبقه سورس مشترک (M_{16}) تشکیل شده است. جبران‌سازی کسکود میلر توسط C_{m1} و طبقه گیت مشترک (M_7) محقق می‌شود. بلوک کنترل جریان میرایی داخلی شامل خازن میلر C_{m2} و طبقه سورس مشترک (M_9) است. ترانزیستور M_{15} یک مسیر فیدفوروارد ایجاد می‌کند که برای بهبود عملکرد گذرا مفید است. جریان مصرفی برای هر شاخه در شکل (۷) مشخص شده است.

جهت بهینه‌سازی مقدار خازن جبران‌سازی تقویت‌کننده پیشنهادی، مقدار C_{m1} و C_{m2} به ترتیب برابر با ۸۳۱ و ۴ فمتو فاراد برای تغییرات بار خازنی از ۳۰۰ پیکو فاراد تا ۲ نانوفاراد تنظیم شده‌اند. مقادیر خازن‌های جبران‌سازی از تحلیل بخش قبل بدست آمده است. مقدار C_{m1} جهت مصالحه میان PM و GBW از روابط (۲۱) و (۲۲) بهینه شده است. مقدار C_{m2} از بدترین حالت ضریب کیفیت مطابق روابط (۲۶) و (۲۷) بدست می‌آید.

هدف از این طراحی، گسترش محدوده بار خازنی با مصرف توان کم و پهنای باند وسیع در مقایسه با دیگر روش‌ها [۸] تا [۱۰] است. برخی از پارامترهای کلیدی مدار تقویت‌کننده پیشنهادی در جدول (۲) نشان داده شده است و ابعاد ترانزیستورهای مربوطه را می‌توان در جدول (۳) یافت.



شکل (۷): شماتیک تقویت‌کننده‌ی سه‌طبقه پیشنهادی

جدول (۲): پارامترهای مدار در طرح پیشنهادی

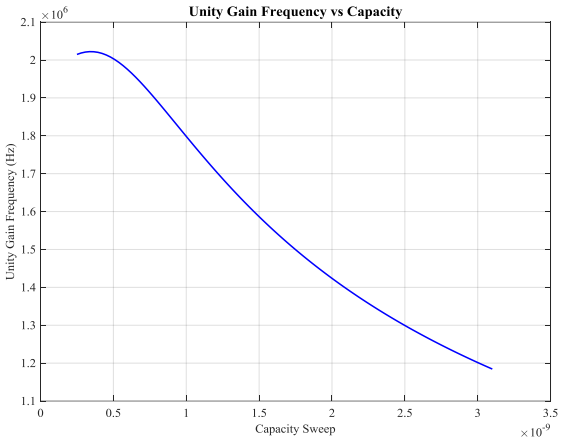
g_{m1}	g_{m2}	g_{m3}	g_{mc1}	g_{mc2}	g_{mf}	C_{m1}	C_{m2}
10.3 μS	133 μS	90 μS	25.7 μS	22.6 μS	147.7 μS	831 fF	4 fF

جدول (۳): ابعاد ترانزیستورهای مدار در طرح پیشنهادی

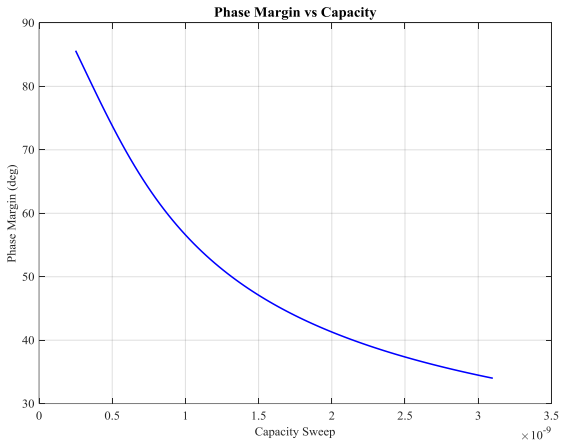
M_1	$\left(\frac{2.88\ \mu m}{3.5L_{min}}\right)$	M_{11}	$\left(\frac{0.5\ \mu m}{2L_{min}}\right)$
$M_{2,3}$	$\left(\frac{9.6\ \mu m}{3L_{min}}\right)$	M_{12}	$\left(\frac{0.3\ \mu m}{4L_{min}}\right)$
$M_{4,5}$	$\left(\frac{1.2\ \mu m}{3.5L_{min}}\right)$	M_{13}	$\left(\frac{0.8\ \mu m}{2L_{min}}\right)$
$M_{6,7}$	$\left(\frac{13\ \mu m}{4.5L_{min}}\right)$	M_{14}	$\left(\frac{3.4\ \mu m}{2L_{min}}\right)$
$M_{8,9}$	$\left(\frac{11.4\ \mu m}{2L_{min}}\right)$	M_{15}	$\left(\frac{51\ \mu m}{L_{min}}\right)$
M_{10}	$\left(\frac{0.5\ \mu m}{2L_{min}}\right)$	M_{16}	$\left(\frac{51\ \mu m}{L_{min}}\right)$

۵- نتایج شبیه‌سازی

تقویت‌کننده سه‌طبقه پیشنهادی در فناوری CMOS 0.18 μm پیاده سازی شده است. تمامی ترانزیستورها توسط قطعات با ولتاژ آستانه استاندارد پیاده سازی شده‌اند. کل ظرفیت خازنی خازن‌های جبران‌سازی C_t برابر با ۸۳۵ فمتوفاراد است. در شکل (۸) می‌توان تاثیر تغییر بار خازنی در فرکانس بهره واحد و و در شکل (۹) تاثیر این تغییرات بر حاشیه فاز را مشاهده کرد.

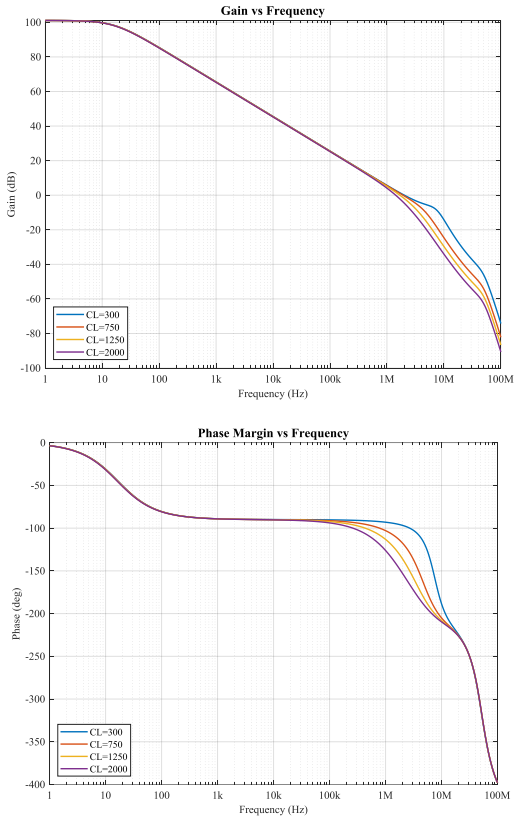


شکل (۸): تاثیر تغییرات بار خازنی بر فرکانس بهره واحد



شکل (۹): تاثیر تغییرات بار خازنی بر حاشیه فاز

شکل (۱۰) مجموعه‌ای از پاسخ فرکانسی حاصل از شبیه‌سازی‌ها را با مقادیر مختلف C_L از ۳۰۰ پیکوفاراد تا ۲ نانوفاراد برای طرح پیشنهادی نشان می‌دهد.



شکل (۱۰): نتایج شبیه‌سازی با مقادیر مختلف بار خازنی از ۳۰۰ پیکوفاراد تا ۲ نانوفاراد

جدول ۴، فرکانس بهره واحد، حاشیه فاز و بهره ثابت شبیه‌سازی شده را تحت گوشه‌های مختلف، برای بارهای خازنی از ۳۰۰ پیکوفاراد تا ۲ نانوفاراد را خلاصه می‌کند.

پاسخ گذرای شبیه‌سازی‌شده تقویت‌کننده پیشنهادی در پیکربندی بهره واحد با گام ۳۰۰ میلی‌ولت برای C_L برابر با ۳۰۰ پیکوفاراد، ۱/۲ نانوفاراد و ۲ نانوفاراد در شکل (۱۱) نشان داده شده است. با بار خازنی ۳۰۰ پیکوفاراد، میانگین نرخ چرخش ۰/۷۲ ولت بر میکروثانیه و میانگین زمان نشست ۱٪ برابر با ۱/۱ میکروثانیه است. هنگامی که ظرفیت بار به ۱/۲ نانوفاراد تغییر کند، نرخ چرخش و زمان نشست مربوطه به ترتیب ۰/۶ ولت بر میکروثانیه و ۲/۱۴ میکروثانیه هستند. اگر یک بار خازنی ۲ نانوفاراد در خروجی اعمال شود، میانگین نرخ چرخش و میانگین زمان نشست ۱٪ به ترتیب ۰/۵ ولت بر میکروثانیه و ۳/۱۲ میکروثانیه هستند.

* Corresponding author E-mail: roshanaiemohsen@gmail.com

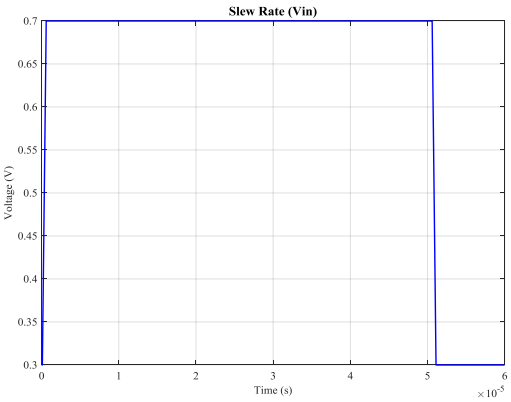
جدول (۴): نتایج شبیه‌سازی در گوشه‌های فرآیند

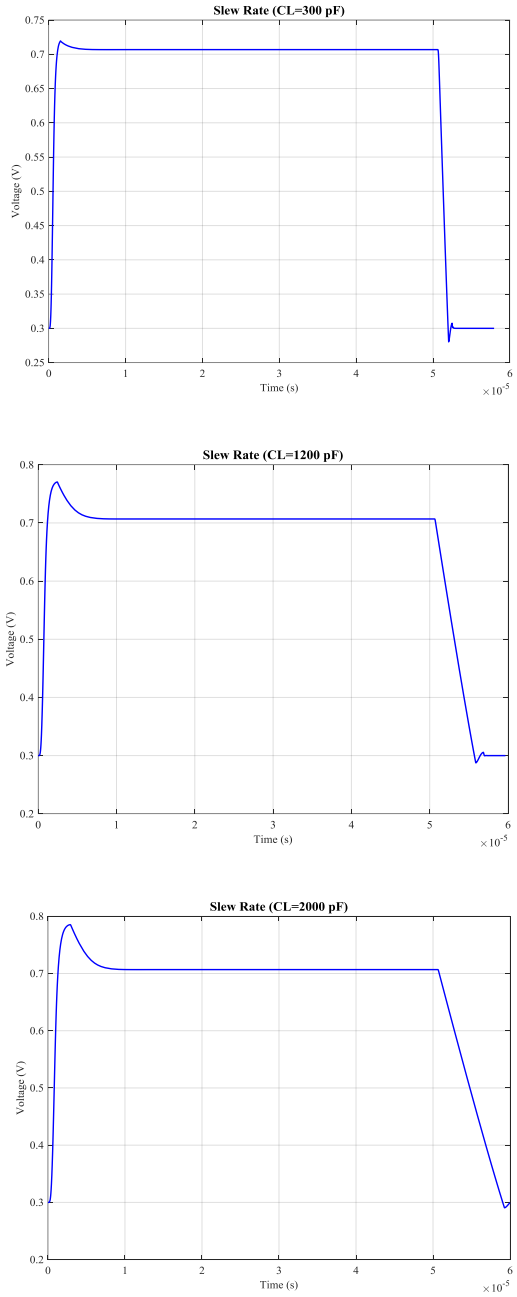
بار خازنی	گوشه	TT	FF	SS	SF	FS
300 pF	UGF (MHz)	۲,۰۹	۲	۱,۹۸	۲,۰۷	۲,۱۲
	PM (°)	۸۳	۸٤,٦	۸٤	۸۳,٥	۸۰,۹
	DC Gain (dB)	۱۰۱	۹۹	۹۹,۳	۱۰۰,۹	۱۰۳
1.2 nF	UGF (MHz)	۱,۷۱	۱,٥۳	۱,٤۹	۱,۷۹	۱,۸۹
	PM (°)	٥۲	٥٥,۲	٥۲,۹	٥۳,۳	٥۰,٦
	DC Gain (dB)	۱۰۱	۹۹	۹۹,۳	۱۰۰,۹	۱۰۳
2 nF	UGF (MHz)	۱,٤۷	۱,۲	۱,۲۹	۱,٤	۱,٥۳
	PM (°)	٤۲	٤٥,۱	٤۲,۹	٤۱,۷	٤۱
	DC Gain (dB)	۱۰۱	۹۹	۹۹,۳	۱۰۰,۹	۱۰۳

جدول (۵) عملکرد تقویت‌کننده پیشنهادی را با تقویت‌کننده‌های اخیر با بهره بالا (>۱۰۰ دسی‌بل) خلاصه می‌کند. طرح پیشنهادی می‌تواند عملکرد پایداری را با ظرفیت بار از ۳۰۰ پیکو فاراد تا ۲ نانو فاراد ارائه دهد، که برای کاربردهای پردازش سیگنال آنالوگ که نیاز به بهره و پهنای باند بالا دارند، بسیار مناسب است. جهت مقایسه بهتر، از روابط زیر برای شاخص شایستگی (FOM) استفاده می‌شود. FOM_S و FOM_L متداول عبارتند از [۳۲] تا [۳۶]:

$$FOM_S = \frac{GBW.C_L}{Power} \quad (31) \quad , FOM_L = \frac{SR.C_L}{Power} \quad (32)$$

و برای حالت بار خازنی بزرگ، $LC - FOM_S$، $LC - FOM_L$ و همچنین FOM_{SN} اعمال می‌شوند.





شکل (۱۱): پاسخ پله شبیه‌سازی شده ۳۰۰ میلی‌ولت برای بار خازنی۳۰۰پیکوفاراد، ۱/۲ نانوفاراد و ۲ نانوفاراد

$$LC - FOM_S = \frac{GBW.C_L}{Power.C_t} \quad (33)$$

$$LC - FOM_L = \frac{SR.C_L}{Power.C_t} \quad (34)$$

$$FOM_{SN} = \frac{GBW.\sqrt{C_L}}{Power} \quad (35)$$

جدول (۵): عملکرد تقویت‌کننده پیشنهادی با سایر طرح‌های گزارش شده.

	[۳۲]	[۳۳]	[۳۵]	طرح پیشنهادی		
Technology (μm)	۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۸		
DC Gain(dB)	>۱۲۰	>۱۰۰	>۱۰۰	۱۰۱		
I_{DD} (μA)	۶/۷	۵۷/۸	۷	۱۴/۳		
C_L (pF)	۱۳۰۰	۱۸۰۰	۵۰۰	۳۰۰	۱۲۰۰	۲۰۰۰
UGF (MHz)	۰/۶۸	۱/۱۸	۱/۳۴	۲/۰۲	۱/۷۱	۱/۴۳
PM (°)	۶۰/۳	۵۹/۶	۵۲/۷	۸۳	۵۲/۲	۴۱
C_t (pF)	۰/۴	۱/۵۲	۰/۸۷	۰/۸۳۵		
Average SR ($V/\mu s$)	۰/۳۹۸	۰/۲۲	۰/۶۲	۰/۷۲	۰/۶	۰/۵
FOM_s ($MHz.pF/\mu W$)	۱۳۱/۹	۳۰۵/۱	۱۰۶/۳	۴۲/۳	۱۴۳/۵	۲۰۰
$\frac{LC}{-FOM_s}$ ($MHz/\mu W$)	۳۹۲/۸	۲۰۰/۷	۱۲۲/۲	۵۰/۷	۱۷۱/۸	۲۳۹/۵
FOM_{SN} $(MHz.pF^{1/2}/\mu W)$	۳/۶	۲/۲۷	۴/۷	۲/۴	۴/۹	۱۶/۹
FOM_L ($V/\mu s.pF/\mu W$)	۷۷/۲	۵۶/۸	۴۹/۲	۱۵/۱	۵۰/۳	۷۰
$\frac{LC}{-FOM_L}$ ($V/\mu s/\mu W$)	۱۹۳	۳۷/۴	۵۶/۵	۱۸	۶۰/۳	۸۳/۷

۶- نتیجه‌گیری

در این مقاله، یک تقویت‌کننده سه طبقه با توان مصرفی کم (۱۴/۳ میکروات) با محدوده گسترده بار خازنی ارائه شده است. با ترکیب جبران‌سازی کسکود و میلر، فرکانس قطب مختلط به طور مؤثر افزایش می‌یابد که GBW بالاتر تقویت‌کننده پیشنهادی را ممکن می‌سازد. افزایش فرکانس قطب مختلط همزمان با کاهش ضریب کیفیت آن، همانگونه که در طرح‌های قبلی مورد مطالعه قرار گرفته است، یک تناقض است. به دلیل وجود بلوک کنترل جریان میرایی داخلی در طرح پیشنهادی، ضریب کیفیت قطب‌های مختلط به یک محدوده مناسب محدود می‌شود در حالی که فرکانس قطب مختلط مطابق با C_L مختلف اعمال شده در خروجی حفظ می‌شود. بنابراین، یک مصالحه میان فرکانس قطب مختلط و ضریب کیفیت حاصل می‌شود. تقویت‌کننده پیشنهادی با فناوری CMOS 0.18 μm تأیید شد و نتایج شبیه‌سازی نشان می‌دهد که حداقل ۱/۴۳ مگاهرتز UGF و نرخ چرخش به طور میانگین ۰/۵ ولت بر میکروثانیه تحت تغییرات بار خازنی از ۳۰۰ پیکوفاراد تا ۲ نانوفاراد به دست می‌آید و ظرفیت جبرانی روی تراشه تنها ۸۳۵ فمتو فاراد است.

مراجع

[1] Gulati, K., & Lee, H. S. (1998). A high-swing CMOS telescopic operational amplifier. IEEE Journal of Solid-State Circuits, 33(12), 2010-2019.

[2] Sackinger, E., & Guggenbuhl, W. (2002). A high-swing, high-impedance MOS cascode circuit. IEEE Journal of Solid-state circuits, 25(1), 289-298.

[3] Peng, X., & Sansen, W. (2004). AC boosting compensation scheme for low-power multistage amplifiers. IEEE Journal of Solid-State Circuits, 39(11), 2074-2079.

[4] Ho, M., Leung, K. N., & Mak, K. L. (2010). A low-power fast-transient 90-nm low-dropout regulator with multiple small-gain stages. IEEE journal of solid-state circuits, 45(11), 2466-2475.

[5] Marano, D., Grasso, A. D., Palumbo, G., & Pennisi, S. (2016). Optimized active single-Miller capacitor compensation with inner half-feedforward stage for very high-load three-stage OTAs. IEEE Transactions on Circuits and Systems I: Regular Papers, 63(9), 1349-1359.

[6] Ramos, J., & Steyaert, M. (2002, May). Three stage amplifier with positive feedback compensation scheme. In Proceedings of the IEEE 2002 Custom Integrated Circuits Conference (Cat. No. 02CH37285) (pp. 333-336). IEEE.

[7] Eschauzier, R. G., Kerklaan, L. P., & Huijsing, J. H. (2002). A 100-MHz 100-dB operational amplifier with multipath nested Miller compensation structure. IEEE Journal of Solid-State Circuits, 27(12), 1709-1717.

[8] Leung, K. N., & Mok, P. K. (2001). Analysis of multistage amplifier-frequency compensation. IEEE transactions on circuits and systems I: fundamental theory and applications, 48(9), 1041-1056.

[9] Aminzadeh, H., Ballo, A., Valinezhad, M., & Grasso, A. D. (2022). An unconditionally stable three-stage OTA. IEEE Solid-State Circuits Letters, 5, 230-233.

[10] Leung, K. N., Mok, P. K., Ki, W. H., & Sin, J. K. (2002). Three-stage large capacitive load amplifier with damping-factor-control frequency compensation. IEEE Journal of Solid-State Circuits, 35(2), 221-230.

[11] Aloisi, W., Palumbo, G., & Pennisi, S. (2008). Design methodology of Miller frequency compensation with current buffer/amplifier. IET circuits, devices & systems, 2(2), 227-233.

[12] Pugliese, A., Cappuccino, G., & Cocorullo, G. (2008). Design procedure for settling time minimization in three-stage nested-Miller amplifiers. IEEE Transactions on Circuits and Systems II: Express Briefs, 55(1), 1-5.

[13] Lau, M. W., Mak, K. H., Leung, K. N., Guo, J., & Goh, W. L. (2017). Enhanced active-feedback frequency compensation with on-chip-capacitor reduction feature for amplifiers with large capacitive load. International Journal of Circuit Theory and Applications, 45(12), 2119-2133.

[14] Cabrera-Bernal, E., Pennisi, S., Grasso, A. D., Torralba, A., & Carvajal, R. G. (2016). 0.7-V three-stage class-AB CMOS operational transconductance amplifier. IEEE Transactions on Circuits and Systems I: Regular Papers, 63(11), 1807-1815.

[15] Guo, S., & Lee, H. (2010). Dual active-capacitive-feedback compensation for low-power large-capacitive-load three-stage amplifiers. IEEE Journal of solid-state circuits, 46(2), 452-464.

[16] Aminzadeh, H., & Dashti, M. A. (2019). Dual loop cascode-Miller compensation with damping factor control unit for three-stage amplifiers driving ultralarge load capacitors. International Journal of Circuit Theory and Applications, 47(1), 1-18.

[17] Di Cataldo, G., Grasso, A. D., Palumbo, G., & Pennisi, S. (2016). Improved single-miller passive compensation network for three-stage

* Corresponding author E-mail: roshanaiemohsen@gmail.com

CMOS OTAs. Analog Integrated Circuits and Signal Processing, 86(3), 417-427.

[18] Peng, X., Sansen, W., Hou, L., Wang, J., & Wu, W. (2010). Impedance adapting compensation for low-power multistage amplifiers. IEEE Journal of Solid-State Circuits, 46(2), 445-451.

[19] Giustolisi, G., & Palumbo, G. (2020). Design of three-stage OTA based on settling-time requirements including large and small signal behavior. IEEE Transactions on Circuits and Systems I: Regular Papers, 68(3), 998-1011.

[20] Liu, S., Zhu, Z., Wang, J., Liu, L., & Yang, Y. (2018). A 1.2-V 2.41-GHz three-stage CMOS OTA with efficient frequency compensation technique. IEEE Transactions on Circuits and Systems I: Regular Papers, 66(1), 20-30.

[21] Fordjour, S. A., Riad, J., & Sánchez-Sinencio, E. (2020). A 175.2-mW 4-stage OTA with wide load range (400 pF–12 nF) using active parallel compensation. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 28(7), 1621-1629.

[22] Lau, S. K., Mok, P. K., & Leung, K. N. (2007). A low-dropout regulator for SoC with $ Q $-reduction. IEEE Journal of Solid-State Circuits, 42(3), 658-664.

[23] Dhanasekaran, V., Silva-Martinez, J., & Sanchez-Sinencio, E. (2009). Design of Three-Stage Class-AB 16$\Omega $ Headphone Driver Capable of Handling Wide Range of Load Capacitance. IEEE Journal of Solid-State Circuits, 44(6), 1734-1744.

[24] Yan, Z., Mak, P. I., Law, M. K., & Martins, R. P. (2013). A 0.016-mm $^{2} $144-$\mu $ W Three-Stage Amplifier Capable of Driving 1-to-15 nF Capacitive Load With $> $0.95-MHz GBW. IEEE journal of solid-state circuits, 48(2), 527-540.

[25] Riad, J., Estrada-López, J. J., Padilla-Cantoya, I., & Sánchez-Sinencio, E. (2020). Power-scaling output-compensated three-stage OTAs for wide load range applications. IEEE Transactions on Circuits and Systems I: Regular Papers, 67(7), 2180-2192.

[26] Reay, R. J., & Kovacs, G. T. (2002). An unconditionally stable two-stage CMOS amplifier. IEEE journal of solid-state circuits, 30(5), 591-594.

[27] Aminzadeh, H., & Valinezhad, M. M. (2021). Hybrid cascode compensation with Q-factor control module for three-stage OTAs driving ultra-large load capacitors. Circuit World, 47(4), 345-356.

[28] Grasso, A. D., Marano, D., Palumbo, G., & Pennisi, S. (2017). High-performance three-stage single-Miller CMOS OTA with no upper limit of ${C} _ {L} $. IEEE Transactions on Circuits and Systems II: Express Briefs, 65(11), 1529-1533.

[29] Aminzadeh, H., Valinezhad, M. M., & Grasso, A. D. (2024). Hybrid cascode compensation with hybrid Q-factor control for three-stage unconditionally stable amplifiers. IEEE Access, 12, 128061-128070.

[30] Dong, S., & Zhu, Z. (2018). A transconductance-enhancement cascode Miller compensation for low-power multistage amplifiers. Microelectronics Journal, 73, 94-100.

[31] Aminzadeh, H., Danaie, M., & Serdijn, W. A. (2013). Hybrid cascode feedforward compensation for nano-scale low-power ultra-area-efficient three-stage amplifiers. Microelectronics Journal, 44(12), 1201-1207.

[32] Shin, H., Kim, J., Jang, D., Cho, D., Jung, Y., Cho, H., ... & Je, M. (2020). An energy-efficient three-stage amplifier achieving a high unity-gain bandwidth for large capacitive loads without using a compensation zero. IEEE Solid-State Circuits Letters, 3, 530-533.

[33] Qu, W., Singh, S., Lee, Y., Son, Y. S., & Cho, G. H. (2016). Design-oriented analysis for Miller compensation and its application to multistage amplifier design. IEEE Journal of Solid-State Circuits, 52(2), 517-527.

[34] Tan, M., & Ki, W. H. (2014). A cascode Miller-compensated three-stage amplifier with local impedance attenuation for optimized complex-pole control. IEEE Journal of Solid-State Circuits, 50(2), 440-449.

[35] Qu, W., Im, J. P., Kim, H. S., & Cho, G. H. (2014, February). 17.3 A 0.9 V 6.3 μW multistage amplifier driving 500pF capacitive load with 1.34 MHz GBW. In 2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC) (pp. 290-291). IEEE.

[36] Chong, S. S., & Chan, P. K. (2012). Cross feedforward cascode compensation for low-power three-stage amplifier with large capacitive load. IEEE Journal of Solid-State Circuits, 47(9), 2227-2234.