



# A Review of Frequency Compensation Techniques in Multi-Stage Operational Amplifiers for Low-Power High-Gain Applications

Mohsen Roshanaei<sup>\*1</sup>, Akbar Asgharzadeh<sup>2</sup>

1. M.Sc. Electrical Engineering, Faculty of Electrical Engineering, Shahid Beheshti University, Tehran, Iran

2. Assistant Prof., Department of Telecommunications, Faculty of Electrical Engineering, Dafoos AJA University, Tehran, Iran

## Key words:

Wide range  
capacitive load  
Three-stage  
amplifier The  
Low power  
Miller  
compensation

## Abstract

In this review article, frequency compensation techniques for three-stage amplifiers from 2001 to 2023 are examined. Through the analysis of 16 key papers, advancements in this field from simple techniques such as NMCFNR focusing on the elimination of right-half-plane zeros to advanced methods such as double pole-zero cancellation and cross-coupled cascode feedback are evaluated. The main objectives include improving parameters such as gain-bandwidth product (GBW), phase margin (PM), slew rate (SR), power supply rejection ratio (PSRR), common-mode rejection ratio (CMRR), power consumption, and the capability to drive large capacitive loads. The findings indicate that initial methods emphasized simplicity and stability, while recent techniques such as subthreshold and bulk-driven operations have reduced power consumption to nanowatts and enhanced efficiency under low-voltage conditions. Finally, recommendations for method selection based on priorities are provided: for low power, subthreshold and bulk-driven methods; for heavy loads, single-Miller and CFCC techniques; for high speed, FGRMIC and class AB RNMC; and for area reduction, IRNMC with current reuse. This review demonstrates a growing balance between power, speed, and stability in OTA design and offers guidance for applications in biomedical, IoT, and RF fields.

\* Corresponding author's E-mail: [roshanaiemohsen@gmail.com](mailto:roshanaiemohsen@gmail.com)



# مروری بر روش‌های جبران‌سازی فرکانس در تقویت‌کننده عملیاتی چندطبقه برای کاربردهای توان پایین با بهره بالا

محسن روشنایی<sup>۱\*</sup>، اکبر اصغرزاده<sup>۲</sup>

۱. کارشناس ارشد مهندسی برق، دانشکده مهندسی برق، دانشگاه شهید بهشتی، تهران، ایران

۲. استادیار گروه مخابرات دانشکده مهندسی برق دانشگاه دافوس آجا، تهران، ایران

## واژگان کلیدی

بار خازنی گسترده

تقویت‌کننده سه‌طبقه

توان پایین

جبران‌سازی میلی

## چکیده

در این مقاله مروری، روش‌های جبران‌سازی فرکانسی برای تقویت‌کننده‌های سه‌طبقه از سال ۲۰۰۱ تا ۲۰۲۳ بررسی شده است. با تحلیل ۱۶ مقاله کلیدی، پیشرفت‌های این حوزه از تکنیک‌های ساده مانند NMCFNR با تمرکز بر حذف صفر نیم‌صفحه راست تا روش‌های پیشرفته مانند لغو دوگانه pole-zero و فیدبک متقاطع کسکود، مورد ارزیابی قرار گرفته است. اهداف اصلی شامل بهبود پارامترهایی مانند پهنای باند (GBW)، حاشیه فاز (PM)، آهنگ چرخش (SR)، نسبت رد منبع تغذیه (PSRR)، نسبت رد مد مشترک (CMRR)، مصرف توان و قابلیت درایو بارهای خازنی بزرگ است. یافته‌ها نشان می‌دهد که روش‌های اولیه بر سادگی و پایداری تأکید داشتند، در حالی که تکنیک‌های اخیر مانند زیر آستانه و bulk-driven، مصرف توان رابه نانووات کاهش داده و کارایی را در شرایط کم ولتاژ افزایش می‌دهند. در نهایت، پیشنهادهایی برای انتخاب روش بر اساس اولویت‌ها ارائه شده است: برای توان پایین، روش‌های زیر آستانه و bulk-driven؛ برای بارهای سنگین، تکنیک‌های single-Miller و CFCC؛ برای سرعت بالا، FGRMIC و کلاس AB RNMC؛ و برای کاهش مساحت، IRNMC با استفاده مجدد از جریان. این بررسی نشان‌دهنده تعادل رو به رشد بین توان، سرعت و پایداری در طراحی OTAها است و راهنمایی برای کاربردهای IoT، biomedical، RF ارائه می‌دهد.

## ۱- مقدمه

در سال‌های اخیر، با وجود تبدیل گسترده سیستم‌های آنالوگ به دیجیتال، مدارهای آنالوگ همچنان بخش بنیادینی از معماری‌های الکترونیکی به شمار می‌روند و نقش غیرقابل‌انکاری در زیرساخت طراحی سیستم‌های دیجیتال ایفا می‌کنند [۱] تا [۴]. در این میان، تقویت‌کننده‌های عملیاتی به‌عنوان بلوک‌های اصلی و حیاتی در مدارهای آنالوگ و ترکیبی شناخته می‌شوند و در عملکرد صحیح بسیاری از سامانه‌های پیچیده نقش کلیدی

دارند [۵] و [۶]. از دیدگاه طراحی در فناوری VLSI، هدف اصلی توسعه این تقویت‌کننده‌ها، دستیابی به عملکرد بهینه با کمترین سطح اشغال، حداقل مصرف توان، نرخ نشست سریع، نرخ چرخش بالا، پهنای باند بهره واحد و بهره ثابت بالا است [۷]. تقویت‌کننده‌های یک طبقه که به‌طور معمول از نوع تفاضلی هستند، بهره محدودی دارند و برای بهبود آن، غالباً یک طبقه بهره به آن‌ها اضافه می‌شود. در ادامه، طبقه انتقال سطح DC ولتاژ خروجی را به محدوده نزدیک به زمین انتقال می‌دهد و با استفاده از طبقه خروجی نامتقارن این هدف محقق می‌گردد. همچنین، استفاده از مسیر دنبال کننده

توانسته‌اند استخراج روابط مربوط به قطب‌ها و صفرهای سیستم را ساده‌تر کنند و ابزار مناسبی برای تحلیل و طراحی دستی فراهم آورند، هرچند که قضاوت دقیقی در خصوص مزایا و معایب نسبی هر یک از ساختارهای جبران‌سازی ارائه نمی‌دهند.

## ۲- روش‌های جبران‌سازی مورد استفاده جهت بهینه‌سازی عملکرد تقویت‌کننده‌های عملیاتی

در راستای توسعه تقویت‌کننده‌های ترانسلفانی عملیاتی سه‌طبقه، پژوهش‌های متعددی از اوایل دهه ۲۰۰۰ تاکنون صورت گرفته‌اند که تمرکز اصلی آن‌ها بر روی بهبود پایداری، کاهش مصرف توان، افزایش نرخ چرخش و کاهش ابعاد خازن‌های جبران‌سازی بوده است. در ادامه به بررسی این مطالعات پرداخته خواهد شد.

### ۲-۱- روش جبران‌سازی NMC<sup>۱</sup>

این مقاله به‌عنوان یکی از نخستین پژوهش‌های کلیدی در زمینه جبران‌سازی فرکانسی Nested Miller در ساختار کم‌توان، ابتدا شرایط پایداری دقیق‌تری برای ساختار NMC معمولی در شرایطی که هدایت انتقالی طبقه خروجی ( $g_{m3}$ ) به‌طور قابل‌توجهی بزرگ‌تر از  $g_{m1}$  و  $g_{m2}$  نیست، ارائه می‌دهد و سپس ساختار پیشنهادی NMCFNR را معرفی می‌نماید که با افزودن یک مسیر فیدفوروارد و یک مقاومت نولینگ (که بلوک دیگرام آن در شکل ۱ نشان داده شده است)، صفر نیم‌صفحه راست (RHP zero) را حذف نموده و هم‌زمان پهنای باند (GBW) را تا سه برابر، حاشیه فاز را حدود ۸ درجه بیشتر، آهنگ چرخش (slew rate) و زمان نشست را بیش از سه برابر و نسبت رد منبع تغذیه (PSRR) را بیش از ۵۴ دسی‌بل نسبت به ساختار NMC معمولی بهبود می‌بخشد [۳۰]. این بهبودها بدون افزایش مصرف توان و با استفاده از خازن‌های جبران‌سازی تقریباً نصف حاصل می‌شود که منجر به کاهش مساحت مدار تا حدود ۵۰ درصد می‌گردد، پایداری ساختار نسبت به تغییرات پارامترهای فرآیند بالا است زیرا وابستگی به نسبت هدایت انتقالی هر طبقه و خازن‌ها دارد و پیاده‌سازی آن بسیار ساده (تنها یک ترانزیستور فیدفوروارد به همراه یک مقاومت پلی) است، این روش به دلیل سادگی و کارایی بالا همچنان یکی از پر استنادترین تکنیک‌ها در طراحی تقویت‌کننده‌های سه‌طبقه کم‌توان و کم‌ولتاژ به شمار می‌رود و الگویی برای روش‌های بعدی (مانند SMFFC، RNMC، CFCC و غیره) محسوب می‌شود و به‌عنوان یک راه‌حل کم‌هزینه و بسیار مؤثر برای حل

منبع به‌منظور ایجاد جداسازی DC میان ورودی و خروجی، منجر به کاهش اثر بارگذاری می‌شود [۸].

طراحی تقویت‌کننده‌های عملیاتی مستلزم مواجهه با چالش‌های متعدد و انجام مصالحه میان پارامترهای عملکردی متعددی همچون نرخ چرخش، امیدانس ورودی و خروجی، پهنای باند فرکانسی، بهره حلقه باز، ولتاژ آفست، نسبت رد حالت مشترک، نسبت رد منبع تغذیه، حاشیه فاز و زمان نشست است. این نوع تقویت‌کننده‌ها در قالب انواع مختلف مانند ساختارهای یک‌طبقه، دوطبقه، سه‌طبقه، تاشده و کسکود دسته‌بندی می‌شوند. ساختارهای تفاضلی به‌طورمعمول به‌عنوان تقویت‌کننده‌های یک‌طبقه در نظر گرفته می‌شوند، چراکه طبقه اول آن‌ها یک جفت تفاضلی ورودی با خروجی تفاضلی است [۹].

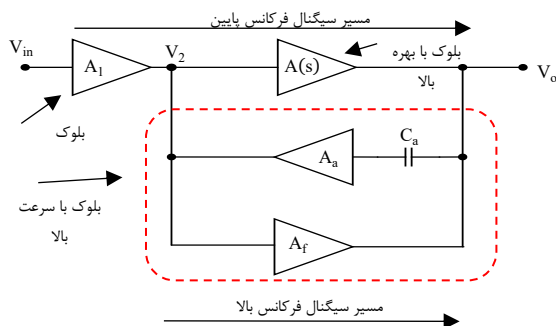
پیشرفت فناوری CMOS و کوچک‌سازی ابعاد ترانزیستورها باعث کاهش توان مصرفی و افزایش سرعت شده است، ولیکن این دستاوردها با کاهش بهره ذاتی ترانزیستورها همراه بوده و کارایی مدارهای آنالوگ را با چالش مواجه کرده‌اند [۱۰]. در این زمینه، ساختار OTA های با بهره بالا نقش مؤثری ایفا می‌کنند. طراحی‌های مبتنی بر کسکود عمودی که به‌صورت سنتی جهت افزایش بهره و پاسخ مرتبه اول مورد استفاده قرار می‌گیرند، با کاهش تدریجی ولتاژ تغذیه در فرایندهای پیشرفته، دچار ناپایداری می‌شوند [۱۱] و [۱۲]. از این رو، برای جبران این کاستی، طراحان به استفاده از ساختارهای چندطبقه روی آورده‌اند. اگرچه طراحی تقویت‌کننده‌های چهارطبقه در برخی منابع با موفقیت گزارش شده است [۱۳] تا [۱۵] و حتی ساختارهای n طبقه نیز موردبررسی قرار گرفته‌اند [۱۲] تا [۱۴] و [۱۶] تا [۱۸]. ولیکن ساختار سه‌طبقه به دلیل ارائه مصالحه مطلوب میان پیچیدگی و کارایی، بیشتر موردتوجه قرار گرفته و موضوع تحقیقات گسترده‌ای بوده است. این نوع تقویت‌کننده‌ها در کاربردهایی مانند حسگرهای خازنی MEMS، تنظیم‌کننده‌های ولتاژ با افت کم، درایورهای LCD و تقویت‌کننده‌های هدفون مورد استفاده قرار می‌گیرند [۱۱] و [۱۹] تا [۲۲].

در برخی کاربردها، نیاز به پشتیبانی از بارهای خازنی با ظرفیت بسیار متنوع و حتی بارهای با ظرفیت بسیار بالا وجود دارد که طراحی OTA را با چالش مواجه می‌کند [۱۱] تا [۲۴]. در این میان، جبران‌سازی فرکانسی برای چنین ساختار سه‌قطبی‌ای یکی از پیچیده‌ترین بخش‌های طراحی محسوب می‌شود. مطالعات متعددی در راستای مدل‌سازی ریاضی شهودی برای تابع انتقال تقویت‌کننده‌های سه‌طبقه انجام شده است، ولیکن با افزایش پیچیدگی روش‌های جبران‌سازی پیشرفته، تحلیل دقیق و شهودی عملکرد تقویت‌کننده دشوارتر شده است [۲۵] تا [۲۹]. با این حال، برخی از این آثار

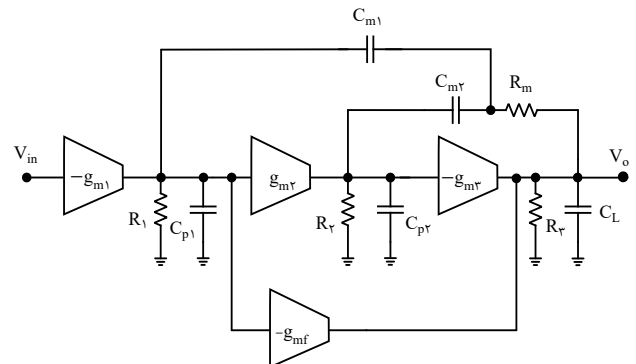
<sup>۱</sup> Nested Miller Compensation

## ۲-۲- روش جبران‌سازی AFFC<sup>۲</sup>

این مقاله به‌عنوان یکی از نخستین پژوهش‌های کلیدی در زمینه جبران‌سازی فرکانسی فعال برای تقویت‌کننده‌های چندطبقه کم‌توان، تکنیک AFFC را معرفی می‌نماید که با استفاده از یک شبکه فیدبک فعال-خازنی مطابق شکل ۲، سیگنال‌های فرکانس بالا را از طبقات بهره بالا اما کند عبور می‌دهد و هم‌زمان اندازه خازن جبران‌سازی را کاهش می‌دهد، منجر به افزایش پهنای باند تا ۱۱ برابر (۴/۵ MHz)، حاشیه فاز تا ۶۵ درجه، آهنگ چرخش متوسط تا ۱/۵ V/Sec و کاهش مساحت مدار تا ۲/۳ برابر در مقایسه با NMC می‌شود [۳۱]؛ این بهبودها بدون افزایش قابل توجه مصرف توان (۴۰۰ μW در ۲ V) حاصل می‌گردد، پایداری ساختار نسبت به تغییرات بار بالا است زیرا وابستگی به نسبت هدایت انتقالی‌ها و خازن‌ها دارد و ایجاد صفر نیم‌صفحه چپ اضافی حاشیه فاز را بهبود می‌بخشد، این روش به دلیل جداسازی مسیرهای فرکانس پایین و بالا و کاهش وابستگی به هدایت انتقالی خروجی بزرگ، مناسب طراحی کم‌توان است و الگویی برای تکنیک‌های بعدی (مانند روش‌های مبتنی بر فیدبک فعال) محسوب می‌شود و به‌عنوان یک راه‌حل کارآمد برای دستیابی به بهره بالا و پهنای باند وسیع هم‌زمان شناخته می‌شود؛ باین‌حال، نیاز به طبقه دوم غیرمعکوس‌کننده که مصرف توان بیشتری دارد (هرچند با هدایت انتقالی کوچک مدیریت می‌شود)، حساسیت به تنظیم دقیق نسبت هدایت انتقالی‌ها برای دستیابی به شرایط بهینه (هرچند صفر نیم‌صفحه چپ جبران می‌کند)، تحلیل عمده‌تاً محدود به تقویت‌کننده‌های سه‌طبقه است و تعمیم به تعداد طبقات بیشتر نیازمند تحقیقات اضافی می‌باشد و در مقایسه با روش‌های نوین‌تر (مانند تکنیک‌های مبتنی بر کنترل ضریب میرایی پیشرفته که بعدها معرفی شدند)



مسئله صفر RHP در NMC شناخته می‌شود؛ باین‌حال، حذف کامل صفر RHP نیازمند تنظیم دقیق مقدار  $R_m = \frac{1}{g_{m1r} + g_{m2r}}$  است و تغییرات فرآیند ممکن است منجر به حذف ناقص آن گردد (هرچند نویسندگان نشان داده‌اند که حتی در این حالت نیز صفر به فرکانس بسیار بالایی منتقل می‌شود و تأثیری بر پایداری ندارد)، عملکرد در بارهای بسیار سبک ( $C_L$ ) بسیار کوچک) به‌طور خاص موردبررسی قرار نگرفته است، تحلیل عمده‌تاً محدود به تقویت‌کننده‌های سه‌طبقه است و تعمیم آن به تعداد طبقات بیشتر نیازمند تحقیقات اضافی می‌باشد و در مقایسه با روش‌های نوین‌تر همچنان به خازن‌های جبران‌سازی نسبتاً بزرگ‌تری نیاز دارد.

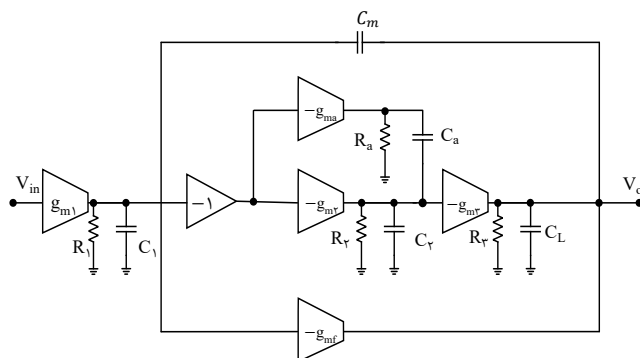


شکل (۱): بلوک دیاگرام تقویت‌کننده پیشنهادی [۳۰].

تابع تبدیل ساختار معمولی دارای یک صفر RHP و یک صفر نیم‌صفحه چپ است و در شرایطی که  $g_{m1r}$  به‌طور قابل توجهی بزرگ‌تر از  $g_{m2r}$  و  $g_{m2r}$  نیست، صفر RHP به فرکانس پایین‌تری منتقل شده و منجر به کاهش شدید حاشیه فاز می‌گردد؛ در مقابل، تابع تبدیل پیشنهادی NMCFNR (که در رابطه ۱ نشان داده شده است) در شرایط  $g_{m1r} > g_{m2r}$  و  $R_m = \frac{1}{g_{m1r} + g_{m2r}}$  تنها یک صفر LHP را حفظ نموده و صفر RHP را کاملاً حذف می‌کند، قطب‌های غالب شامل یک قطب غالب در فرکانس پایین به همراه یک جفت قطب مختلط با ضریب میرایی  $\frac{1}{\sqrt{2}}$  است، GBW جدید  $\approx \frac{(g_{m1r} + g_{m2r} - g_{m2r})}{4C_L}$  که تقریباً دو تا سه برابر بزرگ‌تر از NMC معمولی است و صفر LHP باقی‌مانده حتی یک افزایش اضافی در حاشیه فاز ایجاد می‌نماید.

$$A_v(s) = \frac{g_{m1} g_{m2r} g_{m3r} R_{o1} R_{o2} R_{o3} \left( 1 - s \frac{C_{m1r}}{g_{m1r}} - s^2 \frac{C_{m1} C_{m2r}}{g_{m1r} g_{m2r}} \right)}{\left( 1 + s C_{m1} g_{m1r} g_{m2r} R_{o1} R_{o2} R_{o3} \right) \left[ 1 + s \frac{(g_{m2r} - g_{m2r}) C_{m2r}}{g_{m1r} g_{m2r}} + s^2 \frac{C_L C_{m2r}}{g_{m1r} g_{m2r}} \right]} \quad (1)$$

<sup>۲</sup> Active Feedback Frequency Compensation



شکل (۳): بلوک‌دیگرام ساختار پیشنهادی [۳۲].

تابع تبدیل طرح ACBC مطابق رابطه ۳ شامل یک صفر نیم‌صفحه چپ مؤثر است که پایداری را تقویت می‌کند و فاقد صفر نیم‌صفحه راست است، قطب‌های اصلی عبارتند از یک قطب غالب در فرکانس پایین همراه با قطب‌های غیر غالب که با افزایش  $g_{ma}$  به فرکانس‌های بالاتر منتقل می‌شوند، پهنای بلند جدید  $\approx \frac{g_{m1}g_{m2}C_m}{C_L}$  که با ضریب تقویت  $\left(\frac{g_{ma}}{g_{m2}}\right)$  تا چندین برابر بیش از NMC معمولی است و صفر نیم‌صفحه چپ اضافی حتی به افزایش حاشیه فاز کمک می‌نماید.

$$A_v(s) = \frac{A_{dc} \left( 1 + \frac{s}{\omega_\phi} + \frac{s^2}{\omega_\phi \omega_\Delta} + \frac{s^3}{\omega_\phi \omega_\Delta \omega_\phi} \right)}{\left( 1 + \frac{s}{p_{-3dB}} \right) \left( 1 + \frac{s}{\omega_1} + \frac{s^2}{\omega_1 \omega_2} + \frac{s^3}{\omega_1 \omega_2 \omega_3} \right)} \quad (3)$$

$$\omega_1 = \frac{1}{\left( A_{rh} + \frac{g_{mf}}{g_{m2}} \right) C_a} \quad (4)$$

$$\omega_2 = \left( A_{rh} + \frac{g_{mf}}{g_{m2}} \right) \frac{g_{m2}}{C_L} \quad (5)$$

$$\omega_3 = \frac{1}{R_a C_r} \quad (6)$$

$$\omega_\phi = \frac{1}{\left( A_{rh} + \frac{g_{mf}}{g_{m2}} \right) C_a} \frac{g_{m2}}{C_a} \quad (7)$$

$$\omega_\Delta = - \left( A_{rh} + \frac{g_{mf}}{g_{m2}} \right) \frac{g_{m2}}{C_m} \quad (8)$$

$$\omega_\phi = \frac{1}{R_a C_r} \quad (9)$$

$$A_{rh} = (g_{m2} + g_{ma}) R_a \quad (10)$$

همچنان ممکن است در بارهای بسیار بزرگ به خازن‌های جبران‌سازی نسبتاً بزرگ‌تری نیاز داشته باشد.

شکل (۲): نمای شماتیک تقویت‌کننده ارائه شده [۳۱].

تابع تبدیل ساختار AFFC که در رابطه ۲ نشان داده شده است، دارای یک صفر نیم‌صفحه چپ است که حاشیه فاز را افزایش می‌دهد و هیچ صفر نیم‌صفحه راست ندارد، قطب‌های غالب شامل یک قطب غالب در فرکانس پایین به همراه یک جفت قطب مختلط غیر غالب با ضریب کنترل شده توسط بلوک با سرعت بالا است، پهنای باند جدید  $\approx \frac{g_{m1}}{4C_a}$  که با افزایش نسبت  $\frac{g_{ma}}{g_{m2}}$  تا چندین برابر بزرگ‌تر از NMC معمولی است و صفر نیم‌صفحه چپ باقی‌مانده حتی یک افزایش اضافی در حاشیه فاز ایجاد می‌نماید.

$$A_{v(AFFC)} = \frac{A_{dc} \left( 1 + s \frac{C_a}{g_{ma}} \right)}{\left( 1 + \frac{s}{p_{-3dB}} \right) \left( 1 + s \frac{C_1 C_L}{C_a (g_{mf} - g_{m2})} + s^2 \frac{C_1 C_L}{g_{ma} (g_{mf} - g_{m2})} \right)} \quad (2)$$

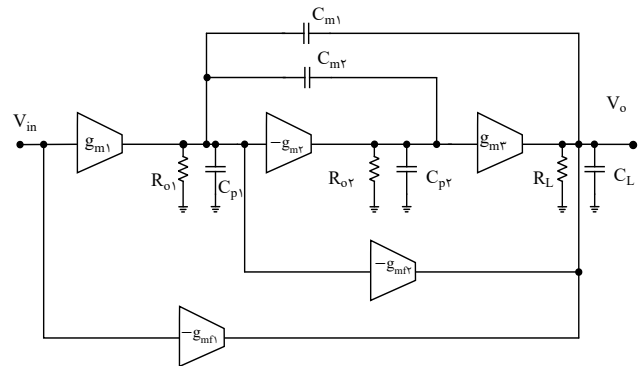
## ۲-۳- روش جبران‌سازی ACBC<sup>۲</sup>

این پژوهش به عنوان یکی از ابتکارات برجسته در حوزه جبران‌سازی فرکانسی برای تقویت‌کننده‌های چند طبقه کم‌مصرف، طرح ACBC را مطابق شکل ۳ پیشنهاد می‌دهد که با گنجانیدن یک مسیر تقویت AC موازی با طبقه میانی، کاهش بهره در فرکانس‌های بالا را جبران نموده و پهنای باند را تا ۱۷ برابر (۱/۹ MHz)، نرخ شیب را به طور قابل ملاحظه‌ای افزایش داده و مصرف توان را در سطح پایین (۰/۳ mW در ۲ V) حفظ می‌کند [۳۲]؛ این پیشرفت‌ها با بار خازنی ۵۰۰ pF حاصل می‌شود، ساختار نسبت به تغییرات بار مقاوم است زیرا بر پایه نسبت هدایت انتقالی‌ها و خازن‌ها بنا شده و افزودن مسیر فیدفوروارد اختیاری عملکرد گذرا را بهبود می‌بخشد، این رویکرد به سبب کارایی بالا و سادگی نسبی، پایه‌ای برای طرح‌های بعدی (همچون روش‌های تقویت AC پیشرفته) فراهم آورده و به عنوان یک استراتژی مؤثر برای غلبه بر محدودیت‌های بهره فرکانسی در طراحی کم‌مصرف شناخته می‌شود؛ با وجود این، افزودن مسیر AC ممکن است پیچیدگی طبق میانی را افزایش دهد و حساسیت به خازن‌های پارازیتیک را بیشتر کند (هرچند تحلیل نشان می‌دهد پایداری حتی در این شرایط حفظ می‌شود)، بررسی عملکرد در بارهای بسیار سنگین ( $C_L$  بیش از ۵۰۰ pF) به طور ویژه انجام نشده است، تمرکز تحلیل بر تقویت‌کننده‌های سه طبقه است و گسترش به مراحل بیشتر مستلزم مطالعات تکمیلی می‌باشد و نسبت به تکنیک‌های پیشرفته‌تر ممکن است به خازن‌های جبرانی حجیم‌تری وابسته باشد.

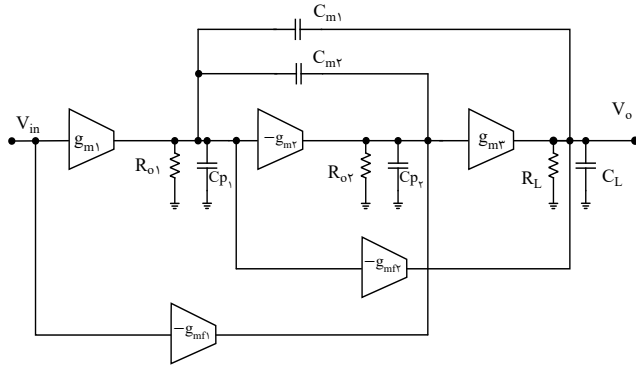
<sup>۲</sup> AC Boosting Compensation

## ۲-۴- روش جبران‌سازی CFRNMC و NFRNMC

این مطالعه به عنوان یکی از نوآوری‌های پیشرو در عرصه جبران‌سازی فرکانسی معکوس برای تقویت‌کننده‌های سه طبقه کم‌ولتاژ، دو تکنیک CFRNMC و NFRNMC را عرضه می‌دارد که با بهره‌گیری از مسیرهای فیدفورارد دوگانه مطابق شکل‌های ۴ و ۵، صفر نیم‌صفحه راست را حذف کرده و CFRNMC با ایجاد صفر نیم‌صفحه چپ اضافی، حاشیه فاز را بیش از ۱۵ درجه (برای NFRNMC) و ۲۰ درجه (برای CFRNMC) نسبت به RNMC سنتی ارتقا می‌دهد؛ این دستاوردها با محصول پهنای باند-بهره یکسان و مصرف توان کمتر از ۰/۴ mW در منبع ۱± ولت محقق می‌شود، ساختارها نسبت به تغییرات فرآیند مقاوم هستند زیرا بر پایه نسبت هدایت انتقالی استوارند و CFRNMC پایداری بیشتری در شرایط کم‌توان فراهم می‌آورد، این راهکارها به دلیل معماری ساده و صرفه‌جویی در فضای سیلیکون، مبنایی برای توسعه تکنیک‌های بعدی (از جمله روش‌های فیدفورارد پیشرفته) شده و به عنوان رویکردی کارآمد برای حل چالش‌های پایداری در محیط‌های کم‌ولتاژ تلقی می‌شوند [۳۳]؛ با این وجود، حذف صفر نیم‌صفحه راست مستلزم تنظیم دقیق  $g_{m1} = g_{m2} - g_{m3}$  و  $g_{m1} = g_{m2} - g_{m3}$  است و تغییرات پارازیتیک ممکن است کارایی را تحت تأثیر قرار دهد (هرچند شبیه‌سازی‌ها پایداری را حتی در این وضعیت تأیید می‌کنند)، ارزیابی در بارهای بسیار سنگین به طور خاص صورت نپذیرفته است، تمرکز بر تقویت‌کننده‌های سه طبقه است و بسط به طبقات بالاتر نیازمند بررسی‌های بیشتر می‌باشد و در قیاس با تکنیک‌های معاصر ممکن است به تنظیمات پیچیده‌تری وابسته باشد.



شکل (۴): طرح کلی تقویت‌کننده NFRNMC [۳۳].



شکل (۵): طرح کلی تقویت‌کننده CFRNMC [۳۳].

تابع تبدیل تکنیک‌های FRNMC (که در رابطه ۱۱ نشان داده شده است) فاقد صفر نیم‌صفحه راست است و CFRNMC (که در رابطه ۱۲ نشان داده شده است) با ایجاد صفر نیم‌صفحه چپ اضافی پایداری را تقویت می‌نماید، قطب‌های کلیدی شامل قطب غالب در فرکانس پایین همراه با قطب‌های غیرغالب که با مسیرهای فیدفورارد به فرکانس‌های بالاتر جابه‌جا می‌شوند، پهنای باند جدید  $\approx \frac{g_{m1}}{C_{m1}}$  که با عامل فیدفورارد تا دو برابر بیش از RNMC سنتی است و صفر نیم‌صفحه چپ اضافی حتی به بهبود حاشیه فاز کمک می‌کند.

$$A_{NFRNMC}(s) = \frac{A_v \cdot \left(1 + \frac{s}{p_{-rdb}}\right)}{\left(1 + s \frac{C_{m1}}{g_{m1}} + s^2 \frac{C_{m1} C_{m2} C_L}{g_{m1} g_{m2} g_{m3}} + s^2 \frac{C_{m2} C_L}{g_{m2} g_{m3}}\right)} \quad (11)$$

$$A_{CFRNMC}(s) = \frac{A_v \cdot \left(1 + s \frac{C_{m1}}{g_{m1}}\right)}{\left(1 + \frac{s}{p_{-rdb}}\right) \left(1 + s \frac{C_{m2}(C_{m1} + C_L)}{C_{m1} g_{m2}} + s^2 \frac{C_{m2} C_L}{g_{m2} g_{m3}}\right)} \quad (12)$$

## ۲-۵- روش جبران‌سازی RAFFC

این تحقیق به عنوان یکی از پیشرفت‌های مهم در حوزه جبران‌سازی فرکانسی معکوس برای تقویت‌کننده‌های سه طبقه، روش RAFFC را ارائه می‌دهد که با بهره‌برداری از اصل RNMC پایه [۳۴] (که بلوک دیاگرام آن در شکل ۶ نمایش داده شده است)، بدون افزودن ترانزیستور اضافی و تنها با اجزای پس‌ویو، عملکرد کوچک‌سیگنال و بزرگ‌سیگنال را ارتقا می‌بخشد و

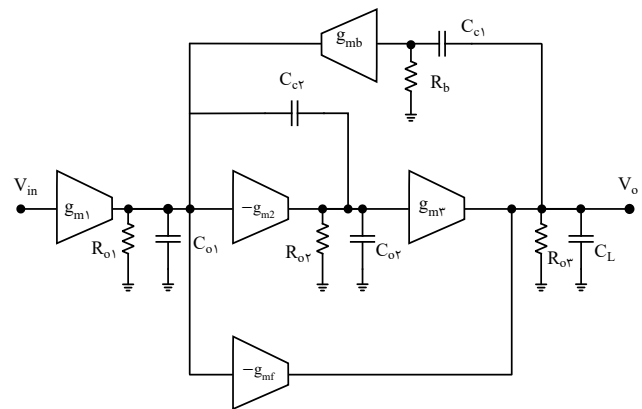
پایین فرکانس همراه با قطب های غیر غالب که با مقاومت نولینگ یا فیدبک فعال به فرکانس های بالاتر منتقل می شوند، پهنای بلند جدید  $\approx \frac{g_m}{C_{c1}}$  که با عامل معکوس تا چندین برابر بیش از RNMC پایه است و صفر نیم صفحه چپ اضافی حتی به تقویت پایداری کمک می نماید.

$$A_v(s) = A \cdot \frac{1+s \left[ C_{c1} R_b + \left( \frac{g_{mf}}{g_{m2} g_{m3}} - \frac{1}{g_{m2}} \right) C_{c2} \right] + s^2 \frac{g_{mf} - g_{m2}}{g_{m2} g_{m3}} R_b C_{c1} C_{c2}}{\left( 1 + \frac{s}{\omega_{p1}} \right) \left[ 1 + s \frac{(g_{m2} + g_{mf} - g_{m3}) C_{c1} + g_{m2} C_L}{g_{m2} g_{m3} C_{c1}} C_{c2} + s^2 \frac{C_{c2} C_L}{g_{m2} g_{m3}} \right]} \quad (13)$$

## ۲-۶- استفاده از کلاس AB در تقویت کننده

این بررسی به عنوان یکی از دستاوردهای برجسته در زمینه روش شناسی طراحی برای OTA های سه طبقه CMOS، روش طراحی ساده و مبتنی بر معادلات بسته را برای ساختار NMC پیشنهاد می کند که با تعیین ابعاد ترانزیستورها و جریان های بایاس (که بلوک دیاگرام آن در شکل ۷ به تصویر کشیده شده است)، عملکرد Class-A را بهینه سازی کرده و سپس با تبدیل آسان خروجی به Class-AB، swing ولتاژ، آهنگ چرخش و قابلیت جریان دهی را ارتقا می بخشد [۳۶]؛ این فرآیندها بدون محدودیت های اضافی مدار و با دقت بالا عمل می کنند و مناسب طراحی دستی هستند، ساختارها نسبت به تغییرات فناوری مقاوم اند زیرا بر روابط تحلیلی مستقیم تکیه دارند و نسخه Class-AB کارایی توان را در کاربردهای کم ولتاژ بهبود می بخشد، این راهبردها به سبب سادگی و تطبیق پذیری، بنیانی برای روش های طراحی آینده فراهم آورده و به عنوان روشی کارآمد برای دستیابی به بهره بالا و swing وسیع در شرایط ولتاژ پایین شناخته می شوند؛ در قیاس با مقالات پیشین مانند NMCFNR (۲۰۰۱) که بر حذف صفر RHP با فیدفوردارد و مقاومت تمرکز داشت اما روش طراحی جامعی ارائه نمی داد، این کار رویه های طراحی کامل تری عرضه می کند، نسبت به AFFC (۲۰۰۳) و ACBC (۲۰۰۴) که از شبکه های فعال برای افزایش پهنای باند استفاده می کردند اما پیچیدگی بیشتری داشتند، اینجا تأکید بر سادگی و تبدیل Class-AB کارایی را بدون عناصر اضافی افزایش می دهد، همچنین در برابر بارهای سنگین تکیه داشتند و حساسیت بیشتری به تنظیمات نشان می دادند، این روش برای OTA های سه طبقه با NMC سنتی مقاوم تر و آسان تر در پیاده سازی است؛ با این وجود، نسخه Class-A ممکن است در آهنگ چرخش محدود تر باشد و تغییرات پارازیتیک عملکرد را تحت تأثیر قرار دهد (هرچند اندازه گیری ها دقت را حتی در این شرایط تأیید می کنند)، ارزیابی در بارهای بسیار سنگین به طور خاص انجام نشده است، تمرکز بر OTA های سه طبقه است و گسترش به ساختارهای پیچیده تر نیازمند بررسی های بیشتر می باشد و نسبت به تکنیک های پیشرفته تر (مانند

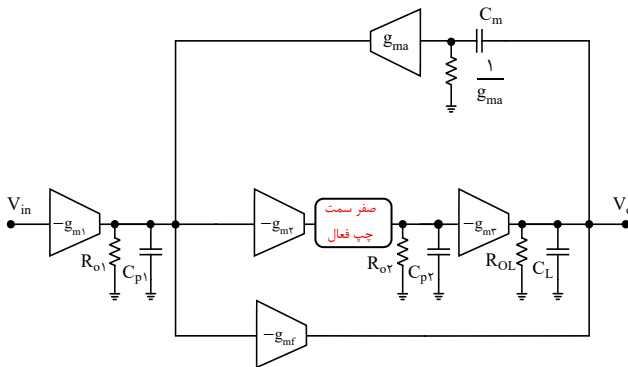
حاشیه فاز را به عنوان پارامتر طراحی اصلی در نظر می گیرد، منجر به بهبود پهنای باند و نرخ شیب در بارهای سنگین (صدها پیکوفارد) می شود [۳۵]؛ این راهکارها مصرف توان را پایین نگه می دارند و پیچیدگی مدار را کاهش می دهند، ساختارها نسبت به تغییرات فرآیند پایدار هستند زیرا بر اساس روابط تحلیلی دقیق استوارند و RAFFC با فیدبک فعال پایداری بیشتری در شرایط کم ولتاژ فراهم می آورد، این رویکردها به دلیل تمرکز بر بارهای سنگین و سادگی پیاده سازی، پایه ای برای طرح های آتی ایجاد کرده و به عنوان روش هایی برتر برای کاربردهای باتری محور شناخته می شوند؛ در مقایسه با مقالات پیشین مانند NMCFNR (۲۰۰۱) که بر ترکیب فیدفوردارد و مقاومت نولینگ تکیه داشت اما برای بارهای سنگین کمتر بهینه بود، این تکنیک ها پایداری بالاتری بدون عناصر اضافی ارائه می دهند، نسبت به AFFC (۲۰۰۳) و ACBC (۲۰۰۴) که از شبکه های فعال برای تقویت بهره استفاده می کردند اما مصرف توان بیشتری داشتند، اینجا تمرکز بر اجزای پسینو کارایی توان را افزایش می دهد، همچنین در قیاس با NFRNMC و CFRNMC (۲۰۰۵) که بر مسیرهای فیدفوردارد معکوس تأکید داشتند و حساسیت بیشتری به تنظیمات نشان می دادند، این روش ها برای بارهای خازنی بزرگ مقاوم تر و ساده تر هستند؛ با این وجود، RNMCNR حساسیت به مقدار دقیق مقاومت نولینگ دارد و تغییرات فرآیند ممکن است صفرها را تحت تأثیر قرار دهد (هرچند اندازه گیری ها پایداری را حتی در این حالت تأیید می کنند)، ارزیابی در بارهای بسیار سبک به طور ویژه انجام نشده است، تمرکز بر تقویت کننده های سه طبقه است و گسترش به طبقات بیشتر مستلزم تحلیل های اضافی می باشد و نسبت به تکنیک های پیشرفته تر ممکن است به تنظیمات دستی بیشتری نیاز داشته باشد.



شکل (۶): ساختار بلوکی معماری پیشنهادی [۳۵].

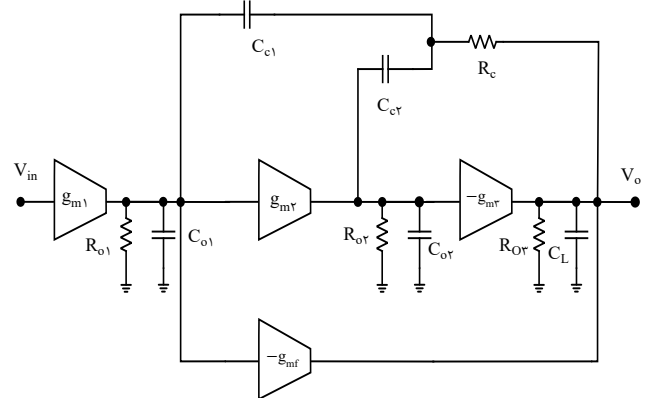
تابع تبدیل ساختار RAFFC مطابق رابطه ۱۳، فاقد صفر نیم صفحه راست مشکل ساز است و RAFFC با ایجاد صفر نیم صفحه چپ اضافی حاشیه فاز را بهبود می بخشد، قطب های اساسی شامل قطب غالب

CFCC بهترین نسبت بار خازنی به خازن جبران‌سازی را ارائه می‌دهد، این استراتژی به دلیل صرفه‌جویی در مساحت و کارایی بالا در بارهای سنگین، الگویی برای طرح‌های آینده (همچون تکنیک‌های جبران کسکود پیشرفته) فراهم آورده و به عنوان یک راهکار برتر برای کاربردهای نانومقیاس کم‌توان شناخته می‌شود؛ در مقایسه با مقالات پیشین مانند NMCFNR (۲۰۰۱) که بر حذف صفر RHP با فیدفوروارد و مقاومت تأکید داشت اما مساحت بیشتری برای بارهای بزرگ نیاز داشت، این تکنیک صرفه‌جویی مساحتی بیشتری بدون عناصر اضافی عرضه می‌کند، نسبت به AFFC (۲۰۰۳) و ACBC (۲۰۰۴) که از شبکه‌های فعال برای پهنای باند استفاده می‌کردند اما توان بالاتری مصرف داشتند، اینجا تمرکز بر جبران‌سازی کسکود توان را برای بارهای سنگین کاهش می‌دهد، همچنین در برابر FRNMC (۲۰۰۵) و RAFFC (۲۰۰۷) که بر مسیرهای معکوس برای پایداری تکیه داشتند و حساسیت بیشتری به بارهای مقاومتی نشان می‌دادند، این روش برای بارهای خازنی بزرگ در نانومتر مقاوم‌تر و بهینه‌تر است و در قیاس با NMC طراحی (۲۰۰۷) که رویه‌های Class-AB ارائه داد اما برای بارهای سنگین کمتر مناسب بود، این کار FOM بالاتری در فناوری پیشرفته فراهم می‌آورد؛ با این وجود، CFCC برای جریان‌های سنگین یا بارهای مقاومتی مناسب نیست و تغییرات فرآیند ممکن است مکان قطب‌ها را تحت تأثیر قرار دهد (هرچند شبیه‌سازی‌ها پایداری را حتی در این وضعیت تأیید می‌کنند)، بررسی در بارهای بسیار سبک به طور خاص صورت پذیرفته است، تمرکز بر تقویت‌کننده‌های سه طبقه است و بسط به ساختارهای بیشتر نیازمند مطالعات تکمیلی می‌باشد و نسبت به روش‌های جدیدتر ممکن است به تنظیمات دقیق‌تری وابسته باشد.



شکل (۸): نمای کلی از سیستم طراحی شده [۳۷].

روش‌های مبتنی بر بهینه‌سازی هوشمند که پس از آن پدید آمدند) ممکن است به تنظیمات دستی وابسته‌تر باشد.



شکل (۷): دیاگرام مفهومی تقویت‌کننده سه طبقه معرفی شده [۳۶].

تابع تبدیل رویه‌های NMC (که در رابطه ۱۴ نشان داده شده است) شامل حذف صفر نیم‌صفحه راست با مقاومت نولینگ است و Class-AB با مسیر فیدفوروارد اضافی حاشیه فاز را تقویت می‌کند، قطب‌های اصلی عبارتند از قطب غالب پایین‌فرکانس به همراه قطب‌های غیرغالب که با جبران میلر به فرکانس‌های بالاتر جابه‌جا می‌شوند، پهنای باند جدید  $\approx \frac{g_{m1}}{C_{C1}}$  که با تبدیل Class-AB تا چندین برابر بیش از ساختار Class-A پایه است و مسیر فیدفوروارد اضافی حتی به بهبود پایداری کمک می‌نماید.

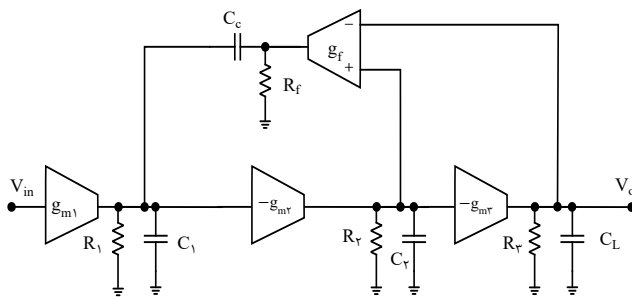
$$A_v(s) = A \cdot \frac{1 + s \left[ (C_{C1} + C_{C2}) R_C + \frac{g_{mf} - g_{mr}}{g_{mr} g_{mr}} C_{C2} \right] + s^2 \frac{(g_{mf} + g_{mr}) R_C - 1}{g_{mr} g_{mr}} C_{C1} C_{C2}}{\left( 1 + \frac{s}{\omega_{p1}} \right) \left[ 1 + s \frac{(g_{mr} + g_{mf} - g_{mr})}{g_{mr} g_{mr}} C_{C2} + s^2 \frac{1 - R_C g_{mr}}{g_{mr} g_{mr}} C_{C2} C_{L1} \right]} \quad (14)$$

## ۷-۲- روش جبران‌سازی CFCC<sup>۴</sup>

این پژوهش به عنوان یکی از پیشرفت‌های کلیدی در عرصه جبران‌سازی فرکانسی برای تقویت‌کننده‌های سه طبقه کم‌مصرف، روش CFCC را معرفی می‌نماید که با استفاده از مسیرهای فیدفوروارد متقاطع و جبران‌سازی کسکود مطابق شکل ۸، قطب‌های غیرغالب پیچیده را به فرکانس‌های بالاتر منتقل کرده و پهنای باند را گسترش می‌دهد، منجر به پایداری با خازن کسکود کوچک ۱۵ pF برای بار ۵۰۰ pF، پهنای باند ۲ MHz و مصرف توان تنها ۲۰/۴ μW در منبع ۱/۲ V می‌شود؛ این رویکرد دو صفر نیم‌صفحه چپ ایجاد می‌کند تا حاشیه فاز را بهبود بخشد و معیارهای پایداری را تسهیل نماید، ساختارها نسبت به فناوری نانومتر مقاوم هستند زیرا بر پایه روابط کوچک‌سیگنال و بزرگ‌سیگنال دقیق بنا شده‌اند و

<sup>۴</sup> Cross Feedforward Cascode Compensation

$C_c$  بیشتری بدون عناصر اضافی ارائه می‌دهد، نسبت به AFCC (۲۰۰۳) و ACBC (۲۰۰۴) که از شبکه‌های فعال برای GBW استفاده می‌کردند اما توان بالاتری مصرف داشتند، اینجا تأکید بر دیفرانسیل تک توان را برای بارهای متوسط بهینه می‌کند، همچنین در برابر FRNMC (۲۰۰۵) و RAFFC (۲۰۰۷) که بر مسیرهای معکوس برای پایداری تمرکز داشتند و حساسیت بیشتری به تنظیمات نشان می‌دادند، این روش با  $C_c$  کوچکتر برای on-chip مقاوم‌تر است و در مقایسه با CFCC (۲۰۱۲) که کسکود برای بارهای سنگین نانومتر داشت، این کار ساده‌تر و با GBW بالاتر در فناوری  $0.18 \mu m$  عمل می‌نماید؛ با این وجود، افزودن طبقه دیفرانسیل ممکن است مصرف توان را اندکی افزایش دهد و حساسیت به تغییرات  $g_f$  عملکرد را تحت تأثیر قرار دهد (هرچند تحلیل نشان می‌دهد پایداری حتی در این حالت حفظ می‌شود)، بررسی در بارهای بسیار سنگین به طور ویژه انجام نشده است، تمرکز بر OTAهای سه طبقه است و تعمیم به ساختارهای بیشتر مستلزم تحقیقات اضافی می‌باشد و نسبت به تکنیک‌های نوین (مانند روش‌های مبتنی بر لغو هوشمند که پس از آن توسعه یافتند) ممکن است به تنظیمات دستی وابسته‌تر باشد.



شکل (۹): طرح ساختاری تقویت کننده پیشنهادی [۳۸].

تابع تبدیل تکنیک DFP (که در رابطه ۲۰ نشان داده شده است) فاقد صفر نیم‌صفحه راست ناخواسته است و با صفر نیم‌صفحه چپ اضافی PM را ارتقا می‌دهد، قطب‌های اساسی شامل قطب غالب پایین فرکانس به همراه قطب‌های غیرغالب که با فیدبک دیفرانسیل به فرکانس‌های بالاتر منتقل می‌شوند، پهنای باند جدید  $\approx \frac{g_{m1}}{C_c g_f R_f}$  که با عامل دیفرانسیل تا ۴۰ برابر بیش از NMC پایه است و صفر نیم‌صفحه چپ اضافی حتی به لغو قطب دوم کمک می‌نماید.

$$A_v(s) = A_{dc} \frac{b_1 s + 1}{a_1 s^2 + a_1 s + 1} \quad (20)$$

$$b_1 = C_c R_f \quad (21)$$

$$a_1 = C_c g_{m2} g_{m1} g_f R_f R_1 R_2 R_3 R_4 \quad (22)$$

تابع تبدیل تکنیک CFCC در رابطه ۱۵ نشان داده شده است، فاقد صفر نیم‌صفحه راست مزاحم بوده و با دو صفر نیم‌صفحه چپ حاشیه فاز را تقویت می‌نماید، قطب‌های کلیدی شامل قطب غالب در فرکانس پایین به همراه قطب‌های غیرغالب پیچیده که با فیدفوروارد متقاطع به فرکانس‌های بالاتر منتقل می‌شوند، پهنای باند جدید  $\approx \frac{g_{m1}}{C_c}$  که با عامل کسکود تا چندین برابر بیش از NMC سنتی است و صفرهای نیم‌صفحه چپ اضافی حتی به تسهیل پایداری کمک می‌کنند.

$$A_v(s) \approx \frac{A_{DC} \left( 1 + \frac{s}{A_f P_1} + \frac{s^2}{A_f P_1 P_2} \right) \left( 1 + \frac{s}{P_r} \right)}{\left( 1 + \frac{s}{\omega_{pd}} \right) \left( 1 + \frac{s}{\omega_\mu} + \frac{s^2}{\omega_\mu P_1} + \frac{s^3}{\omega_\mu P_1 P_2} + \frac{s^4}{\omega_\mu P_1 P_2 P_3} \right)} \quad (15)$$

$$P_1 = \frac{G_{mb1}}{C_z} \quad (16)$$

$$P_r = \frac{1}{R_z C_{pb}} \quad (17)$$

$$P_r = \frac{G_{ma}}{C_m} \quad (18)$$

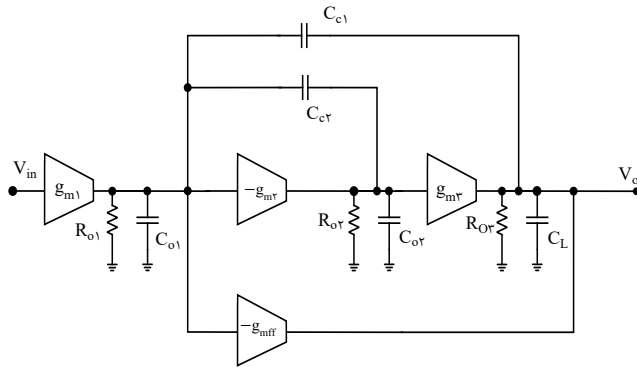
$$\omega_\mu = \frac{G_{M2} R_z C_m C_z G_{mL}}{C_{p1} C_{p2} C_L} \quad (19)$$

## ۲-۸- روش جبران سازی DFP<sup>۵</sup>

این مطالعه به عنوان یکی از ابتکارات قابل توجه در زمینه جبران سازی فرکانسی برای OTAهای سه طبقه، روش DFP را پیشنهاد می‌دهد که با ادغام یک طبقه دیفرانسیل در مسیر فیدبک مطابق شکل ۹، اثر میلر را تقویت کرده و صفر RHP را حذف می‌نماید، منجر به افزایش GBW تا ۴۰ برابر (۹ MHz) و PM تا ۸۳ درجه با خازن جبران سازی کمتر از ۰/۲ پیکوفاراد ( $C_c < 0.2 \text{ pF}$  برای  $C_L = 100 \text{ pF}$ ) می‌شود؛ این پیشرفت‌ها مصرف توان را کنترل شده نگه می‌دارند و مساحت مدار را به طور چشمگیری کاهش می‌دهند [۳۸]. ساختارها نسبت به تغییرات فناوری پایدار هستند زیرا بر پایه روابط کوچک سیگنال و بزرگ سیگنال دقیق استوارند و DFP با لغو قطب-صفر LHP پایداری را در بارهای متوسط بهبود می‌بخشد، این استراتژی به دلیل تمرکز بر جبران سازی on-chip و سادگی مدار، مبنایی برای رویکردهای پیشرفته‌تر ایجاد کرده و به عنوان یک روش کارآمد برای غلبه بر محدودیت‌های خازنی در فناوری‌های زیرمیکرون تلقی می‌شود؛ در قیاس با مقالات پیشین مانند NMCFNR (۲۰۰۱) که بر مقاومت نولینگ و فیدفوروارد تکیه داشت اما خازن بزرگ‌تری نیاز داشت، این تکنیک کاهش

<sup>۵</sup> Differential Feedback Path

energy-harvesting که پس از آن پدید آمدند) ممکن است به تنظیمات دستی وابسته تر باشد.



شکل (۱۰): نمودار بلوکی طراحی پیشنهادی [۳۹].

تابع تبدیل روش زیرآستانه (که در رابطه ۲۴ نشان داده شده است) شامل بهره DC وابسته به پارامترهای فناوری است و SRE با ایجاد مسیر دینامیک SR را تقویت می‌نماید، قطب‌های کلیدی شامل قطب غالب پایین‌فرکانس به همراه قطب‌های غیرغالب که با جبران‌سازی NMC به فرکانس‌های بالاتر منتقل می‌شوند، پهنای بلند جدید  $\approx \frac{g_{m1}}{C_{c1}}$  که با عملکرد زیرآستانه تا چندین برابر بیش از ساختارهای اشباع است و درایو بالک اضافی حتی به بهبود swing کمک می‌کند.

$$A_v(s) = \frac{A_0}{\left(1 + \frac{s}{p_1}\right)} \frac{N(s)}{D(s)} \quad (24)$$

$$N(s) = 1 + \left[ \frac{C_{c2}}{g_{m2}} \left( \frac{g_{mFF}}{g_{m3}} - 1 \right) + \frac{C_{c1}}{g_{m2}g_{m3}R_{o2}} \right] s - \frac{C_{c1}C_{c2}}{g_{m2}g_{m3}} s^2 \quad (25)$$

$$D(s) = 1 + \left[ \frac{C_{c2}}{g_{m2}} \left( \frac{g_{mFF}}{g_{m3}} - 1 \right) + \frac{C_{c2}}{g_{m3}} \left( \frac{C_L}{C_{c1}} + 1 \right) \right] s + \frac{C_L C_{c2}}{g_{m2}g_{m3}} s^2 \quad (26)$$

## ۲-۱۰- طراحی تقویت‌کننده با استفاده از شیفتردهنده

### سطح خازنی<sup>۸</sup>

این بررسی به عنوان یکی از نوآوری‌های برجسته در عرصه OTA های سه طبقه برای مدارهای SC<sup>۹</sup>، ساختار کلاس AB را پیشنهاد می‌دهد که با

$$a_v = C_c C_L g_{m2} g_{m3} R_{o1} R_{o2} R_{o3} R_{o4} \quad (23)$$

## ۲-۹- طراحی تقویت‌کننده برای عملکرد در ولتاژ زیرآستانه<sup>۶</sup>

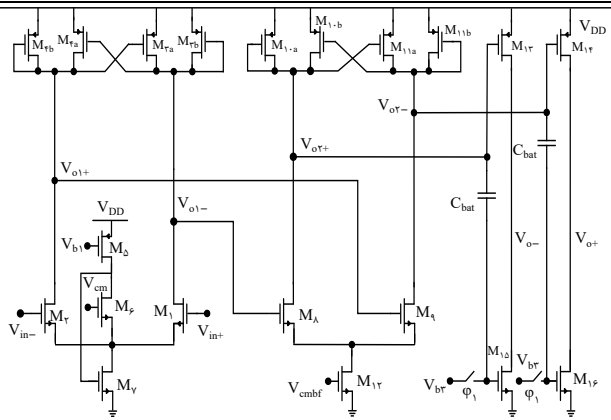
این تحقیق به عنوان یکی از دستاوردهای پیشگام در حوزه روش‌شناسی طراحی برای OTA های سه طبقه CMOS در عملکرد زیرآستانه، رویه‌ای سیستماتیک ارائه می‌دهد که با تعیین ابعاد ترانزیستورها و جریان‌های بایاس پایین (که بلوک دیاگرام آن در شکل ۱۰ ترسیم شده است)، مصرف توان را به حداقل رسانده و مساحت مدار را کاهش می‌دهد، منجر به بهره DC ۱۲۰ دسی‌بل، ۲۰ GBW کیلوهرتز، مصرف ۱۹۵ nW در منبع ۱ V و قابلیت درایو بار خازنی تا ۲۰۰ pF با SR بیش از ۵ V/μs می‌شود [۳۹]؛ ساختارها نسبت به تغییرات فناوری مقاوم هستند زیرا بر روابط تحلیلی زیرآستانه تکیه دارند و مدار بهبوددهنده آهنگ چرخش، عملکرد گذرا را در کاربردهای باتری‌محور بهبود می‌بخشد، این رویکرد به سبب تمرکز بر ULP<sup>۷</sup> و بارهای بالا، الگویی برای طرح‌های بعدی (مانند OTA های زیرآستانه پیشرفته) فراهم آورده و به عنوان یک استراتژی برتر برای میکروسیستم‌های biomedical و sensor nodes شناخته می‌شود؛ در مقایسه با مقالات پیشین مانند NMCFNR (۲۰۰۱) که بر حذف RHP zero در حالت اشباع تمرکز داشت اما توان بالاتری مصرف می‌کرد، این تکنیک ULP بیشتری با درایو بالک عرضه می‌کند، نسبت به AFFC (۲۰۰۳) و ACBC (۲۰۰۴) که از شبکه‌های فعال برای پهنای باند استفاده می‌کردند اما مساحت بیشتری نیاز داشتند، اینجا تأکید بر زیرآستانه مساحت را برای بارهای سنگین کاهش می‌دهد، همچنین در برابر FRNMC (۲۰۰۵) و RAFFC (۲۰۰۷) که بر مسیرهای معکوس برای پایداری تکیه داشتند و حساسیت بیشتری به ولتاژ نشان می‌دادند، این روش با SRE مقاوم‌تر در شرایط کم‌ولتاژ است و در قیاس با CFCC (۲۰۱۲) و DFP (۲۰۱۴) که برای بارهای نانومتر و on-chip طراحی شدند، این کار FOM بالاتری در فناوری ۰/۳۵ μm فراهم می‌آورد؛ با این وجود، عملکرد زیرآستانه ممکن است پهنای باند را محدود کند و تغییرات mismatch جریان را افزایش دهد (هرچند اندازه‌گیری‌ها دقت را حتی در این وضعیت تأیید می‌کنند)، ارزیابی در بارهای بسیار سنگین به طور خاص صورت نپذیرفته است، تمرکز بر OTA های سه طبقه است و بسط به ساختارهای بیشتر نیازمند بررسی‌های اضافی می‌باشد و نسبت به تکنیک‌های نوظهور (مانند روش‌های مبتنی بر

<sup>۸</sup> Capacitive Level Shifter

<sup>۹</sup> Switched Capacitor

<sup>۶</sup> Subthreshold

<sup>۷</sup> Ultra Low Power



شکل (۱۱): سطح ترانزیستوری ساختار پیشنهادی [۴۰].

## ۲-۱۱- طراحی تقویت کننده جهت عملکرد در زیر استانه و با کلاس AB

این پژوهش به عنوان یکی از پیشرفت های کلیدی در طراحی OTA های کم ولتاژ، معماری ساده bulk-driven سه طبقه کلاس AB را عرضه می دارد که با استفاده از درایو بالک (که بلوک دیاگرام آن در شکل ۱۲ نشان داده شده است)، عملکرد کلاس AB ذاتی با کنترل جریان standby دقیق فراهم می کند، منجر به بهره دی سی ۵۷ dB، فرکانس بهره واحد ۳ MHz، مصرف ۳۶  $\mu A$  در منبع ۰/۷ V و مساحت  $19/8 \times 10^{-3} \text{ mm}^2$  برای بار ۲۰ pF می شود [۴۱]؛ این ویژگی ها پاسخ سیگنال بزرگ و سیگنال کوچک را به طور همزمان بهینه می سازند. ساختارها نسبت به فناوری های استاندارد مقاوم هستند زیرا بر پایه روابط  $g_{mb} = \eta g_m$  استوارند و کلاس AB جریان دهی را بدون عناصر اضافی افزایش می دهد، این رویکرد به دلیل تمرکز بر مساحت کم، مبنایی برای طرح های آینده (مانند OTAs bulk-driven پیشرفته) فراهم آورده و به عنوان یک راه حل رقابتی برای کاربردهای low-power شناخته می شود؛ در مقایسه با مقالات پیشین مانند NMCFNR (۲۰۰۱) که بر فیدفوروارد در حالت اشباع تکیه داشت اما ولتاژ بالاتری نیاز داشت، این روش عملکرد بهتری در bulk-driving عرضه می کند، نسبت به AFFC (۲۰۰۳) و ACBC (۲۰۰۴) که از فیدبک فعال برای پهنای باند استفاده می کردند اما مساحت و توان بیشتری مصرف می کردند، اینجا تأکید بر درایو بالک، مساحت را برای بارهای متوسط کاهش می دهد و همچنین در برابر FRNMC (۲۰۰۵) و RAFFC (۲۰۰۷) که بر

ترکیب ۱.۵V FVF و شیفتهنده SC (که بلوک دیاگرام آن در شکل ۱۱ به تصویر کشیده شده است)، SR را تا ۳۰۶ درصد نسبت به افزایش داده و زمان نشست را به  $7/5 \text{ ns}$  (با دقت ۰/۲۰ درصد) می رساند، بدون افزایش قابل توجه توان و با بهره DC بالا در فناوری ۹۰ nm [۴۰]؛ این دستاوردها عملکرد گذرا را در A/D converters بهینه می کنند، ساختارها نسبت به تغییرات فرآیند پایدار هستند زیرا بر پایه روابط بزرگ سیگنال و کوچک سیگنال دقیق بنا شده اند و شیفتهنده SC کلاس AB خروجی را بدون پیچیدگی اضافی فراهم می آورد، این راهکار به دلیل تمرکز بر زمان نشست سریع و SC applications، پایه ای برای تکنیک های بعدی (مانند OTA های کلاس AB پیشرفته) ایجاد کرده و به عنوان یک رویکرد کارآمد برای غلبه بر محدودیت های swing در nano-CMOS تلقی می شود؛ در قیاس با مقالات پیشین مانند NMCFNR (۲۰۰۱) که بر حذف zero در کلاس A تمرکز داشت اما SR کمتری داشت، این تکنیک بهبود FOM بیشتری را با کلاس AB عرضه می کند، نسبت به AFFC (۲۰۰۳) و ACBC (۲۰۰۴) که از فیدبک فعال برای پهنای باند استفاده می کردند اما زمان نشست کندتری داشتند، اینجا تأکید بر FVF settling برای SC افزایش می دهد، همچنین در برابر FRNMC (۲۰۰۵) و RAFFC (۲۰۰۷) که بر مسیرهای معکوس برای پایداری تکیه داشتند و حساسیت بیشتری به بار نشان می دادند، این روش با شیفتهنده SC مقاوم تر در شرایط high-speed است و در مقایسه با CFCC (۲۰۱۲)، DFP (۲۰۱۴) و زیرآستانه (۲۰۱۵) که برای بارهای سنگین یا ULP طراحی شدند، این کار FOM بالاتری در SC با SR بهبود یافته فراهم می آورد؛ با این وجود، شیفتهنده SC ممکن است در فرکانس های بسیار بالا محدود شود و تغییرات فرآیند عملکرد را تحت تأثیر قرار دهد (هرچند شبیه سازی ها دقت را حتی در این حالت تأیید می کنند)، ارزیابی در بارهای بسیار سنگین به طور ویژه انجام نشده است، تمرکز بر OTA های سه طبقه است و تعمیم به ساختارهای بیشتر مستلزم مطالعات اضافی می باشد و نسبت به تکنیک های جدیدتر ممکن است به تنظیمات دستی وابسته تر باشد.

<sup>۱۰</sup> Flipped Voltage Follower

$$z_1 = \frac{g_{m\delta} g_{mr}}{2C_{C1} g_{m\delta} - C_{C2} g_{mr}} \quad (28)$$

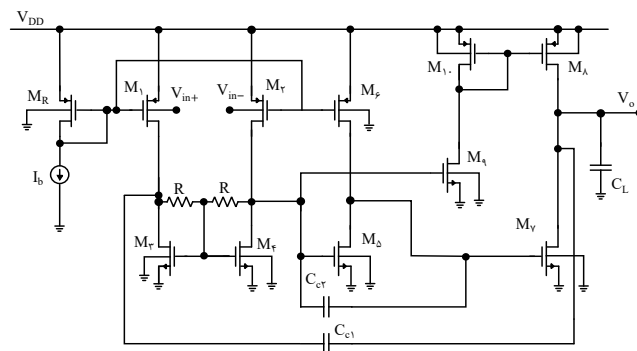
$$a = \frac{C_{C2} C_L (2g_{m\delta} + g_{mr})}{g_{m2} g_{m\delta} g_{mV}} \quad (29)$$

$$b = \frac{C_{C1} C_L + C_{C2} C_L g_{m\delta} r_{o2}}{C_{C1} g_{m\delta} g_{mV} r_{o2}} \quad (30)$$

## ۲-۱۲- جبران‌سازی با استفاده از یک خازن میلر منفرد و یک بافر جریان

این مطالعه به عنوان یکی از ابتکارات پیشرو در حوزه OTA های سه طبقه کم‌مساحت، معماری ساده‌ای پیشنهاد می‌دهد که با بهره‌گیری از بافر جریان معکوس و خازن میلر منفرد (که بلوک دیاگرام آن در شکل ۱۳ نمایش داده شده است)، بدون محدودیت بالای  $C_L$  پایداری را تضمین کرده و بهره DC بیش از ۱۱۰dB، مصرف جریان ساکن  $6/36 \mu A$  در منبع  $1/4 V$  و مساحت  $0.027 mm^2$  برای  $C_L$  بیش از ۵ nF فراهم می‌آورد [۴۲]؛ این پیشرفت‌ها رفتار سیگنال‌کوچک و سیگنال‌بزرگ را بدون افزایش پیچیدگی بهینه می‌سازند. ساختارها نسبت به فناوری‌های استاندارد مقاوم هستند زیرا بر پایه روابط تحلیلی ساده استوارند و SRE عملکرد گذرا را در کاربردهای LDO و MEMS بهبود می‌بخشد، این استراتژی به دلیل حذف محدودیت  $C_L$  و سادگی، الگویی برای رویکردهای بعدی (مانند OTAs میلر منفرد پیشرفته) ایجاد کرده و به عنوان یک راه‌حل برتر برای بارهای سنگین کم‌توان تلقی می‌شود؛ در قیاس با مقالات پیشین مانند NMCFNR (۲۰۰۱) که بر مقاومت نولینگ برای حذف RHP zero تمرکز داشت اما محدودیت  $C_L$  داشت، این تکنیک پایداری نامحدود بدون عناصر اضافی عرضه می‌کند، نسبت به AFFC (۲۰۰۳) و ACBC (۲۰۰۴) که از فیدبک فعال برای GBW استفاده می‌کردند اما مساحت بیشتری نیاز داشتند، اینجا تأکید بر میلر منفرد مساحت را برای بارهای نانوفاراد کاهش می‌دهد، همچنین در برابر FRNMC (۲۰۰۵) و RAFFC (۲۰۰۷) که بر مسیرهای معکوس برای پایداری تکیه داشتند و حساسیت بیشتری به  $C_L$  نشان می‌دادند، این روش با SRE مقاوم‌تر در شرایط wide-range است و در مقایسه با CFCC (۲۰۱۲)، DFP (۲۰۱۴) و زیرآستانه (۲۰۱۵) و کلاس AB RNMC (۲۰۱۵) و bulk-driven (۲۰۱۶) که برای بارهای سنگین طراحی شدند، این کار FOM بهتری در فناوری  $0.35 \mu m$  فراهم می‌آورد؛ با این وجود، ورودی folded-cascode ممکن است نویز را افزایش دهد و

مسیرهای معکوس برای پایداری تمرکز داشتند و حساسیت بیشتری به ولتاژ نشان می‌دادند، این روش با کلاس AB ذاتی مقاوم‌تر در شرایط کم‌ولتاژ است، و در قیاس با CFCC (۲۰۱۲)، DFP (۲۰۱۴) و زیرآستانه (۲۰۱۵) و کلاس AB RNMC (۲۰۱۵) که برای بارهای سنگین یا SC طراحی شدند، این کار FOM رقابتی‌تری در فناوری ۱۸۰ nm با بهره از bulk-driving فراهم می‌آورد؛ با این حال،  $g_{mb}$  پایین‌تر از  $g_m$  ممکن است بهره و GBW را محدود کند و تغییرات  $\eta$  عملکرد را تحت تأثیر قرار دهد (هرچند اندازه‌گیری‌ها دقت را حتی در این حالت تأیید می‌کنند)، ارزیابی در بارهای بسیار سنگین به طور خاص انجام نشده است، تمرکز بر OTA های سه طبقه است و تعمیم به ساختارهای پیچیده‌تر نیازمند تحقیقات اضافی می‌باشد و نسبت به تکنیک‌های نوین (مانند روش‌های مبتنی بر hybrid sub/bulk که پس از آن توسعه یافتند) ممکن است به تنظیمات دستی وابسته تر باشد.



شکل (۱۲): سطح ترانزیستوری پیکربندی مورد استفاده در [۴۱].

تابع تبدیل این ساختار (که در رابطه ۲۷ نشان داده شده است) بهره DC را بر پایه  $g_{mb}$  هر طبقه تعیین می‌کند و کلاس AB با افزایش جریان دینامیک SR را بهبود می‌بخشد، قطب‌های اصلی شامل قطب غالب پایین‌فرکانس به همراه قطب‌های غیرغالب که با جبران سه طبقه به فرکانس‌های بالاتر منتقل می‌شوند، محصول پهنای باند-بهره جدید  $\approx \frac{g_{mb1}}{C_c}$  که با ضریب  $\eta$  تا چندین برابر بیش از gate-driven پایه است و درایو بالک اضافی حتی به افزایش swing کمک می‌نماید.

$$A_v(s) = A_o \frac{1 + \frac{s}{z_1}}{\left(1 + \frac{s}{p_1}\right)(as^2 + bs + 1)} \quad (27)$$

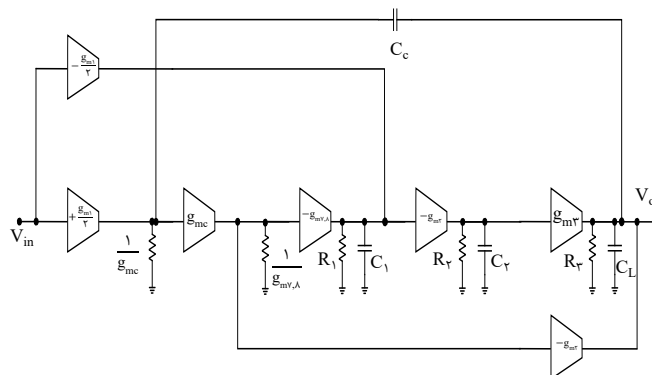
$$a_p = \frac{C_L \left[ \left( \frac{r_1 C_1}{g_{mc}} \right) + r_1 r_p c_1 c_p \right]}{C_L + g_{m2} g_{m3} r_1 r_p C_C} \quad (35)$$

$$p_f = \frac{(r_1 c_1 + r_p c_p) C_C + g_{mc} r_1 c_1 r_p c_p}{r_1 c_1 r_p c_p C_C} \quad (36)$$

## ۲-۱۳- روش جبران سازی FGRMIC

این تحقیق به عنوان یکی از دستاوردهای برجسته در عرصه جبران سازی فرکانسی برای OTA های سه طبقه، روش FGRMIC را معرفی می نماید که با ترکیب سه بخش مجزا (که بلوک دیاگرام آن در شکل ۱۴ به نمایش درآمده است)، پایداری را تضمین کرده و GBW را به ۲/۴۱ GHz، PM را به ۸۲/۶ درجه، زمان نشست را به ۱/۴۱ ns (با خطای ۱ درصد) و حساسیت را به حداقل می رساند، با مصرف ۱۲/۶ mW در منبع ۱/۲ V و بار ۲ pF [۴۳]؛ این ویژگی ها رفتار سیگنال کوچک و سیگنال بزرگ را به طور چشمگیری ارتقا می دهند، ساختارها نسبت به فناوری های نانومتر مقاوم هستند زیرا بر پایه روابط تحلیلی دقیق برای قطب های غالب استوارند و FGRMIC عملکرد را بدون افزایش مساحت بهینه می سازد، این رویکرد به دلیل تمرکز بر high-speed و low-voltage، پایه ای برای طرح های آتی (مانند جبران سازی های هیبریدی پیشرفته) فراهم آورده و به عنوان یک روش رقابتی برای mixed-signal circuits شناخته می شود؛ در قیاس با مقالات پیشین مانند NMCFNR (۲۰۰۱) که بر حذف RHP zero با فیدفورد تمرکز داشت اما GBW پایینی (چند مگاهرتز) ارائه داد، این تکنیک GBW را هزار برابر افزایش می دهد، نسبت به AFFC (۲۰۰۳) و ACBC (۲۰۰۴) که از فیدبک فعال برای پهنای باند استفاده می کردند اما زمان نشست کندتری داشتند، اینجا تأکید بر indirect-compensation زمان نشست را برای high-speed بهینه می کند، همچنین در برابر پایداری تکیه داشتند و حساسیت بیشتری به بار نشان می دادند، این روش با FGRMIC مقاوم تر در شرایط نانومتر است و در مقایسه با CFCC (۲۰۱۲)، DFP (۲۰۱۴)، زیرآستانه (۲۰۱۵)، کلاس AB RNMC (۲۰۱۵)، bulk-driven (۲۰۱۶) و Single-Miller (۲۰۱۷) که برای بارهای سنگین یا low-power طراحی شدند، این کار GBW بی سابقه ای در فناوری ۶۵ نانومتر با FOM برتر فراهم می آورد؛ با این حال، FGRMIC برای بارهای بزرگ تر از ۲ pF بهینه نشده و تغییرات فرآیند مقاومت ها را تحت تأثیر قرار می دهد (هرچند شبیه سازی ها دقت را حتی در این حالت تأیید می کنند)،

تغییرات فرآیند مکان قطب ها را تحت تأثیر قرار دهد (هرچند اندازه گیری ها دقت را حتی در این وضعیت تأیید می کنند)، بررسی در بارهای بسیار سبک به طور ویژه انجام نشده است، تمرکز بر OTA های سه طبقه است و گسترش به ساختارهای بیشتر مستلزم مطالعات تکمیلی می باشد و نسبت به تکنیک های نوظهور ممکن است به تنظیمات دستی وابسته تر باشد.



شکل (۱۳): بلوک دیاگرام ساختار پیشنهادی [۴۲].

تابع تبدیل OTA میلر منفرد (که در رابطه ۳۱ نشان داده شده است) بهره DC را بر پایه  $g_m$  هر طبقه تعیین می کند و بافر جریان معکوس با حذف RHP zero پایداری را تقویت می نماید، قطب های اساسی شامل قطب غالب پایین فرکانس به همراه قطب های غیر غالب که با فیدفورد به فرکانس های بالاتر جلبه جا می شوند. پهنای بلند جدید  $\approx \frac{g_m}{C_m}$  که با عامل معکوس تا چندین برابر بیش از NMC پایه است و SRE اضافی حتی به بهبود SR کمک می نماید.

$$A_v(s) = \frac{A_0}{\left(1 + \frac{s}{p_1}\right) (a_1 s^2 + a_2 s + 1) \left(1 + \frac{s}{p_f}\right)} \quad (31)$$

$$z_1 = \frac{2g_{mc}}{C_C} \quad (32)$$

$$p_1 = \frac{1}{g_{m2} g_{m3} r_1 r_p C_C + r_p C_L} \quad (33)$$

$$a_1 = \frac{C_L \left( \frac{C_C}{g_{mc}} + r_1 c_1 + r_p c_p \right)}{C_L + g_{m2} g_{m3} r_1 r_p C_C} \quad (34)$$

$$b_r = C_{m1} C_{m2} \left( R_{c2} R_{m1} + \frac{g_{mf}}{g_{m1} g_{m2} g_{m3}} \right) \quad (44)$$

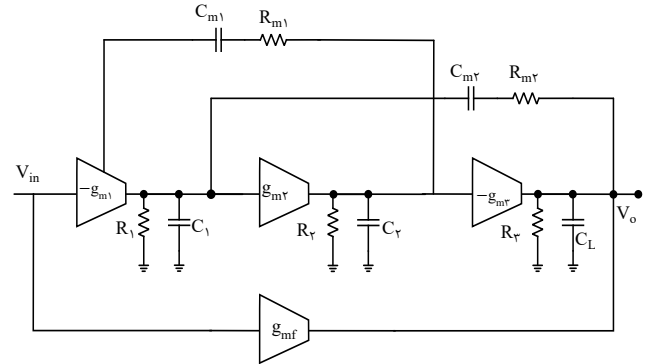
$$b_r = \frac{R_{c2} C_{m2} C_r [g_{mf} C_1 + (g_{m1} + g_{mf}) C_{m1}]}{g_{m1} g_{m2} g_{m3}} \quad (45)$$

$$b_f = \frac{g_{mf} R_{m1} C_{m1} R_{c2} C_{m2} C_1 C_r}{g_{m1} g_{m2} g_{m3}} \quad (46)$$

## ۲-۱۴- جبران‌سازی فرکانسی با روش مقایسه‌گر جریان

این بررسی به عنوان یکی از دستاوردهای مهم در بهبود جبران‌سازی فرکانسی OTA های سه طبقه، ساختار IRNMC<sup>۱۱</sup> را پیشنهاد می‌دهد که با قرار دادن مقایسه‌گر جریان در مسیر فیدبک (که بلوک دیاگرام آن در شکل ۱۵ ترسیم شده است)، RHP zero را حذف کرده و GBW را به ۱۴ MHz، PM را به ۸۶ درجه و مصرف توان را به ۲۸۵  $\mu W$  در منبع ۱/۸ V برای بار ۱۰۰ pF می‌رساند؛ در مطالعه‌ای که توسط مهدی ظاهر فکر در سال ۲۰۱۹ انجام شد، یک رویکرد اصلاح‌شده جدید با هدف بهبود جبران‌سازی فرکانسی برای تقویت‌کننده‌های ترانسانا عملیاتی سه طبقه معرفی شد و در معماری جبران‌سازی فرکانسی جدید، حذف صفر نیم‌صفحه راست منجر به حذف گره مشترک خازن‌های جبران‌ساز می‌گردد که به طور معمول به عنوان مسیر فید فوروار شناخته می‌شود [۴۴]، علاوه بر این، یک مقایسه‌گر جریان در مدار فیدبک گنجانده شده است و این ساختار، بهبودهای قابل توجهی در پهنای باند بهره، پایداری و حاشیه فاز را نشان می‌دهد و روش پیشنهادی به طور موثری معیارهای عملکرد را بهبود می‌بخشد و توان مصرفی را به حداقل می‌رساند، در حالی که اندازه خازن‌ها را در شبکه جبران‌سازی در مقایسه با رویکردهای جایگزین جبران‌سازی فرکانسی موجود، به طور قابل توجهی کاهش می‌دهد [۴۵]؛ ساختارها نسبت به فناوری‌های زیرمیکرون پایدار هستند زیرا بر پایه روابط کوچک‌سیگنال دقیق بنا شده‌اند و مقایسه‌گر جریان FOM را بدون افزایش پیچیدگی ارتقا می‌دهد، این راهبرد به سبب تمرکز بر low-power و کاهش خازن‌ها، بنیانی برای روش‌های بعدی (مانند RNMC های پیشرفته) فراهم آورده و به عنوان یک رویکرد کارآمد برای غلبه بر ناپایداری در بارهای متوسط تلقی می‌شود؛ در قیاس با مقالات پیشین مانند NMCFNR (۲۰۰۱) که بر مقاومت نولینگ برای حذف RHP zero تکیه داشت اما خازن بزرگ‌تری نیاز داشت، این تکنیک کاهش خازن بیشتری با مقایسه‌گر عرضه می‌کند، نسبت به AFFC (۲۰۰۳) و ACBC (۲۰۰۴) که از شبکه‌های فعال برای GBW استفاده می‌کردند اما توان بالاتری مصرف داشتند، اینجا تأکید بر

ارزیابی در بارهای سنگین به طور خاص صورت نپذیرفته است، تمرکز بر OTA های سه طبقه است و بسط به ساختارهای بیشتر نیازمند بررسی‌های اضافی می‌باشد و نسبت به تکنیک‌های نوظهور ممکن است به تنظیمات دقیق‌تری وابسته باشد.



شکل (۱۴): نمای کلی از سیستم طراحی شده [۴۳].

تابع تبدیل FGRMIC (که در رابطه ۳۸ نشان داده شده است) شامل سه قطب غالب و صفرهای LHP است که PM را افزایش می‌دهد، قطب‌های غیرغالب با indirect-compensation به فرکانس‌های بالاتر منتقل می‌شوند، پهنای بلند جدید  $\approx \frac{g_{m1}}{\pi C_c}$  که با فیدفوروار  $g_{mf}$  تا ۲/۴۱ GHz است و مقاومت‌های اضافی حتی به کاهش حساسیت کمک می‌نماید.

$$A_{v(s)} \approx \frac{A_0}{\left(1 + \frac{s}{p_1}\right) \left(1 + a_1 s\right) \left(1 + \frac{a_r}{a_f} s + \frac{a_f}{a_r} s^2\right) \left(1 + \frac{a_\Delta}{a_f} s\right)} \quad (37)$$

$$a_1 = g_{m2} R_2 R_1 (g_{m3} R_3 C_{m1} + C_{m2}) \quad (38)$$

$$a_r = g_{m2} R_1 R_2 R_3 C_{m2} (C_L + g_{m3} R_{c2} C_{m1} + C_{m1}) \quad (39)$$

$$a_f = C_{m2} R_2 C_L R_3 [(C_{m1} + C_1) R_1 + C_2 R_{c2}] \quad (40)$$

$$a_\Delta = R_1 R_{c2} C_{m2} R_2 C_r C_L (C_{m1} + C_1) \quad (41)$$

$$a_\Delta = R_1 R_2 R_3 C_1 C_r C_L C_{m1} C_{m2} R_{m1} R_{c2} \quad (42)$$

$$b_1 = R_{c2} C_{m2} + \frac{g_{mf} C_{m2}}{g_{m1} g_{m3}} \quad (43)$$

<sup>۱۱</sup> Improved Reversed Nested Miller Compensation

$$D_5 = C_1 C_2 C_3 C_{c1} C_{c2} R_1 R_2 R_3 R_n R_p \quad (51)$$

$$D_4 = C_1 C_2 C_{c1} C_{c2} R_1 R_2 R_3 R_n \quad (52)$$

$$D_3 = C_2 C_{c1} C_{c2} G_{m2} R_1 R_2 R_3 R_n \quad (53)$$

$$D_2 = C_{c1} C_{c2} G_{m2} G_{m3} R_1 R_2 R_3 R_p \quad (54)$$

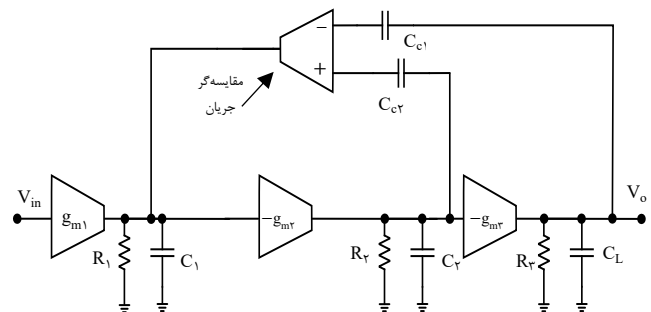
$$D_1 = C_{c1} G_{m2} G_{m3} R_1 R_2 R_3 \quad (55)$$

## ۲-۱۵- جبران سازی با استفاده از حذف دو قطب به واسطه

### تولید صفر

این پژوهش به عنوان یکی از پیشرفت های قابل توجه در حوزه جبران سازی معکوس برای OTA های سه طبقه CMOS. حذف دو قطب را ارائه می دهد که با افزودن یک طبقه فیدفوروارد (که بلوک دیگرام آن در شکل ۱۶ به تصویر کشیده شده است)، لغو دوگانه pole-zero را محقق کرده و پاسخ فرکانسی تقریباً تک قطبی با بهره DC بیش از ۱۲۰ dB، کارایی پهنای باند نزدیک ۱۰۰ درصد و مقاومت در برابر تغییرات PVT در فناوری ۱۳۰ nm فراهم می آورد [۴۶]؛ این دستاوردها معادلات طراحی برای تنظیم فرکانس رزونانس قطب های پیچیده و Q-factor را معرفی می کنند، ساختارها نسبت به فرآیندهای استاندارد پایدار هستند زیرا بر پایه روابط تحلیلی دقیق استوارند و مصرف توان را بدون کاهش بهره به حداقل می رسلند، این استراتژی به دلیل تمرکز بر low-power و لغو pole-zero، الگویی برای روش های آینده (مانند جبران های تک قطبی پیشرفته) ایجاد کرده و به عنوان یک راهکار برتر برای کاربردهای biomedical و IoT شناخته می شود؛ در قیاس با مقالات پیشین مانند NMCFNR (۲۰۰۱) که بر حذف RHP zero با فیدفوروارد تمرکز داشت اما لغو دوگانه نداشت، این تکنیک کارایی بالاتری با رفتار تک قطبی عرضه می کند، نسبت به AFFC (۲۰۰۳) و ACBC (۲۰۰۴) که از شبکه های فعال برای پهنای باند استفاده می کردند اما نسبت به PVT مقاومت کمتری داشتند، اینجا تأکید بر لغو دوگانه پایدار بودن را برای بارهای متوسط افزایش می دهد، همچنین در برابر FRNMC (۲۰۰۵) و RAFFC (۲۰۰۷) که بر مسیرهای معکوس برای پایداری تکیه داشتند و حساسیت بیشتری به mismatch نشان می دادند، این روش در کاربردهای توان پایین مقاوم تر است و در مقایسه با CFCC (۲۰۱۲)، DFP (۲۰۱۴)، زیرآستانه (۲۰۱۵)، کلاس AB RNMC (۲۰۱۵)، single-Miller (۲۰۱۷)، FGRMIC (۲۰۱۸) و IRNMC (۲۰۱۹) که برای بارهای سنگین یا high-speed طراحی شدند، این کار FOM بهتری با لغو دوگانه و کارایی نزدیک ۱۰۰

مقایسه گر جریان، توان را برای بارهای متوسط بهینه می سازد، همچنین در برابر FRNMC (۲۰۰۵) و RAFFC (۲۰۰۷) که بر مسیرهای معکوس برای پایداری تمرکز داشتند و حساسیت بیشتری به تنظیمات نشان می دادند، این روش با حذف گره مشترک مقاوم تر است و در مقایسه با CFCC (۲۰۱۲)، DFP (۲۰۱۴)، زیرآستانه (۲۰۱۵)، کلاس AB RNMC (۲۰۱۵)، bulk-driven (۲۰۱۶)، single-Miller (۲۰۱۷) و FGRMIC (۲۰۱۸) که برای بارهای سنگین یا high-speed طراحی شدند، این کار FOM بهتری در فناوری ۱۸۰ nm با کاهش توان فراهم می آورد؛ با این وجود، مقایسه گر جریان ممکن است نویز را اندکی افزایش دهد و تغییرات فرآیند عملکرد را تحت تأثیر قرار دهد (هرچند شبیه سازی ها دقت را حتی در این وضعیت تأیید می کنند)، بررسی در بارهای بسیار سنگین به طور خاص انجام نشده است، تمرکز بر OTA های سه طبقه است و بسط به ساختارهای بیشتر نیازمند بررسی های اضافی می باشد و نسبت به تکنیک های معاصر ممکن است به تنظیمات دستی وابسته تر باشد.



شکل (۱۵): ساختار مفهومی مدار مورد بررسی [۴۵].

تابع تبدیل IRNMC (که در رابطه ۴۸ نشان داده شده است) فاقد صفر نیم صفحه راست ناخواسته است و با حذف گره مشترک PM را بهبود می بخشد، قطب های اصلی شامل قطب غالب در فرکانس پایین به همراه قطب های غیر غالب که با مقایسه گر جریان به فرکانس های بالاتر منتقل می شوند، پهنای باند جدید  $\approx \frac{g_{m1}}{C_{c1}}$  که با عامل معکوس تا چندین برابر بیش از RNMC پایه است و حذف فیدفوروارد اضافی حتی به افزایش پایداری کمک می نماید

$$A_v(s) = \frac{N_2 s^2 + N_1 s + N_0}{D_5 s^5 + D_4 s^4 + D_3 s^3 + D_2 s^2 + D_1 s + 1} \quad (47)$$

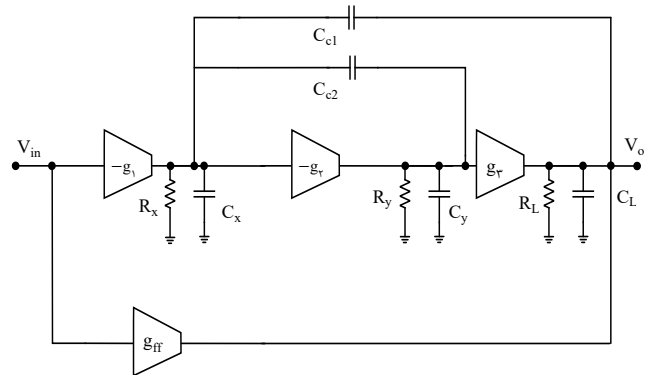
$$N_2 = C_{c1} C_{c2} G_{m1} G_{m2} G_{m3} R_1 R_2 R_3 R_n R_p \quad (48)$$

$$N_1 = C_{c1} G_{m1} G_{m2} G_{m3} R_1 R_2 R_3 R_n \quad (49)$$

$$N_0 = G_{m1} G_{m2} G_{m3} R_1 R_2 R_3 \quad (50)$$

پیشنهاد می‌دهد که با بهره‌برداری از ساختار متقاطع (که بلوک دیاگرام آن در شکل ۱۷ به نمایش درآمده است)، PSRR را به ۹۳ dB (DC) و CMRR را به ۴۱/۴۱ dB (DC) با خازن‌های جبرانی کوچک ۰/۱ pF برای بار ۴۰۰ pF با موانی ۲/۲ kΩ می‌رساند، با بهره‌دی سی ۴۳/۲۱ dB UGF، ۲۷ MHz، ۴۸/۵ PPM درجه و مصرف توان ۳/۱۷ mW در فناوری ۱۸۰ نانومتر [۴۷]؛ این پیشرفت‌ها رد نویز و سیگنال‌های مشترک را به طور همزمان ارتقا می‌دهند، ساختارها نسبت به فرآیندهای استاندارد مقاوم هستند زیرا بر پایه روابط کسکود متقاطع استوارند و خازن‌های کوچک مساحت را به ۰/۱۴ mm<sup>2</sup> کاهش می‌دهند، این راهبرد به دلیل تمرکز بر low-area, high-PSRR، مبنایی برای رویکردهای بعدی (مانند OTAs متقاطع پیشرفته) فراهم آورده و به عنوان یک روش مناسب برای کاربردهای RF و biomedical تلقی می‌شود؛ در قیاس با مقالات پیشین مانند NMCFNR (۲۰۰۱) که بر حذف RHP zero با فیدفوروارد تمرکز داشت اما PSRR کمتری داشت، این روش رد توان بالاتری بدون افزایش خازن عرضه می‌کند، نسبت به AFFC (۲۰۰۳) و ACBC (۲۰۰۴) که از شبکه‌های فعال برای پهنای باند استفاده می‌کردند اما مساحت بیشتری نیاز داشتند، اینجا تأکید بر کسکود متقاطع مساحت را برای بارهای بزرگ بهینه می‌سازد، همچنین در برابر FRNMC (۲۰۰۵) و RAFFC (۲۰۰۷) که بر مسیرهای معکوس برای پایداری تکیه داشتند و حساسیت بیشتری به نویز نشان می‌دادند، این روش با فیدبک متقاطع مقاوم‌تر در شرایط با نویز زیاد است و در مقایسه با CFCC (۲۰۱۲)، DFP (۲۰۱۴)، زیرآستانه (۲۰۱۵)، کلاس AB RNMC (۲۰۱۵)، bulk-driven (۲۰۱۶)، single-Miller، (۲۰۱۷)، FGRMIC (۲۰۱۸)، IRNMC (۲۰۱۹) و حذف دو قطب (۲۰۲۰) که برای بارهای سنگین یا high-speed طراحی شدند، این کار FOM بهتری با PSRR قابل توجه در فناوری قدیمی‌تر فراهم می‌آورد؛ با این وجود، SR منفی پایین‌تر ممکن است در برنامه‌های سریع محدود شود و تغییرات فرآیند عملکرد را تحت تأثیر قرار دهد (هرچند شبیه‌سازی‌های post-layout دقت را حتی در این حالت تأیید می‌کنند)، بررسی در بارهای بسیار سبک به طور خاص انجام نشده است، تمرکز بر OTA های سه طبقه است و تعمیم به ساختارهای پیچیده‌تر مستلزم تحقیقات اضافی می‌باشد و نسبت به تکنیک‌های نوظهور (مانند روش‌های مبتنی بر adaptive-PSRR که پس از آن توسعه یافتند) ممکن است به تنظیمات دقیق‌تری وابسته باشد.

درصد در فناوری قدیمی‌تر فراهم می‌آورد؛ با این حال، لغو دوگانه ممکن است در فرکانس‌های بسیار بالا محدود شود و تغییرات mismatch عملکرد را تحت تأثیر قرار دهد (هرچند Monte Carlo ها دقت را حتی در این حالت تأیید می‌کنند)، ارزیابی در بارهای بسیار سبک به طور ویژه انجام نشده است، تمرکز بر OTA های سه طبقه است و گسترش به ساختارهای پیچیده‌تر نیازمند مطالعات اضافی می‌باشد و نسبت به تکنیک‌های نوظهور (مانند روش‌های مبتنی بر adaptive-cancellation که پس از آن توسعه یافتند) ممکن است به تنظیمات دقیق‌تری وابسته باشد.



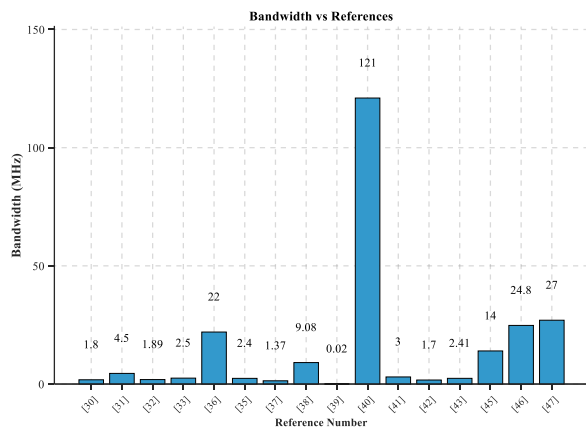
شکل (۱۶): بلوک دیاگرام تقویت‌کننده پیشنهادی [۴۶].

تابع تبدیل این روش (که در رابطه ۵۷ نشان داده شده است) بهره DC را بر پایه gm هر طبقه تعیین می‌کند و با لغو دوگانه pole-zero پاسخ تک‌قطبی را محقق می‌نماید، قطب‌های کلیدی شامل قطب غالب پایین‌فرکانس به همراه صفر و قطب دوگانه که با فیدفوروارد اضافی لغو می‌شوند، پهنای بلند جدید  $\approx \frac{g_m}{C_{c1}}$  که با عامل لغو تا چندین برابر بیش از RNMC سنتی است و استفاده مجدد از جریان اضافی حتی به کاهش مصرف کمک می‌کند.

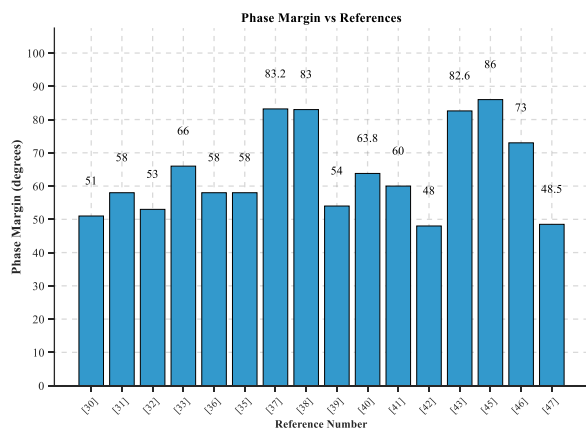
$$A_v(s) = \frac{g_1}{sC_{c1}} \frac{1 + s \frac{C_{c2}(g_2g_{FF} - g_1g_3)}{g_1g_2g_3} + s^2 C_{c1} C_{c2} \frac{g_{FF} - g_1}{g_1g_2g_3}}{1 + s \frac{C_{c1}g_2 - C_{c1}g_3 + C_Lg_2}{C_{c1}g_2g_3} C_{c2} + \frac{s^2 C_{c2}C_L}{g_2g_3}} \quad (56)$$

## ۲-۱۶- استفاده از ساختار Cross Coupled در طراحی تقویت‌کننده

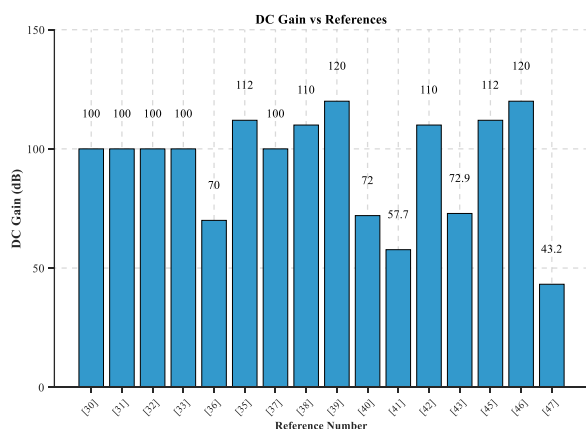
این مطالعه به عنوان یکی از ابتکارات برجسته در طراحی OTA ها جبران‌شده فرکانسی کم‌مساحت، معماری متقاطع کسکود فیدبک را



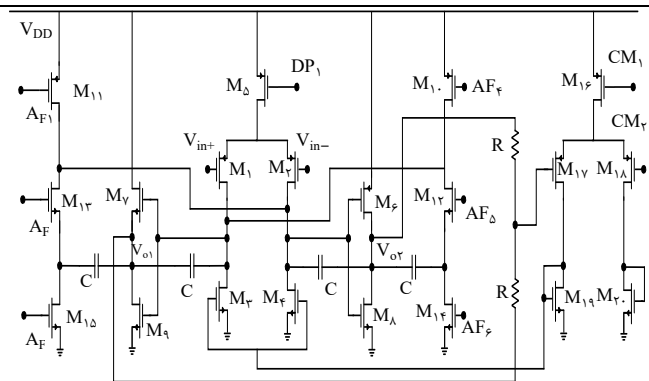
شکل (۱۸): مقایسه مقدار فرکانس بهره واحد (UGF).



شکل (۱۹): مقایسه مقدار حاشیه فاز (PM).



شکل (۲۰): مقایسه مقدار بهره ثابت (DC Gain).



شکل (۱۷): نمایی از ساختار داخلی تقویت کننده پیشنهادی [۴۷].

تابع تبدیل OTA متقاطع کسکود (که در رابطه ۵۷ نشان داده شده است) بهره DC را بر پایه  $g_m$  کسکود تعیین می کند و فیدبک متقاطع با بهبود PSRR پایداری را تقویت می نماید، قطب های اساسی شامل قطب غالب پایین فرکانس به همراه قطب های غیرغالب که با جبران خازنی کوچک به فرکانس های بالاتر جابه جا می شوند، پهنای باند جدید  $\approx \frac{g_{m1}}{C_c}$  که با عامل متقاطع تا چندین برابر بیش از کسکود سنتی است و مدار بهبود دهنده نرخ چرخش اضافی حتی به بهبود پاسخ گذارا کمک می کند.

$$A_v(s) = \frac{(1 + C_{p1})g_{m1}g_{m2}Cs + \gamma g_{m1}g_{m2}g_{m1}}{g_{m1}g_{m1}.Cs + C^2G_{o1}s^2 + s^2C^2C_{p1} + (sC + sC_L + G_L)(sC + \gamma g_{m10} + sC_{p1})(G_{o1} + sC_{p1})} \quad (57)$$

### ۳- مقایسه عملکرد طرح های بررسی شده

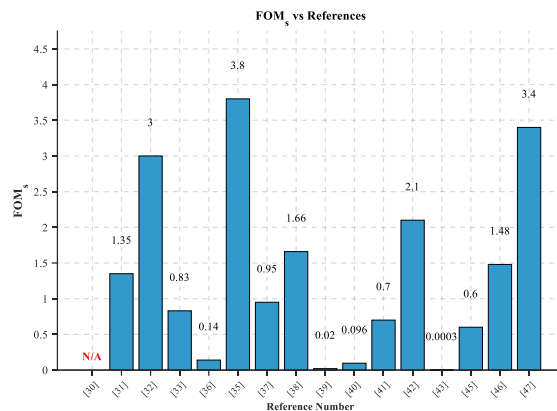
به منظور مقایسه نظام مند عملکرد طرح های بررسی شده، در این بخش شاخص های کلیدی حاشیه فاز، فرکانس بهره واحد و بهره ثابت در قالب سه نمودار مجزا تحلیل شده اند. نمودارهای ارائه شده امکان سنجی دقیق مصالحه میان پایداری، سرعت و دقت را در هر یک از طرح ها فراهم می کنند و در ادامه، جدول مقایسه ای جامعی برای درک بهتر مزایا، معایب و کاربردهای هر روش در اختیار قرار می گیرد تا مبنایی علمی برای انتخاب طرح بهینه بر اساس الزامات خاص هر سیستم فراهم شود.

جدول (۱): بررسی عملکرد کلی تقویت‌کننده‌های بررسی شده.

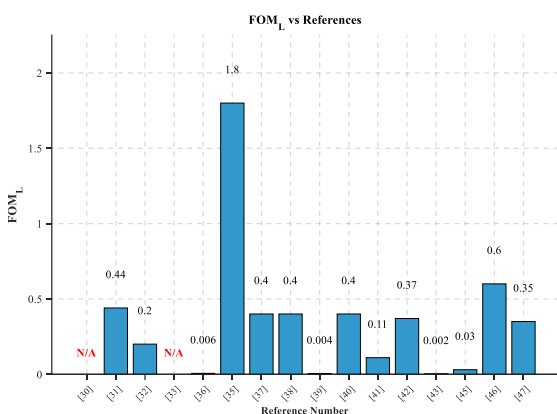
|      | Tech<br>( $\mu\text{m}$ ) | $V_{DD}$<br>(V) | $I_{DD}$<br>( $\mu\text{A}$ ) | DC<br>Gain<br>(dB) | Power<br>( $\mu\text{W}$ ) | GBW<br>(MHz) | SR<br>( $\frac{\text{V}}{\mu\text{s}}$ ) | PM<br>( $^{\circ}$ ) | $C_L$<br>(pF) | $t_s$<br>( $\mu\text{s}$ ) | $\text{FOM}_s$<br>( $\frac{\text{MHz.pF}}{\mu\text{W}}$ ) | $\text{FOM}_L$<br>( $\frac{\text{V.pF}}{\text{s.}\mu\text{W}}$ ) | $\text{FOM}_t$<br>( $\frac{\text{MHz.pF}}{\mu\text{W.}\mu\text{m}}$ ) |
|------|---------------------------|-----------------|-------------------------------|--------------------|----------------------------|--------------|------------------------------------------|----------------------|---------------|----------------------------|-----------------------------------------------------------|------------------------------------------------------------------|-----------------------------------------------------------------------|
| [۳۰] | ۰/۵                       | ۱               | ۴۰۶                           | ۱۰۰                | ۴۰۶                        | ۱/۸          | ۱/۰۹                                     | ۵۱                   | -             | ۰/۸۷۵                      | -                                                         | -                                                                | -                                                                     |
| [۳۱] | ۰/۸                       | ۲               | ۲۰۰                           | ۱۰۰                | ۴۰۰                        | ۴/۵          | ۱/۴۹                                     | ۵۸                   | ۱۲۰           | -                          | ۱/۳۵                                                      | ۰/۴۴                                                             | ۱/۶۸                                                                  |
| [۳۲] | ۰/۳۵                      | ۲               | ۱۵۸                           | ۱۰۰                | ۳۱۶                        | ۱/۸۹         | ۰/۱۶                                     | ۵۳                   | ۵۰۰           | ۵/۷۵                       | ۳                                                         | ۰/۲                                                              | ۸/۵۷                                                                  |
| [۳۳] | ۰/۵                       | ۱               | ۳۶۰                           | ۱۰۰                | ۳۶۰                        | ۲/۵          | -                                        | ۶۶                   | ۱۲۰           | -                          | ۰/۸۳                                                      | -                                                                | ۱/۶۶                                                                  |
| [۳۶] | ۰/۳۵                      | ۳               | ۴۹۱                           | ۷۰                 | ۱۴۷۳                       | ۲۲           | ۰/۸۷                                     | ۵۸                   | ۱۰            | ۰/۶۸                       | ۰/۱۴                                                      | ۰/۰۰۶                                                            | ۰/۴                                                                   |
| [۳۵] | ۰/۵                       | ۳               | ۱۰۵                           | ۱۱۲                | ۳۱۵                        | ۲/۴          | ۱/۱۶                                     | ۵۸                   | ۵۰۰           | ۰/۸۸                       | ۳/۸                                                       | ۱/۸                                                              | ۷/۶                                                                   |
| [۳۷] | ۰/۳۵                      | ۲               | ۷۲                            | ۱۰۰                | ۱۴۴                        | ۱/۳۷         | ۰/۵۹                                     | ۸۳/۲                 | ۱۰۰           | ۱/۲۸                       | ۰/۹۵                                                      | ۰/۴                                                              | ۲/۷                                                                   |
| [۳۸] | ۰/۱۸                      | -               | -                             | ۱۱۰                | ۵۴۴                        | ۹/۰۸         | ۲/۲۳                                     | ۸۳                   | ۱۰۰           | -                          | ۱/۶۶                                                      | ۰/۴                                                              | ۹/۲                                                                   |
| [۳۹] | ۰/۳۵                      | ۱               | ۱۹۵                           | ۱۲۰                | ۱۹۵                        | ۰/۰۲         | ۰/۰۰۴                                    | ۵۴                   | ۲۰۰           | -                          | ۰/۰۲                                                      | ۰/۰۰۴                                                            | ۰/۰۵                                                                  |
| [۴۰] | ۰/۰۹                      | ۱/۲             | ۲۰۸۳                          | ۷۲                 | ۲۵۰۰                       | ۱۲۱          | ۴۸۷/۹                                    | ۶۳/۸                 | ۲             | ۷۵                         | ۰/۰۹۶                                                     | ۰/۴                                                              | ۱/۰۶                                                                  |
| [۴۱] | ۰/۱۸                      | ۰/۷             | ۰/۰۰۱                         | ۵۷/۷               | ۸۵/۴                       | ۳            | ۰/۴۷                                     | ۶۰                   | ۲۰            | ۱/۳                        | ۰/۷                                                       | ۰/۱۱                                                             | ۳/۸                                                                   |
| [۴۲] | ۰/۳                       | ۱/۴             | ۶/۳                           | ۱۱۰                | ۸۰۹۴                       | ۱/۷          | ۰/۳                                      | ۴۸                   | ۱۰۰۰۰         | ۲                          | ۲/۱                                                       | ۰/۳۷                                                             | ۷                                                                     |
| [۴۳] | ۰/۰۶۵                     | ۱/۲             | ۱۰۶۰۰                         | ۷۲/۹               | ۱۲۷۲۰                      | ۲/۴۱         | ۱۷/۲۵                                    | ۸۲/۶                 | ۲             | ۰/۰۰۱۴                     | ۰/۰۰۰۳                                                    | ۰/۰۰۲                                                            | ۰/۰۰۴                                                                 |
| [۴۵] | ۰/۱۸                      | ۱/۸             | ۱۲۷۰                          | ۱۱۲                | ۲۲۸۵                       | ۱۴           | ۰/۸                                      | ۸۶                   | ۱۰۰           | -                          | ۰/۶                                                       | ۰/۰۳                                                             | ۳/۳                                                                   |
| [۴۶] | ۰/۱۳                      | ۱               | ۱۶/۷                          | ۱۲۰                | ۱۶/۷                       | ۲۴/۸         | ۱۰                                       | ۷۳                   | ۱             | ۰/۰۰۱                      | ۱/۴۸                                                      | ۰/۶                                                              | ۱۱/۳۸                                                                 |
| [۴۷] | ۰/۱۸                      | ۱/۵             | ۲۱۱۴                          | ۴۳/۲               | ۳۱۷۰                       | ۲۷           | ۲/۸۲                                     | ۴۸/۵                 | ۴۰۰           | -                          | ۳/۴                                                       | ۰/۳۵                                                             | ۱۸/۹                                                                  |

#### ۴- نتیجه گیری

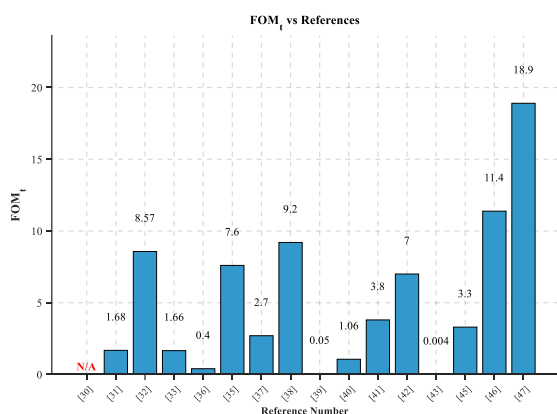
پس از بررسی دقیق ۱۶ مقاله کلیدی در حوزه جبران سازی فرکانسی برای تقویت کننده های سه طبقه، می توان گفت که این روش ها از اوایل دهه ۲۰۰۰ تا سال ۲۰۲۳، پیشرفت های چشمگیری در بهبود پارامترهایی مانند GBW, PM, SR, PSRR, CMRR, مصرف توان، مساحت مدار و قابلیت درایو بارهای بزرگ داشته اند. این مقالات عمدتاً بر حل چالش هایی مانند حذف RHP zero، افزایش پایداری بدون افزایش پیچیدگی، کاهش مصرف توان در کاربردهای low-voltage یا زیرآستانه و بهینه سازی برای بارهای خازنی سنگین تمرکز کرده اند. به طور کلی، روش های اولیه مانند NMCFNR (۲۰۰۱) بر سادگی و حذف RHP zero تأکید داشتند، اما با پیشرفت فناوری های نانومتر، تکنیک های پیشرفته تری مانند لغو دوگانه صفر و قطب (۲۰۲۰) و فیدبک متقاطع کسکود (۲۰۲۳) معرفی شدند که کارایی بالاتری در شرایط عملی ارائه می دهند. با این حال، هیچ روشی کامل نیست و انتخاب مناسب بستگی به اولویت های طراحی مانند توان، سرعت، بار خازنی، ولتاژ تغذیه یا مساحت دارد. برای مثال، اگر اولویت مصرف توان پایین (کمتر از ۱ mW) باشد، روش های زیرآستانه (۲۰۱۵) و bulk-driven (۲۰۱۶) ایده آل هستند زیرا در کاربردهای low-power عمل کرده و توان را به نانوات کاهش می دهند، اما سرعت را فدا می کنند؛ در حالی که اگر بار خازنی سنگین (بالای ۱۰۰ پیکوفاراد تا نانوفاراد) مد نظر باشد، تکنیک های single-Miller (۲۰۱۷)، CFCC (۲۰۱۲) و DFP (۲۰۱۴) برتر هستند زیرا بدون محدودیت بالای  $C_L$  پایداری را تضمین می کنند و برای کاربردهایی مانند LDO یا MEMS مناسب اند. برای سرعت بالا (GBW بالای ۱ GHz) و settling سریع، روش های FGRMIC (۲۰۱۸) و کلاس AB RNMC (۲۰۱۵) توصیه می شوند که با فیدفورد و کلاس AB، پاسخ حالت گذرا را بهبود می بخشند اما ممکن است توان بیشتری مصرف کنند؛ اگر ولتاژ تغذیه پایین (زیر ۱ V) اولویت باشد، bulk-driven (۲۰۱۶) و زیرآستانه (۲۰۱۵) گزینه های اصلی هستند که swing را افزایش می دهند اما GBW را محدود می کنند. در نهایت، برای کاهش مساحت مدار (کمتر از ۰/۱ mm<sup>2</sup>) و کارایی بالا، تکنیک های IRNMC (۲۰۱۹ و ۲۰۲۰) با لغو pole-zero و استفاده بهینه از جریان و فیدبک متقاطع کسکود (۲۰۲۳) با خازن های کوچک، بهترین انتخاب ها هستند که مقاوم بودن به تغییرات PVT را نیز ارائه می دهند، اما ممکن است در بارهای بسیار سبک یا فرکانس های فوق العاده بالا نیاز به تنظیمات اضافی داشته باشند. به طور خلاصه، پیشرفت از روش های ساده به تکنیک های hybrid مانند لغو دوگانه نشان دهنده تعادل بهتر بین توان، سرعت و پایداری است، اما طراحان باید بر



شکل (۲۱): مقایسه مقالات بررسی شده با معیار شایستگی سیگنال کوچک  $FOM_s$ .



شکل (۲۲): مقایسه مقالات بررسی شده با معیار شایستگی سیگنال بزرگ  $FOM_L$ .



شکل (۲۱): مقایسه مقالات با معیار شایستگی نرمال شده بر اساس تکنولوژی ساخت  $FOM_t$ .

- [16] Chong, S. S., & Chan, P. K. (2012). Cross feedforward cascode compensation for low-power three-stage amplifier with large capacitive load. *IEEE Journal of Solid-State Circuits*, 47(9), 2227-2234.
- [17] Fan, X., Mishra, C., & Sánchez-Sinencio, E. (2005). Single Miller capacitor frequency compensation technique for low-power multistage amplifiers. *IEEE Journal of Solid-State Circuits*, 40(3), 584-592.
- [18] Qin, C., Zhang, L., Zhou, C., Zhang, L., Wang, Y., & Yu, Z. (2016). Dual AC boosting compensation scheme for multistage amplifiers. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 64(8), 882-886.
- [19] Tan, Min, and Wing-Hung Ki. "A cascode Miller-compensated three-stage amplifier with local impedance attenuation for optimized complex-pole control." *IEEE Journal of Solid-State Circuits* 50.2 (2014): 440-449.
- [20] Dong, S., & Zhu, Z. (2018). A transconductance-enhancement cascode Miller compensation for low-power multistage amplifiers. *Microelectronics Journal*, 73, 94-100.
- [21] Xiao, F., & Chan, P. K. (2016). A performance-aware low-quiescent headphone amplifier in 65-nm CMOS. *IEEE Journal of Solid-State Circuits*, 52(2), 505-516.
- [22] Sung, E. T., Park, S., & Baek, D. (2018). A fast-transient output capacitor-less low-dropout regulator using active-feedback and current-reuse feedforward compensation. *Energies*, 11(3), 688.
- [23] Marano, D., Grasso, A. D., Palumbo, G., & Pennisi, S. (2016). Optimized active single-Miller capacitor compensation with inner half-feedforward stage for very high-load three-stage OTAs. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 63(9), 1349-1359.
- [24] Dhanasekaran, V., Silva-Martinez, J., & Sanchez-Sinencio, E. (2009). Design of Three-Stage Class-AB 16- $\Omega$  Headphone Driver Capable of Handling Wide Range of Load Capacitance. *IEEE Journal of Solid-State Circuits*, 44(6), 1734-1744.
- [25] Ochoa, A. (2002). A systematic approach to the analysis of general and feedback circuits and systems using signal flow graphs and driving-point impedance. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 45(2), 187-195.
- [26] Lundberg, K. H. (2004, June). Internal and external op-amp compensation: a control-centric tutorial. In *Proceedings of the 2004 American Control Conference* (Vol. 6, pp. 5197-5211). IEEE.
- [27] Grasso, A. D., Marano, D., Pennisi, S., & Vazzana, G. (2016). Symbolic factorization methodology for multistage amplifier transfer functions. *International Journal of Circuit Theory and Applications*, 44(1), 38-59.
- [28] Aminzadeh, H. (2017). Evaluation of the pole expressions of nano-scale multistage amplifiers based on equivalent output impedance. *AEU-International Journal of Electronics and Communications*, 72, 243-251.
- [29] Shi, G. (2017). Topological approach to symbolic pole-zero extraction incorporating design knowledge. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 36(11), 1765-1778.
- [30] Leung, K. N., & Mok, P. K. (2001). Nested Miller compensation in low-power CMOS design. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 48(2), 527-540.
- اساس کاربرد خاص (مانند biomedical برای low-power یا RF برای high-speed) انتخاب کنند تا از مزایای هر روش حداکثر استفاده را ببرند.

## مراجع

- [1] Razavi, B. (2005). Design of analog CMOS integrated circuits. John Wiley & Sons
- [2] Baker, R. J. (2019). CMOS: circuit design, layout, and simulation. John Wiley & Sons
- [3] Allen, P. E., & Holberg, D. R. (2011). CMOS analog circuit design. Elsevier.
- [4] Sedra, A. S., & Smith, K. C. (2004). Transparency Acetates for Sedra/Smith Microelectronic Circuits. Oxford University Press.
- [5] Gray, P. R., Hurst, P. J., Lewis, S. H., & Meyer, R. G. (2009). Analysis and design of analog integrated circuits. John Wiley & Sons.
- [6] Pude, M., Macchietto, C., Singh, P., Burleson, J., & Mukund, P. R. (2007, December). Maximum intrinsic gain degradation in technology scaling. In *2007 International Semiconductor Device Research Symposium* (pp. 1-2). IEEE.
- [7] Palumbo, G., & Pennisi, S. (2002). Design methodology and advances in nested-Miller compensation. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 49(7), 893-903.
- [8] Yan, W., Kolm, R., & Zimmermann, H. (2008, May). Efficient four-stage frequency compensation for low-voltage amplifiers. In *2008 IEEE International Symposium on Circuits and Systems (ISCAS)* (pp. 2278-2281). IEEE.
- [9] Grasso, A. D., Palumbo, G., Pennisi, S., & Di Cataldo, G. (2014, December). High-performance frequency compensation topology for four-stage OTAs. In *2014 21st IEEE International Conference on Electronics, Circuits and Systems (ICECS)* (pp. 211-214). IEEE.
- [10] Grasso, A. D., Palumbo, G., & Pennisi, S. (2017). High-performance four-stage CMOS OTA suitable for large capacitive loads. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 62(10), 2476-2484.
- [11] You, F., Embabi, S. H., & Sanchez-Sinencio, E. (2002). Multistage amplifier topologies with nested G/sub m/-C compensation. *IEEE Journal of Solid-State Circuits*, 32(12), 2000-2011.
- [12] Thandri, B. K., & Silva-Martínez, J. (2003). A robust feedforward compensation scheme for multistage operational transconductance amplifiers with no Miller capacitors. *IEEE Journal of Solid-State Circuits*, 38(2), 237-243.
- [13] Biabanifard, S., Hosseini, S. M., Biabanifard, M., Asadi, S., & Yagoub, M. C. (2018). Multi stage OTA design: From matrix description to circuit realization. *Microelectronics journal*, 77, 49-65.
- [14] Mohan, C., & Furth, P. M. (2012). A 16- $\Omega$  Audio Amplifier With 93.8-mW Peak Load Power and 1.43-mW Quiescent Power Consumption. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 59(3), 133-137.
- [15] Yan, Z., Mak, P. I., Law, M. K., & Martins, R. P. (2013). A 0.016-mm<sup>2</sup> 144- $\mu$ W Three-Stage Amplifier Capable of Driving 1-to-15 nF Capacitive Load With  $> 0.95$ -MHz GBW. *IEEE journal of solid-state circuits*, 48(2), 527-540.

- comparator for three-stage amplifiers. *Analog Integrated Circuits and Signal Processing*, 98(3), 633-642.
- [46] Centurelli, F., Monsurrò, P., Scotti, G., Tommasino, P., & Trifiletti, A. (2020). An improved reversed miller compensation technique for three-stage CMOS OTAs with double pole-zero cancellation and almost single-pole frequency response. *International Journal of Circuit Theory and Applications*, 48(11), 1990-2005.
- [47] Kumar, S., & Sharma, R. K. (2024). A cross-coupled cascode feedback design of an area-efficient frequency compensated OTA. *Arabian Journal for Science and Engineering*, 49(5), 6305-6317.
- Systems II: Analog and Digital Signal Processing*, 48(4), 388-394.
- [31] Lee, H., & Mok, P. K. (2003). Active-feedback frequency-compensation technique for low-power multistage amplifiers. *IEEE Journal of Solid-State Circuits*, 38(3), 511-520.
- [32] Grasso, A. D., Palumbo, G., & Pennisi, S. (2007). Advances in reversed nested Miller compensation. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 54(7), 1459-1470.
- [33] Zhu, F., Yan, S., Hu, J., & Sánchez-Sinencio, E. (2005, May). Feedforward reversed nested Miller compensation techniques for three-stage amplifiers. In *2005 IEEE International Symposium on Circuits and Systems (ISCAS)* (pp. 2575-2578). IEEE.
- [34] Grasso, A. D., Palumbo, G., & Pennisi, S. (2006). Three-stage CMOS OTA for large capacitive loads with efficient frequency compensation scheme. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 53(10), 1044-1048.
- [35] Peng, X., & Sansen, W. (2004). AC boosting compensation scheme for low-power multistage amplifiers. *IEEE Journal of Solid-State Circuits*, 39(11), 2074-2079.
- [36] Cannizzaro, S. O., Grasso, A. D., Mita, R., Palumbo, G., & Pennisi, S. (2007). Design procedures for three-stage CMOS OTAs with nested-Miller compensation. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 54(5), 933-940.
- [37] Yan, Z., Mak, P. I., Law, M. K., & Martins, R. P. (2013). A 0.016-mm<sup>2</sup> 144- $\mu$ W Three-Stage Amplifier Capable of Driving 1-to-15 nF Capacitive Load With > 0.95-MHz GBW. *IEEE journal of solid-state circuits*, 48(2), 527-540.
- [38] Hosseini Largani, S. M., Shahsavari, S., Biabanifard, S., & Jalali, A. (2015). A new frequency compensation technique for three stages OTA by differential feedback path. *International Journal of Numerical Modelling: Electronic Networks, Devices and Fields*, 28(4), 381-388.
- [39] Grasso, A. D., Marano, D., Palumbo, G., & Pennisi, S. (2015). Design methodology of subthreshold three-stage CMOS OTAs suitable for ultra-low-power low-area and high driving capability. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 62(6), 1453-1462.
- [40] Golabi, S., & Yavari, M. (2015). A three-stage class AB operational amplifier with enhanced slew rate for switched-capacitor circuits. *Analog Integrated Circuits and Signal Processing*, 83(1), 111-118.
- [41] Cabrera-Bernal, E., Pennisi, S., Grasso, A. D., Torralba, A., & Carvajal, R. G. (2016). 0.7-V three-stage class-AB CMOS operational transconductance amplifier. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 63(11), 1807-1815.
- [42] Grasso, A. D., Marano, D., Palumbo, G., & Pennisi, S. (2017). High-performance three-stage single-Miller CMOS OTA with no upper limit of  $\{C\} - \{L\}$ . *IEEE Transactions on Circuits and Systems II: Express Briefs*, 65(11), 1529-1533.
- [43] Liu, S., Zhu, Z., Wang, J., Liu, L., & Yang, Y. (2018). A 1.2-V 2.41-GHz three-stage CMOS OTA with efficient frequency compensation technique. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 66(1), 20-30.
- [44] Biabanifard, S., Hosseini, S. M., Biabanifard, M., Asadi, S., & Yagoub, M. C. (2018). Multi stage OTA design: From matrix description to circuit realization. *Microelectronics journal*, 77, 49-65.
- [45] Zaherfekar, M., & Biabanifard, A. (2019). Improved reversed nested miller frequency compensation technique based on current