فصلنامه

پژوهش های نوین در مهندسی برق و الکترونیک هوایی

سال اول، شماره ۱، زمستان ۱۴۰۴

کنترل فازی نرخ‌بیت ویدئو در استاندارد HEVC چندنما ۱

(فرهاد رئوف‌مهر، عطیه حسینی، مهدی رضایی)

استفاده از ضریب وارونگی برای تفسیر مصالحه های عملکرد قطعات MOS در مدارات آنالوگ و RF به کمک مدل EKV ۱۱

(غلامرضا خادم‌وطن، علی جلالی)

طراحی و شبیه سازی سطوح یک دیپلکسر موج سطحی با استفاده از سطوح امپدانس تانسوری و لانچر CPW-Fed ۲۸

(مجتبی میقانی، رسول کرد)

الگوریتم جدید مسیریابی و تخصیص طیف در شبکه های نوری منعطف (R2EF) ۳۷

(یعقوب خراسانی)

کنترل فعال نویز در یک مجرا (تک کاناله) و در کابین خلبان (تک کاناله) با استفاده از فیلتر های تطبیقی ۴۵

(ابراهیم شفیعی و همکاران)

ارائه روشی نوین مبتنی برمنطق مد جریان به منظور بهبود سرعت و توان مصرفی در دروازه های منطقی ۶۰

(رضا مالمیر، محمد باقر غزنوی قوشچی)

فصلنامه علمی–پژوهشی

پژوهش‌های نوین در مهندسی برق و الکترونیک هوایی

جلد۱/شماره ۱/پاییز ۱۴۰۳

صاحب امتیاز: دانشگاه علوم و فنون هوایی شهید ستاری

مدیر مسئول: دکتر بهرنگ هادیان سیاهکل محله

سردبیر: دکتر جلیل مظلوم

مدیر اجرائی: دکتر غلامرضا سرلک

ویراستار فنی: دکتر محمدجواد رضائی

چاپ و صحافی: انتشارات دانشگاه علوم و فنون هوایی شهید ستاری

نشانی: تهران-میدان آزادی-مهرآباد جنوبی-انتهای خیابان شمشیری

کد پستی: ۱۳۸۴۶-۶۳۱۱۳

تلفکس: ۰۲۱-۶۶۱۹۳۵۳۹

نشانی تارنما: www.mreea.ir

نشانی پست الکترونیک mreea.sttari@gmail.com

دبیرخانه‌ی نشریه در ویرایش ادبی مطالب آزاد است.
مطالب ارائه شده لزوما نظر اعضاء هیئت تحریریه را منعکس نمی‌کند.

این نشریه در تارنماهای زیر نمایه می‌شود:

اعضاء هیئت تحریریه (به ترتیب حروف الفبا)

دکتر حمید رادمنش

دکتر سیدمحمدرضا موسوی میرکلائی

دکتر فرامرز حسین بابائی

دکتر گیورک باباملک قره‌پتیان

دکتر محمدحسین معیری

سخن سردبیر:

به نام خدا

خوانندگان محترم،

با افتخار و خرسندی، شماره جدید نشریه "پژوهش‌های نوین در مهندسی برق و الکترونیک هوایی" را به شما تقدیم می‌کنیم. این نشریه به عنوان یک منبع معتبر علمی، هدف خود را ترویج و انتشار دستاوردهای نوین و کاربردی در زمینه مهندسی برق و الکترونیک هوایی قرار داده است.

در این نشریه، مقالات منتخب از محققان و پژوهشگران برجسته ارائه شده است که به بررسی چالش‌ها و نوآوری‌های اخیر در این حوزه می‌پردازند. موضوعاتی از جمله طراحی و تحلیل سیستم‌های الکترونیکی و مخابراتی پیشرفته، فناوری‌های نوین در ناوبری هوایی و کاربردهای هوش مصنوعی در بهینه‌سازی عملکرد سیستم‌های الکترونیک هوایی به تفصیل مورد بررسی قرار می‌گیرند.

ما بر این باوریم که تبادل دانش و تجربیات میان پژوهشگران، کلید پیشرفت علمی و تکنولوژیکی است. لذا از شما دعوت می‌کنیم تا با ارائه نظرات و پیشنهادات خود، ما را در بهبود کیفیت نشریه یاری کنید.

امیدواریم مقالات این شماره، الهام‌بخش پژوهشگران و دانشجویان بوده و به ارتقاء سطح علمی و عملی در حوزه مهندسی برق و الکترونیک هوایی کمک نماید.

با احترام،

جلیل مظلوم

سردبیر نشریه "پژوهش‌های نوید در مهندسی برق و الکترونیک هوایی"

فهرست مقالات

کنترل فازی نرخ بیت ویدئو در استاندارد HEVC چندنما ۱
استفاده از ضریب وارونگی برای تفسیر مصالحه‌های عملکرد قطعات MOS در مدارات آنالوگ و RF به کمک مدل EKV ۱۱
طراحی وشبیه‌سازی یک دیپلکسر موج سطحی با استفاده از سطوح امپدانس تانسوری ولانچر CPW-Fed ۲۸
الگوریتم جدید مسیریابی و تخصیص طیف در شبکه های نوری منعطف (R^2EF) ۳۷
کنترل فعال نویز در یک مجرا (تک‌کاناله) و در کابین خلبان (چندکاناله) با استفاده از فیلترهای تطبیقی ۴۶
ارائه روشی نوین مبتنی بر منطق مد جریان به منظور بهبود سرعت و توان مصرفی دروازه‌های منطقی ۶۰

پژوهش‌های نوین در مهندسی برق و الکترونیک هوایی
شماره ۱، جلد ۱، زمستان ۱۴۰۴
https://www.mreea.ir

Fuzzy Bitrate Control for Multiview HEVC Video

Farhad Raufmehr[1*], Atiyeh Hosseini[1], Mehdi Rezaei[1]

Department of Electrical and Computer Engineering, University of Sistan and Baluchestan, Zahedan, Iran

[*] farhad.raufmehr@gmail.com

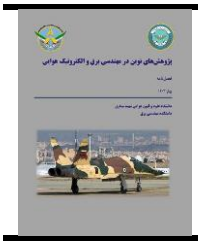
(Recived times: ۲۰۲٤/Jun/۲۷, Accept time: ۲۰۲٤/Sep/۰۸)

Abstract

Digital images and videos are among the signals exchanged in digital aerial communication systems. However, bandwidth limitations and buffer size constraints are among the challenges in transmitting this category of signals. To address this, a tool called a Bitrate Controller is used. This paper proposes a Fuzzy Bitrate Controller (FRC) for the MV-HEVC standard. The FRC utilizes separate virtual buffers for each view to enforce bitstream buffering constraints. This method controls the bitrate of all views by adjusting the Quantization Parameter (QP) at the Group-of-Pictures (GOP) level. The proposed controller prevents unnecessary QP fluctuations, as this factor directly impacts the stability of the perceptual quality of the reconstructed video. Finally, the aforementioned controller was implemented and tested in the standard reference software. Experimental results prove that the proposed controller achieves the target bitrate with ۹۹,۱۰٪ accuracy and adheres to the buffer constraints. Furthermore, the rate-distortion performance of the FRC is only ۰,۰۱ dB worse than the fixed quantization parameter encoding method.

Keyword: *Bit rate, Control, Fuzzy, Multiview, Video, Standard MV-HEC*

دانشگاه علوم و فنون هوایی شهید ستاری
پژوهش‌های نوین در مهندسی برق و الکترونیک هوایی
https://www.mreea.ir



کنترل فازی نرخ بیت ویدئو در استاندارد HEVC چندنما

فرهاد رئوف‌مهر*[۱]، عطیه حسینی[۱]، مهدی رضائی[۱]

[۱]دانشکده مهندسی برق و کامپیوتر، دانشگاه سیستان و بلوچستان، زاهدان، ایران
farhad.raufmehr@gmail.com *

(تاریخ ارسال مقاله: ۱۴۰۳/۰۴/۰۷ تاریخ پذیرش مقاله: ۱۴۰۳/۰۶/۱۸)

واژگان کلیدی

نرخ بیت
کنترل
فازی
چندنما
ویدئو
استاندارد MV-HEVC

چکیده

تصاویر و ویدئوی دیجیتال، از جمله سیگنال‌های مورد مبادله در سامانه‌های ارتباطی دیجیتال هوایی می‌باشند. اما، محدودیت پهنای باند و حجم بافر، از جمله چالش‌های انتقال این دسته از سیگنال‌ها است، که برای مقابله با آن از ابزاری به نام کنترل کننده‌ی نرخ بیت استفاده می‌شود. در این مقاله، یک کنترل کننده‌ی فازی نرخ بیت (FRC) ویدئو برای استاندارد MV-HEVC پیشنهاد شده است. FRC به منظور اعمال محدودیت‌های بافرسازی رشته بیت، از بافرهای مجازی جداگانه برای هر یک از نماها بهره می‌گیرد. این روش، نرخ بیت همه‌ی نماها را از طریق تنظیم پارامتر کمی‌سازی (QP) در سطح گروه-تصویر (GOP) کنترل می‌کند. کنترل کننده‌ی پیشنهادی از نوسانات غیرضروری QP جلوگیری می‌کند زیرا این عامل، تأثیر مستقیم بر روی پایداری کیفیت ادراکی ویدئوی بازسازی شده دارد. در نهایت کنترل کننده‌ی مذکور در نرم‌افزار مرجع استاندار پیاده‌سازی و مورد آزمایش قرار گرفته است. نتایج آزمایشات ثابت می‌کنند که کنترل کننده‌ی پیشنهادی با دقت ۹۹/۱۰ درصد به نرخ بیت هدف دست یافته و محدودیت‌های بافر را رعایت می‌کند. علاوه بر این، عملکرد نرخ-اعوجاج FRC تنها ۰/۰۱dB با روش کدگذاری توسط پارامتر کمی‌سازی ثابت اختلاف دارد.

۱- مقدمه

برداشت ویدئوهای چندنما، نسل جدیدی از خدمات چندرسانه‌ای را فراهم آورده که یک تجربه سه‌بعدی واقع‌گرایانه را برای تماشاگران خلق می‌کنند. از جمله‌ی این خدمات می‌توان به ویدئوهای سه‌بعدی، ویدئوهای با نقطه‌ی دید آزاد، همایش تصویری سه‌بعدی و مواردی از این قبیل اشاره نمود. این قبیل از سیگنال‌های ویدئویی، حجم عظیمی از داده را تولید می‌کنند. این پدیده از افزونگی‌های مکانی و زمانی نشأت می‌گیرد. از این رو، فشرده‌سازی ویدئوهای چندنما از طریق بهره‌گیری از افزونگی‌های مذکور به عنوان یک راه‌حل مناسب جهت تحقق محتوای سه‌بعدی معرفی شده است. MV-HEVC[۱] یک استاندارد فشرده‌سازی پیشرفته برای ویدئوهای چندنما می‌باشد [۱]. این استلندارد به دلیل بهره‌گیری از مراجع بین نمایی در تخمین حرکت، بازده‌ی فشرده‌سازی بالاتری نسبت به استاندارد تک‌نما دارد. اما انتقال ویدئوهای چندنما همچنان یک چالش بزرگ در مسیر خدماتی است که با محدودیت‌های از جمله پهنای باند و تأخیر بافرسازی مواجه‌اند. از این رو، طراحی یک الگوریتم کنترل نرخ بیت (RCA)[۲] متناسب با محدودیت‌های نامبرده ضروری می‌باشد. طراحی این الگوریتم باید به گونه‌ای باشد که بتواند ضمن انطباق بر محدودیت‌های بافر سازی و پهنای باند، بین بازده‌ی فشرده سازی و کیفیت ویدئو یک مصالحه برقرار سازد. کاربردهای ویدئو از منظر تأخیر قابل تحمل توسط کاربر به دو دسته‌ی کاربردهای با

۱. Multi View-High Efficiency Video Coding (MV-HEVC)

۲. Rate Control Algorithm (RCA)

تأخیر کم و کاربردهای با تأخیر زیاد تق سیم می شوند. کاربردهای با تأخیر کم نظیر مکالمه‌ی ت صویری نیازمند یک ویدئو با نرخ بیت ثابت (CBR)[۱] می‌باشند به نحوی که نرخ بیت میانگین در کوتاه مدت ثابت باشد. در مقابل در کاربردهای با تأخیر زیاد مانند جاری سازی و پخش، به ویدئو با نرخ بیت متغیر (VBR)[۲] نیاز ا ست به طوری که نرخ بیت میانگین در بلند مدت ثابت با شد. به بیانی دیگر، در کاربردهای با تأخیر زیاد، نو سانات کوتاه مدت نرخ بیت قابل پذیرش ا ست. در حالت کلی، ویدئوهای VBR از کیفیت ادراکی بهتر و بازده‌ی ف شرده سازی بالاتری ن سبت به ویدئوهای CBR برخوردارند [۲].

در کنترل کننده‌های مرسوم ابتدا یک فرایند تخصیص بیت اجرا می‌شود. در این فرایند براساس محدودیت‌های عملی و ویژگی‌های ویدئو، تعداد بیت‌های مورد نیاز را برای هر بخش از ویدئو نظیر گروه ت صویر (GOP)[۳]، فریم[۴] و واحدهای پایه (BU)[۵] محا سبه می‌کند. سپس، پارامتر کمی سازی (QP)[۶] بر ا ساس تعداد بیت‌های تخ صیص یافته و پیچیدگی کدگذاری محا سبه می شود. معمولا برای انجام مراحل نامبرده از یک مدل نرخ-اعوجاج (RD)[۷] ا ستفاده می شود. پارامترهای مدل نرخ-اعوجاج برا ساس نتایج کدگذاری به‌روزرسانی می‌شوند.

تاکنون کنترل کننده‌های متعددی برای ا ستاندارد HEVC پی شنهاد شده ا ست. اغلب این کنترل کننده‌ها متنا سب با کاربردهای با نرخ بیت ثابت طراحی شده و از مدل نرخ-اعو جاج بهره می‌بر ند [۳]. ابتدایی‌ترین کنترل‌کننده‌ها برا ساس مدل نرخ-پارامتر کمی سازی (R-Q)[۸] طراحی شده‌اند [۳]. به عنوان مثال، در مرجع [۴] از یک مدل R-Q تربیعی استفاده شده ا ست که بعدها مرحله‌ی تخ صیص بیت آن تو سط یک کنترل‌کننده‌ی فازی در مرجع [۵] ا صلاح گردید. همچنین نمونه‌هایی از کنترل کننده‌های فازی-PID[۹] مجهز به مدل R-Q وجود دارد. علاوه بر موارد فوق، از مدل‌های R-Q لاپلا سین [۶] و نمائی [۷] نیز در طراحی کنترل کننده‌ها بهره گرفته شده ا ست. نرخ-ρ (R-ρ)[۱۰] مدلی دیگر ا ست که در طراحی کنترل کننده‌ی نرخ بیت کاربرد دارد [۳]. ρ، تعداد ضرایب تبدیل کمی شده‌ی غیرصفر را نشان می‌دهد [۳]. از جمله کاربردهای مدل R-ρ می‌توان به ا ستفاده از نوع خطی آن در ا ستاندارد HEVC [۹] و نوع تربیعی آن در ا ستاندارد MV-HEVC ا شاره نمود [۱۰]. اما موفق‌ترین مدل تا به امروز نرخ-λ (R-λ)[۱۱] می‌باشد [۳]. λ شیب خط مماس بر منحنی RD را نشان می‌دهد[۳]. این مدل برای اولین بار تو سط مرجع [۱۱] ارائه و بکارگیری شد. پس از آن، سایر پژوهش‌گران با انجام ا صلاحاتی در مرحله‌ی تخ صیص بیت و نحوه‌ی مدل‌سازی اعوجاج، سعی در ارتقاء عملکرد این روش داشته‌اند. از جمله‌ی ا صلاحات صورت گرفته در مرحله‌ی تخ صیص بیت می‌توان به لحاظ کردن نواحی حرکت [۱۲]، پیچیدگی زمینه و تمرکز انرژی [۱۳] و اطلا عات م کان-ز مان [۱۴] ا شاره کرد. همچنین، می‌توان برای بهبود مدل سازی اعوجاج، از معیارهای ادراکی نظیر شاخص ت شابه ساختاری (SSIM)[۱۲] [۱۵، ۱۶] و اعو جاج قابل درک (JND)[۱۳] [۱۷، ۱۸] بهره گرفت. یادگیری ما شین یک ترفند توان‌مند ا ست که امروزه کاربرد گسترده‌ای در پردازش ویدئو دارد [۱۹]. از این رو می‌توان از یادگیری ماشین برای ا ستخراج ویژگی‌های ت صویر [۲۰، ۲۱] و تخمین دقیق RD [۲۲، ۲۳] بهره گرفت. با توجه به اینکه تخمین بین فریمی[۱۴] منجربه انت شار اعوجاج بر روی کل رشته‌ی ویدئویی می‌شود، عده‌ای از پژوهشگران اقدام به مدل‌سازی وابستگی کیفیت نموده تا از انت شار اعوجاج در حین فرایند کنترل جلوگیری شود [۲۴، ۲۵]. در مرجع [۲۶] پژوه شگران تواند ستند با در نظر گرفتن واریانس خطای کنترل در ضابطه‌ی کنترل، مقدار واریانس خطا را کاهش بدهند. ضمنا، از مدل R-λ برای کنترل نرخ بیت سیگنال‌های ویدئویی ویژه‌ای نظیر ۳۶۰° [۲۷، ۲۸]، نقطه ابری[۱۵] [۲۹]، محتوی صفحه[۱۶] [۳۰]، مقیاس‌پذیر[۱۷] [۳۱] و سه‌بعدی[۱۸] [۳۲] نیز ا ستفاده شده ا ست. نمامی روش‌هایی که تاکنون مورد برر سی قرار گرفته‌اند، برای کنترل نرخ بیت کاربردهای VBR منا سب‌اند. برای اولین بار در یک پژوهش ایده کنترل نیمه‌فازی نرخ بیت بر روی ا ستاندارد H.۲٦٤/AVC پی شنهاد گردید [۲]. با الهام گرفتن از این طرح، کنترل کننده‌های متنا سب با کاربردهای VBR ا ستاندارد HEVC ارائه گردید که قادرند نو سانات نرخ بیت را در سطح

۱. Constant Bit Rate (CBR)
۲. Variable Bit Rate (VBR)
۳. Group of Picture (GOP)
۴. Frame
۵. Basic Unit (BU)
۶. Quantization Parameter (QP)
۷. Rate-Distortion (RD)
۸. Rate-Quantization (R-Q)
۹. Proportional Integral Derivative (PID)
۱۰. Rate-ρ (R-ρ)
۱۱. Rate-λ (R-λ)
۱۲. Structural SIMilarity index (SSIM)
۱۳. Just Noticeable Distortion (JND)
۱۴. Inter-frame
۱۵. Cloud-point
۱۶. Screen Content
۱۷. Scalable
۱۸. ۳-Dimentional (۳D)

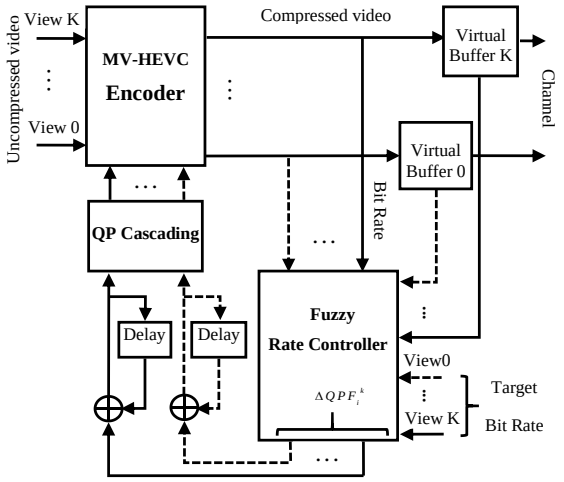
GOP [۳۳] و فریم [۳۴] سرکوب نمایند. نوع ارتقاء یافته‌ی این طرح نیز در مرجع [۳۵] به صورت یک کنترل کننده‌ی فازی-PID ارائه گردید. لازم به ذکر است که در برخی از مراجع کنترل کننده‌های فازی برای ویدئوهای مقیاس‌پذیر پیشنهاد شده است [۳۶، ۳۷]. الگوریتم‌های پیشنهاد شده در مراجع [۲، ۳۷-۳۳] عملیات کنترل را در یک گذر[۱] انجام می‌دهند. نوع ویژه‌ای از کنترل کننده‌های VBR وجود دارند که عملیات کنترل را در دو گذر اجرا می‌کنند که برای کاربردهای غیربلادرنگ[۲] مناسبند [۴۰-۳۸]. VVC[۳] به‌روزترین استاندارد فشرده‌سازی ویدئو می‌باشد که در سال ۲۰۲۰ نسخه‌ی نهایی آن منتشر گردید [۴۱، ۴۲]. برای کاربردهای CBR و VBR این استاندارد، به ترتیب کنترل کننده‌هایی در مراجع [۴۵-۴۳] و [۴۷-۴۶] ارائه شده است. اغلب روش‌ها [۹-۴، ۳۱-۱۱، ۴۰-۳۳، ۴۷-۴۳] برای کدگذاری ویدئوهای تک‌نما کاربرد داشته و لذا به ویدئوهای چندنما قابل تعمیم نمی‌باشند. تا به امروز تعداد محدودی کنترل کننده‌ی نرخ بیت نیز مختص استاندارد MV-HEVC پیشنهاد شده‌اند. به عنوان مثال مقاله [۴۹]، کنترل کننده‌ی تک‌نما را در استاندارد MV-HEVC پیاده سازی کرده و ضمن تخمین میانگین تفاضل مطلق (MAD)[۴] بین‌نمایی، اقدام به کنترل دقیق نرخ بیت نماهای جانبی نموده است. در مرجع [۵۰]، یک الگوریتم تخصیص بیت سطح فریم ارائه گردید. این الگوریتم براساس یک مدل نرخ-اعوجاج بازگشتی می‌باشد که از ویژگی‌های ویدئو و وابستگی‌های زمانی و بین‌نمایی بهره می‌برد. یک الگوریتم تخصیص بیت سطح فریم دیگر توسط مرجع [۵۱] برای MV-HEVC پیشنهاد گردید که مبنای محاسبات آن وابستگی‌های بین‌نمایی است. در این الگوریتم از اعوجاج نماهای مرجع جهت مدل سازی نرخ-اعوجاج تصاویر در نماهای غیرمرجع استفاده می شود. سپس با بکارگیری این مدل نرخ-اعوجاج، تخصیص بیت بین‌نمایی به صورت یک مسئله‌ی بهینه سازی تعریف شده و در نهایت به روش ضرایب لاگرانژ حل می شود. روش‌های اشاره شده برای کاربردهای با نرخ بیت ثابت مناسب بوده و قابلیت پاسخ‌گویی به نیازمندی‌ها و بهره‌گیری از امکانات در کاربردهای با نرخ بیت متغیر را ندارند.

در این مقاله، یک الگوریتم کنترل نرخ بیت برای استاندارد MV-HEVC ارائه شده است. این الگوریتم با الهام گرفتن از مرجع [۲] طراحی شده و برای کاربردهای با نرخ بیت متغیر مناسب می‌باشد. الگوریتم پیشنهادی از یک کنترل کننده‌ی فازی برای تعیین پارامتر کمی سازی تحت محدودیت‌های بافر و پهنای باند استفاده می‌کند. الگوریتم پیشنهادی با جلوگیری از نوسانات غیر ضروری پارامتر کمی سازی، نوسانات کیفیت را به حداقل رسانده و کیفیت ادراکی پایداری فراهم می‌آورد. کنترل کننده‌ی فازی پیشنهادی (FRC)[۵] در نرم‌افزار مرجع استاندارد پیاده سازی شده و مورد آزمایش قرار گرفته است. نتایج آزمایشات با روش کدگذاری توسط پارامتر کمی سازی ثابت، مقایسه شده است. نتایج نشان می‌دهند روش پیشنهادی نرخ بیت تمامی نماها را کنترل کرده و از محدودیت های بافر سازی پیروی می‌کند. همچنین، این کنترل کننده عملکرد نرخ-اعوجاج مشابه با روش کدگذاری با پارامتر کمی‌سازی ثابت (CQP)[۶] دارد.

ادامه‌ی این مقاله بدین صورت مرتب شده است: بخش ۲ به جزئیات کنترل کننده‌ی پیشنهادی اختصاص داده شده است. بخش ۳ به بررسی نتایج پیاده سازی می‌پردازد. و در نهایت نتیجه‌گیری از مطالب این پژوهش در بخش ۴ آورده شده است.

۲- کنترل کننده‌ی نرخ بیت فازی پیشنهادی

در این الگوریتم، کنترل نرخ بیت از طریق تنظیم پارامتر کمی سازی در سطح گروه تصویر انجام می شود. نمودار بلوکی روش پیشنهادی در شکل (۱) نمایش داده شده است.



شکل (۱): نمودار بلوکی کنترل کننده‌ی نرخ بیت پیشنهادی

اجزاء اصلی سیستم کنترلی پیشنهادی عبارتند از: ۱- کنترل کننده‌ی فازی و ۲- تعدادی بافر مجازی متناظر با هر نما. بافر مجازی برای اعمال محدودیت-های بافر و تأخیر کدگشا بر روی رشته بیت کاربرد دارد. یک سیستم فازی

۱. Pass

۲. Non-real-time

۳. Versatile Video Coding (VVC)

۴. Mean Absolute Difference (MAD)

۵. Fuzzy Rate Controller

۶. Constant QP (CQP)

نیز نرخ بیت ویدئوی را متناسب با دو سیگنال بازخورد[۱] دریافتی از حجم مصرفی بافر و نرخ بیت تولیدی، کنترل می‌کند.

فرایند محاسبه‌ی پارامتر کمی‌سازی براساس پدیده‌ی تشابه تصاویر پی‌درپی درون یک ویدئو انجام می‌شود. در ابتدا، پارامتر کمی‌سازی پایه گروه تصویر ماقبل به عنوان تخمین برای گروه تصویر کنونی مورد استفاده قرار می‌گیرد. سپس کنترل کننده‌ی فازی، میزان تغییرات پارامتر کمی‌سازی پایه را تعیین می‌کند. و در نهایت پارامتر کمی‌سازی پایه هر گروه تصویر براساس رابطه (۱) محاسبه می‌شود:

$$BaseQP_i^{\,k} = BaseQP_{i-1}^{\,K} + \Delta QPF_i^{\,k} \qquad (۱)$$

در رابطه‌ی (۱)، $BaseQP_i^{\,k}$ پارامتر کمی‌سازی پایه‌ی گروه تصویر iام مستقر در kامین نما می‌باشد. $\Delta QPF_i^{\,k}$ خروجی کنترل کننده‌ی فازی که تعیین کننده‌ی میزان تغییرات پارامتر کمی‌سازی است را نشان می‌دهد. در این مقاله به منظور جلوگیری از تجاوز از حدود بافر، ۰/۱۵ درصد و ۰/۸۵ درصد از حجم بافر به عنوان آستانه در نظر گرفته شده است. در مواقعی که مصرف بافر به آستانه پایین می‌رسد، مقدار پارامتر کمی‌سازی یک واحد آفست اضافه می‌شود. همچنین، زمانی که مصرف بافر به آستانه‌ی بالا می‌رسد، از مقدار پارامتر کمی‌سازی یک واحد آفست کاسته می‌شود. عمل افزودن و یا کاستن از پارامتر کمی‌سازی تنها یک مرتبه در هر گروه تصویر مجاز می‌باشد. در نهایت، پارامتر کمی‌سازی هر فریم، براساس نوع آن فریم و لایه‌ی زمانی[۲] که در آن مستقر است، توسط ترفند پارامتر کمی‌سازی آبشاری[۳] محاسبه می‌شود. جزئیات بیشتری از اجزاء اصلی کنترل کننده‌ی پیشنهادی در بخش‌های بعدی آورده شده است.

۲-۱- بافر مجازی

در این مقاله، به منظور کنترل مستقل نرخ بیت هر نما، از یک بافر مجازی مختص همان نما استفاده می‌شود. بافرهای مجازی وظیفه‌ی شبیه‌سازی فرایند بافرسازی در سمت کدگشا را بر عهده دارند. حجم اشغال شده‌ی هر بافر پس از کدگذاری هر فریم توسط طبق رابطه‌ی (۲) به‌روزرسانی می‌گردد:

$$O_B^{\,k}(i+1) = O_B^{\,k}(i) + (R_T^{\,k}/F) - B^{\,k}(i) \qquad (۲)$$

در رابطه‌ی (۲)، $O_B^{\,k}(i)$ میزان پر بودن بافر قبل از کدگذاری $i+1$امین فریم مستقر در kامین نما را نشان می‌دهد. $B^{\,k}(i)$ تعداد کل بیت‌های هزینه شده جهت کدگذاری iامین فریم از نمای kام را نمایش می‌دهد. $R_T^{\,k}$ و F به ترتیب نمادهای نرخ بیت هدف[۴] نمای kام و نرخ فریم[۵] می‌باشند. لازم به ذکر است که اندازه بافرهای مجازی براساس تأخیر اولیه‌ی بافرسازی قابل تحمل توسط کاربر تعیین می‌شود. در ابتدای فرایند کدگذاری فرض می‌کنیم که ۶۰ درصد از کل ظرفیت بافر مصرف شده است. بنابراین، تأخیر اولیه‌ی بافرسازی توسط رابطه‌ی (۳) محاسبه می‌شود:

$$Delay^{\,k} = \frac{0.6 \times \left(O_{B_{\max}}^{\,k} - O_{B_{\min}}^{\,k}\right)}{R_T^{\,k}} \qquad (۳)$$

در رابطه‌ی (۳)، $O_{B_{\min}}^{\,k}$ و $O_{B_{\max}}^{\,k}$ به ترتیب حداکثر و حداقل میزان پری بافر در نمای kام را نشان می‌دهند.

۲-۲- کنترل کننده‌ی فازی

کنترل کننده‌ی فازی، تغییرات پارامتر کمی‌سازی در هر گروه تصویر را براساس دو سیگنال بازخورد تعیین می‌کند. این دو سیگنال بازخورد عبارتند از بیت‌های مصرفی GOP قبلی و میزان حجم اشغال شده‌ی بافر پس از کدگذاری GOP قبلی در هر نما. به منظور همسان‌سازی مقیاس، سیگنال‌های بازخورد دریافتی نرمالیزه[۶] می‌شوند. سیگنال بازخورد بافر با تقسیم بر اندازه بافر بهنجار می‌شود. همچنین، بهنجارسازی بازخورد دریافتی از تعداد بیت‌های مصرفی با تقسیم بر تعداد بیت هدف انجام می‌شود. بهنجارسازی سیگنال‌های بازخورد توسط روابط (۴) و (۵) صورت می‌گیرد:

$$x_1 = O_B^{\,k} / S_B^{\,k} \qquad (۴)$$

$$x_2 = \frac{B_{GOP}^{\,k}}{TR_{GOP}^{\,k}} \qquad (۵)$$

$S_B^{\,k}$ در رابطه‌ی (۴) اندازه‌ی بافر را نشان می‌دهد. تعداد بیت‌های مصرف شده توسط گروه تصویر ماقبل مستقر در kامین نما توسط $B_{GOP}^{\,k}$ مشخص شده است. $TR_{GOP}^{\,k}$ نیز تعداد بیت هدف برای گروه تصویرهای نمای kام را مشخص می‌کند. رابطه‌ی (۶)، نحوه‌ی محاسبه‌ی تعداد بیت هدف را نشان می‌دهد:

$$TR_{GOP}^{\,k} = \frac{GOP_{Size} \times R_T^{\,k}}{F} \qquad (۶)$$

GOP_{Size} نماد تعداد فریم‌های گروه تصویر می‌باشد.

---

۱. Feedback

۲. Temporal Layer

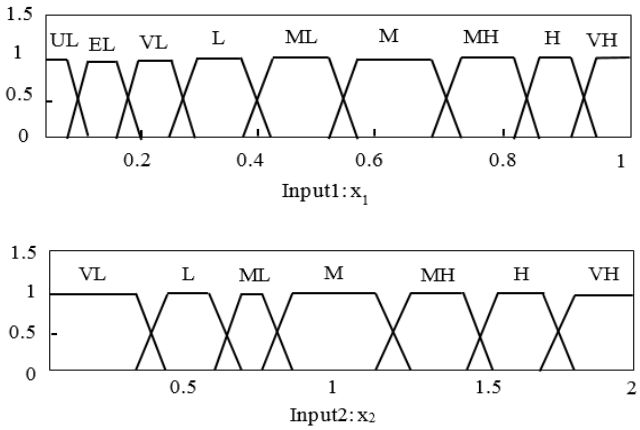
۳. QP cascading technique

۴. Target bit rate

۵. Frame rate

۶. Normalize

سیگنال‌های ورودی با توجه به توابع عضویت فازی (MSFs)[۱] به مجموعه‌های فازی ورودی نگاشته می‌شوند. چنان‌که شکل (۲) نشان می‌دهد، برای ورودی اول و دوم به ترتیب به تعداد ۹ و ۷ تابع عضویت فازی ذوزنقه‌ای در نظر گرفته شده است.



شکل (۲): توابع عضویت فازی ورودی‌های سیستم فازی

سپس، خروجی‌های سیستم فازی از طریق نگاشت مجموعه‌های فازی ورودی براساس قوانین فازی بدست می‌آیند. در نهایت، خروجی‌های سیستم فازی به مقادیر حقیقی نگاشته می‌شوند. کنترل کننده‌ی فازی به منظور فراهم آوردن کیفیت ادراکی پایدار، از نوسانات غیرضروری پارامتر کمی‌سازی جلوگیری می‌کند. تمامی قوانین فازی کنترل کننده‌ی پیشنهادی در جدول (۱) آورده شده است:

جدول (۱): قوانین فازی برحسب متغیرهای زبانی

x_2^k \ x_1^k	UL	EL	VL	L	ML	M	MH	H	VH
VH	AH	AH	AH	UH	EH	VH	H	MH	M
H	AH	AH	UH	EH	VH	H	MH	M	ML
MH	AH	UH	EH	VH	H	MH	M	ML	L
M	UH	EH	VH	H	MH	M	ML	L	VL
ML	EH	VH	H	MH	M	ML	L	VL	EL
L	VH	H	MH	M	ML	L	VL	EL	UL
VL	H	MH	M	ML	L	VL	EL	UL	AL

در جدول (۱) حروف L، M و H به ترتیب نماد «کم»، «متوسط» و «زیاد» می‌باشند. علاوه بر این، قیود زبانی تو سط حروف V، E، U و A م شخص شده‌اند که به ترتیب نماد «بسیار»، «اضافی»، «فرا» و «مطلق» می‌باشند.

در طراحی کنترل کننده‌ی پیشنهادی از یک فازی‌ساز منفرد[۲]، غیرفازی‌ساز میانگین مراکز[۳] و موتور استنتاج فازی حاصل‌ضرب[۴] استفاده شده است. در نتیجه، خروجی کنترل کننده‌ی فازی طبق رابطه‌ی (۷) محاسبه می‌شود[۵۲]:

$$f^k(x_1^k, x_2^k) = \frac{\sum_{i_1=1}^{N_1}\sum_{i_2=1}^{N_2} \overline{y}^{i_1 i_2} \mu_{A_1^{i_1}}(x_1^k)\cdot\mu_{A_2^{i_2}}(x_2^k)}{\sum_{i_1=1}^{N_1}\sum_{i_2=1}^{N_2} \mu_{A_1^{i_1}}(x_1^k)\cdot\mu_{A_2^{i_2}}(x_2^k)} \quad (۷)$$

در رابطه‌ی (۷)، $f^k(x_1^k, x_2^k)$ خروجی سیستم فازی برای نمای kام را نشان می‌دهد. مجموعه‌های فازی ورودی‌ها توسط نماد $\{A_i^1, A_i^2, \ldots, A_i^{N_i}\}_{i=1,2}$ مشخص شده‌اند. علاوه بر این، $\{\mu_{A_1^{i_1}}(x_1)\}_{1\le i_1\le N_1}$ و $\{\mu_{A_1^{i_2}}(x_2)\}_{1\le i_2\le N_2}$ به ترتیب توابع تعلق فازی برای سیگنال‌های ورودی x_1 و x_2 را مشخص می‌کنند. $\overline{y}^{i_1 i_2}$ نماد مقادیر مرکزی مطلوب خروجی[۵] سیستم فازی می‌باشد. جدول (۲)، مقادیر مرکزی مطلوب [۵۲] متناظر با جدول (۱) را نشان می‌دهد:

جدول (۲): مقادیر مرکزی متناظر با قوانین فازی

x_2^k \ x_1^k	UL	EL	VL	L	ML	M	MH	H	VH
VH	۶	۶	۶	۵	۴	۳	۲	۱	۰
H	۶	۶	۵	۴	۳	۲	۱	۰	-۱
MH	۶	۵	۴	۳	۲	۱	۰	-۱	-۲
M	۵	۴	۳	۲	۱	۰	-۱	-۲	-۳
ML	۴	۳	۲	۱	۰	-۱	-۲	-۳	-۴
L	۳	۲	۱	۰	-۱	-۲	-۳	-۴	-۵
VL	۲	۱	۰	-۱	-۲	-۳	-۴	-۵	-۶

لازم به ذکر است توابع تعلق فازی و مقادیر مرکزی مطلوب، با توجه به نتایج آزمایشات و همچنین به‌کارگیری تجربیات فرد خبره، تعیین شده‌اند.

شدت کنترل باید با محدودیت‌های بافر و محتوای ویدئوهای مختلف متناسب باشد. بدین منظور، خروجی کنترل کننده‌ی فازی در یک بهره‌ی ثابت مطابق رابطه‌ی (۸) ضرب می‌شود:

$$\Delta QPF_i^k = G_F^k \times f^k(x_1^k, x_2^k) \quad (۸)$$

۱. Membership Functions (MSFs)

۲. Singleton fuzzifier

۳. Center average deffuzifier

۴. Product inference engine

۵. Central desired value

در رابطه‌ی (۸)، G_F نماد بهره‌ی کنترل کننده می‌باشد که در بازه‌ی (۰/۵،۱) تنظیم می‌شود. این بازه به صورت تجربی بدست آمده است. در مواردی که زمینه‌ی ویدئو پیچیده و یا شدت حرکت در ویدئو تند باشد، بهتر است که تغییرات QP با خروجی سیستم فازی برابر باشد. در غیر این صورت می‌توان شدت کنترل را اندکی کاهش داد.

۳- نتایج آزمایشگاهی

کنترل کننده‌ی پیشنهادی این مقاله (FRC) در نرم‌افزار مرجع استاندارد HEVC چندنما (موسوم به HTM-۱۶.۰) پیاده‌سازی شده و مورد آزمایش قرار گرفته است. در این آزمایشات، روش پیشنهادی با روش کدگذاری با پارامتر کمی سازی ثابت (CQP) مقایسه شده است. ذکر این نکته ضروری است که CQP یک روش بدون کنترل بوده و ممکن است محدودیت‌های بافر را رعایت نکند. دلیل انتخاب CQP برای مقایسه این است که این روش از کیفیت ادراکی بالایی بهره می‌برد. تمامی آزمایشات با کدگذاری ۳ نما از هر ویدئو تحت پیکربندی دستیابی تصادفی[1] انجام شده‌اند. ویدئوهای مورد استفاده در فرایند آزمایشات این بخش مطابق مندرجات جدول (۳) می‌باشد.

جدول (۳) نام و ویژگی‌های ویدئوهای مورد استفاده در آزمایشات

ردیف	نام ویدئو	ابعاد	نرخ فریم	تعداد فریم
۱	Undo-Dancer	۱۹۲۰x۱۰۸۸	۲۵	۲۵۰
۲	GT-Fly	۱۹۲۰x۱۰۸۸	۲۵	۲۵۰
۳	Balloons	۱۰۲۴x۷۶۸	۳۰	۵۰۰
۴	Newspaper	۱۰۲۴x۷۶۸	۳۰	۳۰۰

در ابتدا تمامی ویدئوهای مندرج در جدول (۳) به روش CQP و با بکارگیری چهار پارامتر کمی‌سازی شامل (۳۵، ۳۰، ۲۵، ۲۰) کدگذاری شده‌اند. سپس نرخ بیت حاصل از کدگذاری هر نما از ویدئوهای نامبرده، به عنوان نرخ بیت هدف در الگوریتم FRC تنظیم شده است. لازم به ذکر است که از تنظیمات پیش‌فرض استاندارد برای سایر پارامترهای کدگذاری استفاده شده است. تصاویر نوع-I[2] تنها در نمای پایه استفاده می‌شوند. به همین دلیل، اندازه‌ی بافر مورد استفاده در نمای پایه[3]، ۱/۵ برابر نرخ بیت هدف در نظر گرفته شده است. اما در سایر نماها حجم بافر برابر با نرخ بیت هدف انتخاب شده است. بهره‌ی کنترل کننده‌ی فازی برابر با ۰/۶۵ تنظیم شده است.

در جدول (۴) نتایج کدگذاری توسط دو الگوریتم FRC و CQP آورده شده است. در این جدول، الگوریتم‌های از نظر میانگین پارامتر کمی‌سازی، میانگین کیفیت مؤلفه‌ی شدت روشنایی بر حسب حداکثر نسبت سیگنال به نویز (PSNR)[4] مقایسه شده‌اند. علاوه بر این از معیار گرادیان مطلق میانگین

جدول (۴) نتایج مقایسه‌ی عددی روش پیشنهادی و کدگذاری با پارامتر کمی‌سازی ثابت

نام ویدئو	شماره نما	نام الگوریتم	میانگین QP	کیفیت PSNR		تأخیر (S)	نرخ بیت (kbps)
				میانگین (dB)	نوسانات (dB)		
Undo-Dancer	۰	CQP	۲۸/۰۸	۳۸/۸۰	۱/۳۶	۰/۲۹	۴۶۲۹/۴
		FRC	۲۸/۲۱	۳۸/۸۹	۱/۴۰	۰/۳۳	۴۶۸۵/۶
	۱	CQP	۳۱/۰۸	۳۷/۹۴	۱/۰۶	۰/۲۲	۱۰۵۱/۲
		FRC	۳۱/۱۱	۳۸/۰۱	۱/۰۸	۰/۲۴	۱۰۵۶/۲
	۲	CQP	۳۱/۰۸	۳۸/۱۱	۱/۱۰	۰/۲۲	۱۰۰۰/۵
		FRC	۳۱/۰۸	۳۸/۱۹	۱/۱۳	۰/۲۳	۱۰۱۵/۲
GT-Fly	۰	CQP	۲۸/۰۸	۴۰/۲۵	۱/۳۵	۰/۸۵	۳۶۹۹/۷
		FRC	۲۸/۰۵	۴۰/۱۸	۱/۳۷	۰/۴۰	۳۷۵۸/۳
	۱	CQP	۳۱/۰۸	۳۹/۶۵	۱/۲۱	۰/۷۷	۶۶۴/۱
		FRC	۳۱/۰۹	۳۹/۵۵	۱/۲۰	۰/۳۶	۶۶۴/۹
	۲	CQP	۳۱/۰۸	۳۹/۶۲	۱/۲۲	۰/۷۴	۶۸۴/۱
		FRC	۳۱/۱۲	۳۹/۵۱	۱/۲۲	۰/۳۵	۶۸۶/۷
Balloons	۰	CQP	۲۸/۰۸	۴۳/۰۸	۰/۷۴	۰/۳۶	۸۹۹/۴
		FRC	۲۸/۱۷	۴۳/۰۵	۰/۷۵	۰/۳۰	۹۰۲/۵
	۱	CQP	۳۱/۰۸	۴۲/۱۱	۰/۷۱	۰/۳۲	۳۷۷/۵
		FRC	۳۱/۱۳	۴۲/۰۹	۰/۷۱	۰/۲۵	۳۷۷/۲
	۲	CQP	۳۱/۰۸	۴۱/۷۹	۰/۶۷	۰/۳۱	۴۱۲/۲
		FRC	۳۱/۱۲	۴۱/۷۷	۰/۶۷	۰/۲۴	۴۱۴/۲
Newspaper	۰	CQP	۲۸/۰۸	۴۱/۳۶	۰/۴۲	۰/۳۹	۹۵۰/۴
		FRC	۲۸/۵۵	۴۱/۳۹	۰/۴۵	۰/۳۵	۹۵۳/۱
	۱	CQP	۳۱/۰۸	۴۰/۲۷	۰/۳۴	۰/۳۴	۳۵۶/۷
		FRC	۳۱/۶۵	۴۰/۲۵	۰/۳۷	۰/۳۲	۳۵۳/۰
	۲	CQP	۳۱/۰۸	۳۹/۸۶	۰/۳۲	۰/۳۹	۴۰۲/۷
		FRC	۳۱/۸۰	۳۹/۸۴	۰/۳۵	۰/۳۷	۳۹۸/۳
میانگین	۰	CQP	۲۸/۰۸	۴۰/۸۷	۰/۹۷	۰/۴۷	۲۵۴۴/۸
		FRC	۲۸/۲۵	۴۰/۸۸	۰/۹۹	۰/۳۴	۲۵۷۴/۹
	۱	CQP	۳۱/۰۸	۳۹/۹۹	۰/۸۳	۰/۴۱	۶۱۲/۴
		FRC	۳۱/۲۴	۳۹/۹۷	۰/۸۴	۰/۲۹	۶۱۲/۸
	۲	CQP	۳۱/۰۸	۳۹/۸۵	۰/۸۳	۰/۴۲	۶۲۴/۹
		FRC	۳۱/۲۸	۳۹/۸۳	۰/۸۴	۰/۳۰	۶۲۸/۶

۱. Random Access (RA) configuration

۲. I-Frame

۳. Base view

۴. Peak Signal to Noise Ratio (PSNR)

(MAG) [۱] برای اندازه‌گیری میزان نوسانات کیفیت، استفاده شده است. MAG براساس رابطه‌ی (۹) محاسبه می‌شود:

$$MAG\,(\mathrm{PSNR}) = \frac{1}{N-1}\sum_{i=1}^{N-1}\left|PSNR_{i+1} - PSNR_{i}\right| \qquad (۹)$$

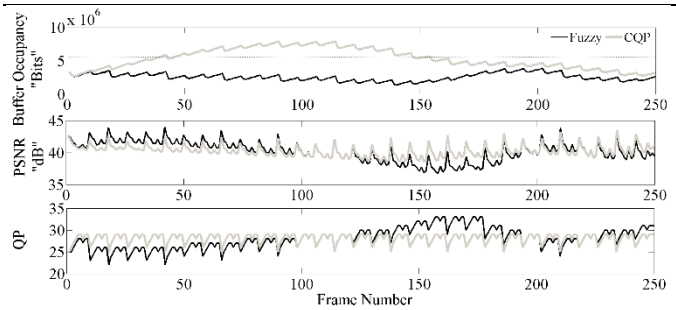
در رابطه‌ی (۹)، N و i به ترتیب نماد تعداد کل فریم‌ها و شناساگر هر فریم در ترتیب نمایش، هستند. هرچه مقدار MAG بیشتر باشد، نوسانات کیفیت بیشتر است و این پدیده منجربه افت سطح کیفیت ادراکی می‌شود.

براساس جدول (۴)، عملکرد روش پیشنهادی در مواردی از جمله: میانگین پارامتر کمی‌سازی، میانگین کیفیت و نوسانات کیفیت، بسیار مشابه با روش CQP دارد. همچنین، روش پیشنهادی می‌تواند به نرخ بیت هدف تعیین شده برای هر نما دست یابد.

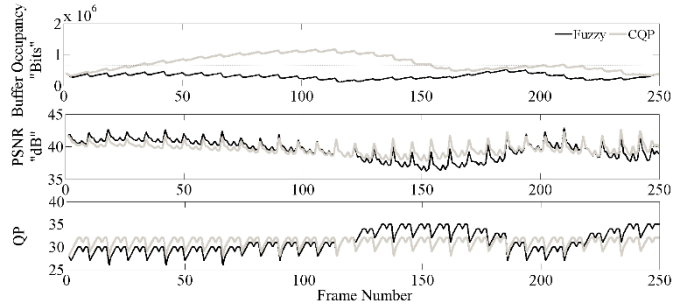
طبق مندرجات جدول (۴)، مقدار میانگین تأخیر بافرسازی در نمای پایه در زمان به کارگیری روش پیشنهادی و روش CQP به ترتیب (۰/۲۹ s، ۰/۴۷ s) می‌باشد. مقدار این کمیت برای نماهای ۱ و ۲ نیز به ترتیب عبارت است از: (۰/۲۹ s، ۰/۴۱ s) و (۰/۲۹ s، ۰/۴۱ s). اعداد اخیر حاکی از آن است که روش پیشنهادی در مقایسه با CQP توانسته است تأخیر بافرسازی کمتری فراهم آورد.

علاوه بر این، عملکرد نرخ-اعوجاج روش پیشنهادی و CQP با بکارگیری معیار Bjφntegaard مورد مقایسه قرار گرفته است. نتایج این مقایسه نشان می‌دهد که میزان افت کیفیت روش پیشنهادی در مقایسه با CQP در نمای پایه، نمای ۱ و نمای ۲ به ترتیب ۰/۰۱۳ dB، ۰/۰۰۹ dB و ۰/۰۱ dB می‌باشد. این پدیده ناشی از تغییرات پارامتر کمی‌سازی در حین فرایند کنترل، می‌باشد.

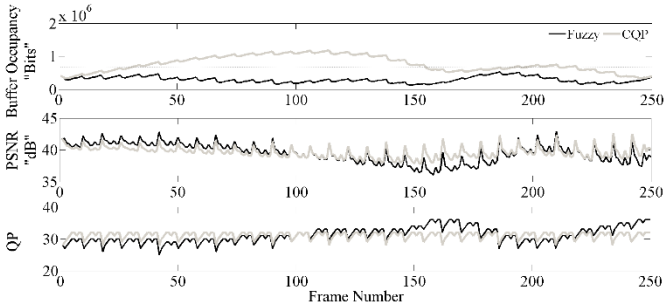
نتایج آزمایشات ثابت می‌کنند که روش پیشنهادی ضمن سرکوب نوسانات لحظه‌ای نرخ بیت به نرخ بیت هدف دست می‌یابد و همچنین از تجاوز از مرزهای بافر جلوگیری می‌کند. نتایج مقایسه‌ی گرافیکی روش‌های نامبرده بر روی ویدئوی GT-Fly در شکل (۳)، (۴) و (۵) نمایش داده شده است.



در **شکل (۳) نمودار تغییرات پری بافر، تغییرات کیفیت و تغییرات پارامتر کمی‌سازی در نمای پایه**



شکل (۴) نمودار تغییرات پری بافر، تغییرات کیفیت و تغییرات پارامتر کمی‌سازی در نمای ۱



شکل (۵) نمودار تغییرات پری بافر، تغییرات کیفیت و تغییرات پارامتر کمی‌سازی در نمای ۲

این اشکال، روش پیشنهادی و CQP از منظر: تغییرات پری بافر، تغییرات پارامتر کمی‌سازی و تغییرات کیفیت، مورد مقایسه قرار گرفته‌اند.

چنان‌که نمودار وضعیت بافر نشان می‌دهد، روش پیشنهادی محدودیت‌های بافر را رعایت کرده و از سرریز و پاریز بافر در تمامی نماها جلوگیری می‌کند.

۱. Mean Absolute Gradient (MAG)

این در حالی است که روش CQP منجربه رخداد سرریز در برخی از حالات می‌شود.

۴- نتیجه‌گیری

محدودیت پهنای باند و حجم بافر از جمله چالش‌های انتقال ویدئو در سامانه-های ارتباط دیجیتال هوایی می‌باشد. کنترل کننده‌ی نرخ بیت ابزاری سودمند برای مقابله با این نوع از چالش‌ها است. MV-HEVC، یک استاندارد چندنما می‌باشد که در آن کنترل نرخ بیت و سطح بافر در تمامی نماهای ویدئو ضرورت دارد. در این مقاله، با در نظر گرفتن چالش‌ها و ضرورت‌های فوق، یک کنترل کننده‌ی نرخ بیت ارائه گردید. روش پیشنهادی این مقاله که به اختصار FRC نام دارد، منطبق بر محدودیت‌های کاربردهای VBR می-باشد. FRC، از QP مورد استفاده در GOP پیشین به عنوان تخمین استفاده نموده و سپس آن را با توجه به سیگنال‌های فیدبک به آرامی اصلاح می‌کند. اصلاح QP توسط یک کنترل کننده‌ی فازی صورت می‌گیرد که سیگنال‌های فیدبک، ورودی‌های آن می‌باشند. رشته بیت مصرفی و حجم بافر، دو سیگنال ورودی کنترل کننده را تشکیل می‌دهند. روش پیشنهادی در نرم‌افزار مرجع استاندارد پیاده‌سازی شده و مورد آزمایش قرار گرفته است. نتایج آزمایشات نشان می‌دهند که FRC نوسانات نرخ بیت را سرکوب کرده و با دقت ۹۹/۱۰ درصد، به نرخ بیت هدف دست یافته است. در ضمن، وضعیت حجم بافر نیز به درستی مدیریت شده و هیچ‌گونه تجاوزی از حدود بافر رخ نداده است. تحلیل RD نیز گواه آن است که عملکرد FRC تنها ۰/۰۱ dB با روش CQP فاصله دارد.

مراجع

[۱] G. Tech, K. Wegner, Y. Chen, M. Hannuksela and J. Boyce, "MV-HEVC Draft Text ۹," JCT-۳V Doc., JCT۳V-I۱۰۰۲, Sapporo, JP, Jul. ۲۰۱٤.

[۲] Rezaei, M., Hannuksela, M.M., and Gabbouj, M.: 'Semi-fuzzy rate controller for variable bit rate video', IEEE Transactions on Circuits and Systems for Video Technology, ۲۰۰۸, ۱۸, (٥), pp. ٦۳۳-٦٤٥

[۳] Ahmad I, Swaminathan V, Aved A, Khalid S (۲۰۲۱) An overview of rate control techniques in HEVC and SHVC video encoding. Multimed Tools Appl ۸۱(۲٤):۳٤۹۱۹–۳٤۹٥۰

[٤] Choi H, Yoo J, Nam J, Sim D, Bajić IV (۲۰۱۳) Pixel-wise unified rate-quantization model for multilevel rate control. IEEE J Sel Top Signal Process ۷(٦):۱۱۱۲–۱۱۲۳

[٥] Sun Y, Childers R, Hilton J (۲۰۲۱) New bufferless rate control for high efficiency video coding. Multimed Tools Appl ۸۰:۲۸۷٦۱–۲۸۷۷٦

[٦] Hou Y, Wang P, Xiang W, Gao Z, Hou C (۲۰۱٥) A novel rate control algorithm for video coding based on fuzzy-PID controller. SIViP ۹(٤):۸۷٥–۸۸٤

[۷] Seo C-W, Moon J-H, Han J-K (۲۰۱۳) Rate control for consistent objective quality in high efficiency video coding. IEEE Trans Image Process ۲۲(٦):۲٤٤۲–۲٤٥٤

[۸] Fang M, Han Y, Wen J (۲۰۲۰) Genetic Algorithm Based Rate Control for AV۱. IEEE Signal Process Lett ۲۷:٥۲۰–٥۲٤

[۹] Wang S, Ma S, Wang S, Zhao D, Gao W (۲۰۱۳) Rate-GOP based rate control for high efficiency video coding. IEEE J Select Top Signal Process ۷(٦):۱۱۰۱–۱۱۱۱

[۱۰] Yan T, Ra I-H, Wen H, Weng M-H, Zhang Q, Che Y (۲۰۲۰) CTU Layer Rate Control Algorithm in Scene Change Video for Free-Viewpoint Video. IEEE Access ۸:۲٤٥٤۹–۲٤٥٦۰

[۱۱] Li B, Li H, Li L, Zhang J (۲۰۱٤) λ-domain rate control algorithm for High Efficiency Video Coding. IEEE Trans Image Process ۲۳(۹):۳۸٤۱–۳۸٥٤

[۱۲] Wang P, Ni C, Li Z, Zhang G (۲۰۱۹) Optimal CTU-level bit allocation in HEVC for low bit-rate applications. Multimedia Tools Appl ۷۸:۲۳۷۳۳–۲۳۷٤۷

[۱۳] Li Q, Nie J, Yu D (۲۰۲۱) Space-domain-based CTU layer rate control for HEVC. SIViP ۱٥(۸):۱۸۷۳–۱۸۸۰

[۱٤] Zhao Z, Xiong S, Sun W, He X, Zhang F (۲۰۲۰) An improved R-λ rate control model based on joint spatial-temporal domain information and HVS characteristics. Multimed Tools Appl ۸۰:۳٤٥–۳٦٦

[۱٥] Li Y, Mou X (۲۰۲۱) Joint Optimization for SSIM-Based CTU-Level Bit Allocation and Rate Distortion Optimization. IEEE Trans Broadcast ٦۷(۲):٥۰۰–٥۱۱

[۱٦] Yuan H, Wang Q, Liu Q, Huo J, Li P (۲۰۲۱) Hybrid Distortion-Based Rate-Distortion Optimization and Rate Control for H. ۲٦٥/HEVC. IEEE Trans Consum Electron ٦۷(۲):۹۷–۱۰٦

[۱۷] Lim W, Sim D (۲۰۲۰) A perceptual rate control algorithm based on luminance adaptation for HEVC encoders. SIViP ۱٤(٥):۸۸۷–۸۹٥

[۱۸] Zhou M, Wei X, Kwong S, Jia W, Fang B (۲۰۲۰) Just noticeable distortion-based perceptual rate control in HEVC. IEEE Trans Image Process ۲۹:۷٦۰۳–۷٦۱٤

[۱۹] Liu D, Chen Z, Liu S, Wu F (۲۰۱۹) Deep learning-based technology in responses to the joint call for proposals on video compression with capability beyond HEVC. IEEE Trans Circuits Syst Video Technol ۳۰(٥):۱۲٦۷–۱۲۸۰

[۲۰] Marzuki I, Lee J, Sim D (۲۰۲۰) Optimal CTU-Level Rate Control Model for HEVC Based on Deep Convolutional Features. IEEE Access ۸:۱٦٥٦۷۰–۱٦٥٦۸۲

[۲۱] Sun X, Yang X, Wang S, Liu M (۲۰۲۰) Content-aware rate control scheme for HEVC based on static and dynamic saliency detection. Neurocomputing ٤۱۱:۳۹۳–٤۰٥

[۲۲] Zhang Z, Jing T, Han J, Xu Y, Zhang F (۲۰۱۷) A new rate control scheme for video coding based on region of interest. IEEE Access ٥:۱۳٦۷۷–۱۳٦۸۸

[۲۳] Gao W, Kwong S, Jia Y (۲۰۱۷) Joint machine learning and game theory for rate control in high efficiency video coding. IEEE Trans Image Process ۲٦(۱۲):٦۰۷٤–٦۰۸۹

[۲٤] Guo H, Zhu C, Xu M, Li S (۲۰۱۹) Inter-block dependency-based CTU level rate control for HEVC. IEEE Trans Broadcast ٦٦(۱):۱۱۳–۱۲٦

[۲٥] Zhang M, Zhou W, Wei H, Zhou X, Duan Z (۲۰۲۰) Frame level rate control algorithm based on GOP level quality dependency for low-delay hierarchical video coding. Signal Process: Image Commun ۸۸:۱۱٥۹٦٤

[۲٦] Chen Z, Pan X (۲۰۱۹) An optimized rate control for low-delay H. ۲٦٥/HEVC. IEEE Trans Image Process ۲۸(۹):٤٥٤۱–٤٥٥۲

[۲۷] Li L, Yan N, Li Z, Liu S, Li H (۲۰۱۹) λ-Domain Perceptual Rate Control for ۳٦۰-Degree Video Compression. IEEE J Sel Top Signal Process ۱٤(۱):۱۳۰–۱٤٥

[۲۸] Nien Y-C, Tang C-W (۲۰۲۱) Region-level bit allocation for rate control of ۳٦۰-degree videos using cubemap projection. J Vis Commun Image Represent ۷۹:۱۰۳۲٤۲

[۲۹] Li L, Li Z, Liu S, Li H (۲۰۲۰) Rate Control for Video-Based Point Cloud Compression. IEEE Trans Image Process ۲۹:٦۲۳۷–٦۲٥۰

[۳۰] Yang Y, Shen L, Yang H, An P (۲۰۱۹) A content-based rate control algorithm for screen content video coding. J Vis Commun Image Represent ۶۰:۳۲۸–۳۳۸

[۳۱] Peng Z et al (۲۰۲۱) Inter-layer correlation-based adaptive bit allocation for enhancement layer in scalable high efficiency video coding. Signal Process: Image Commun ۹۵:۱۱۶۲۵۶

[۳۲] Harshalatha Y, Biswas PK (۲۰۲۱) Structural similarity-based rate control algorithm for ۳D video. Multimed Tools Appl ۸۰(۱۷):۲۵۸۹۷–۲۵۹۰۸

[۳۳] Fani D, Rezaei M (۲۰۱۶) A GOP-level fuzzy rate control algorithm for high-delay applications of HEVC. SIViP ۱۰(۷):۱۱۸۳–۱۱۹۱

[۳۴] Kamran R, Rezaei M, Fani D (۲۰۱۶) A frame level fuzzy video rate controller for variable bit rate applications of HEVC. J Intell Fuzzy Syst ۳۰(۳):۱۳۶۷–۱۳۷۵

[۳۵] Fani D, Rezaei M (۲۰۱۷) Novel PID-Fuzzy Video Rate Controller for High-Delay Applications of the HEVC Standard. IEEE Trans Circuits Syst Video Technol ۲۸(۶):۱۳۷۹–۱۳۸۹

[۳۶] Raufmehr F, Rezaei M (۲۰۱۸) Fuzzy logic-based scalable video rate control algorithm for highdelay applications of scalable high-efficiency video coding. J Electron Imaging ۲۷(٤):۰٤۳۰۱۳

[۳۷] Shojaei M, Rezaei M (۲۰۲۰) FJND-based fuzzy rate control of scalable video for streaming applications. Multimed Tools Appl ۷۹(۱۹-۲۰):۱۳۷۵۳–۱۳۷۷۳

[۳۸] Zupancic I, Naccari M, Mrak M, Izquierdo E (۲۰۱۶) Two-pass rate control for improved quality of experience in UHDTV delivery. IEEE J Sel Top Signal Process ۱۱(۱):۱۶۷–۱۷۹

[۳۹] Wang S, Rehman A, Zeng K, Wang J, Wang Z (۲۰۱۶) SSIM-motivated two-pass VBR coding for HEVC. IEEE Trans Circuits Syst Video Technol ۲۷(۱۰):۲۱۸۹–۲۲۰۳

[٤۰] Nakhaei A, Rezaei M (۲۰۲۰) Scene-level two-pass video rate controller for H. ۲٦٥/HEVC standard. Multimed Tools Appl ۸۰:۷۰۲۳–۷۰۳۸

[٤۱] Hamidouche W et al (۲۰۲۲) Versatile video coding standard: A review from coding tools to consumers deployment. IEEE Consumer Electronics Magazine ۱۱(٥):۱۰–۲٤

[٤۲] Bross B, Chen J, Ohm J-R, Sullivan GJ, Wang Y-K (۲۰۲۱) Developments in international video coding standardization after AVC, with an overview of Versatile Video Coding (VVC). Proc IEEE ۱۹۰(۹):۱٤٦۳–۱٤۹۳

[٤۳] Li Y, Chen Z (۲۰۱۸) Rate Control for VVC. JVET-K۰۳۹۰, ۱۱th Meeting, Ljubljana, Slovenia

[٤٤] Hyun MH, Lee B, Kim M (۲۰۲۰) A Frame-Level Constant Bit-Rate Control Using Recursive Bayesian Estimation for Versatile Video Coding. IEEE Access ۸:۲۲۷۲٥٥–۲۲۷۲٦۹

[٤٥] Liu F, Chen Z (۲۰۲۱) Multi-Objective Optimization of Quality in VVC Rate Control for Low-Delay Video Coding. IEEE Trans Image Process ۳۰:٤۷۰٦–٤۷۱۸

[٤٦] Raufmehr F, Salehi MR, Abiri E (۲۰۲۱) A frame-level MLP-based bit-rate controller for real-time video transmission using VVC standard. J Real-Time Image Proc ۱۸(۳):۷٥۱–۷٦۳

[٤۷] Raufmehr F, Salehi MR, Abiri E (۲۰۲۱) A neural network-based video bit-rate control algorithm for variable bit-rate applications of versatile video coding standard. Signal Process: Image Commun ۹٦:۱۱٦۳۱۷

[٤۸] Raufmehr F, Salehi MR, Abiri E (۲۰۲٤) A neuro‑fuzzy QP estimation approach for H.۲٦٦/VVC‑based live video broadcasting systems. Signal Process: Image Commun ۸۳ (۱۹), ٥٦٤۲۳:٥٦٤٤۳

[٤۹] Lim W, Bajic IV, Sim D 'QP initialization and interview MAD prediction for rate control in HEVC-based multi-view video coding', In: Acoustics, Speech and Signal Processing (ICASSP), ۲۰۱۳ IEEE International Conference on, IEEE, pp ۲۰٤٥-۲۰٤۹, ۲۰۱۳.

[٥۰] Fiengo A, Chierchia G, Cagnazzo M, Pesquet-Popescu B Convex optimization for frame-level rate allocation in MV-HEVC. In: Image Processing (ICIP), ۲۰۱٦ IEEE International Conference on, ۲۰۱٦. IEEE, pp ۲۱٥۷-۲۱٦۱

[٥۱] Yuan H, Kwong S, Wang X, Gao W, Zhang Y (۲۰۱٥) Rate distortion optimized inter-view frame level bit allocation method for MV-HEVC. IEEE Transactions on Multimedia ۱۷ (۱۲):۲۱۳٤-۲۱٤٦

[٥۲] Ross TJ (۲۰۰٥) Fuzzy logic with engineering applications. John Wiley & Sons

Modern Research Electrical and Electronic Avionic
Vol.١, No.١, Winter ٢٠٢٤
https://www.mreea.ir

Interpretation of MOS Transistor Performance Trade-offs in Analog and RF Circuits Using the Inversion Coefficient and the EKV Model

Gholamreza Khadenvatan[١], Ali Jalali[١*]

[١] Department of Electrical Engineering, Shahid Beheshti University, Tehran, Iran

[*] a_jalali@sbu.ac.ir

(Recived times:٢٠٢٤/May/١١ , Accept time: ١٤٠٣/Jul/٣١)

Abstract

In this paper, the performance trade-offs of a MOSFET are first analyzed in terms of the key design parameter, the Inversion Coefficient (IC), using the EKV model across weak inversion (WI), moderate inversion (MI), and strong inversion (SI) regions. These performance trade-offs include physical dimensions, bias voltages, small-signal parameters, signal distortion, intrinsic voltage gain, intrinsic and extrinsic bandwidths, thermal noise, flicker noise, process-induced mismatch, leakage current, and RF circuit figures of merit as functions of the IC in a ٩٠ nm fabrication technology. Through graphical representation and sweeping the performance metrics versus IC, designers are enabled to select their desired trade-offs. Subsequently, a design space for the MOSFET is introduced, which assists in selecting appropriate transistor bias points to map optimal device performance trade-offs onto the target circuit. To demonstrate the usefulness of this design methodology, the important linearity characteristic (AIP٣) in single-stage and cascode differential amplifiers is interpreted in terms of the Inversion Coefficient, and the optimal biasing point for the circuit's active devices is determined. Finally, to validate the proposed design approach, the obtained results are compared with simulation results using TSMC's ٠,١٨ μm technology.

Keyword:

پژوهش‌های نوین در مهندسی برق و الکترونیک هوایی
شماره ۱، جلد ۱، زمستان ۱۴۰۴
https://www.mreea.ir

استفاده از ضریب وارونگی برای تفسیر مصالحه‌های عملکرد قطعات MOS در مدارات آنالوگ و RF به کمک مدل EKV

غلامرضا خادم‌وطن [۱]، علی جلالی* [۱]

[۱] دانشکده مهندسی برق، دانشگاه شهید بهشتی، تهران، ایران
a_jalali@sbu.ac.ir*

(تاریخ ارسال مقاله: ۱۴۰۳/۰۲/۲۲ تاریخ پذیرش مقاله: ۱۴۰۳/۰۵/۱۰)

چکیده

در این مقاله، ابتدا مصالحه‌های عملکرد قطعه MOSFET بر حسب پارامتر کلیدی طراحی ضریب وارونگی (IC) به کمک مدل EKV در مناطق وارونگی ضعیف (WI)، متوسط (MI) و قوی (SI) بررسی می‌شوند. این مصالحه‌های عملکرد شامل ابعاد فیزیکی، ولتاژهای بایاس، پارامترهای سیگنال کوچک، اعوجاج سیگنال، بهره ذاتی ولتاژ، پهنای باندهای ذاتی و غیر ذاتی، نویز حرارتی، نویز فلیکر، عدم تطابق ناشی از فرآیند ساخت (Mismatch)، جریان نشتی و معیارهای شایستگی مدارهای RF بر حسب IC در تکنولوژی ساخت ۹۰nm می‌باشند. از طریق نمایش گرافیکی و جاروب (Sweep) عملکردها بر حسب IC، امکان انتخاب مصالحه‌های مد نظر طراح فراهم می‌شود. در ادامه، یک صفحه عملیاتی برای قطعه MOSFET معرفی می‌شود که به کمک آن می‌توان نقاط بایاس مناسب ترانزیستورها برای نگاشت مصالحه‌های عملکرد بهینه قطعات در مدار مورد نظر را انتخاب کرد. برای نمایش سودمندی این شیوه طراحی، شاخصه مهم خطینگی (AIP۳) در تقویت کننده‌های تفاضلی یک طبقه و کسکود بر حسب ضریب وارونگی تفسیر شده و نقطه بهینه بایاسینگ قطعات فعال مدار بدست آورده می‌شود. در نهایت، برای تایید شیوه طراحی ارائه شده، نتایج بدست آمده با نتایج حاصل از شبیه‌سازی با تکنولوژی ۰/۱۸µm شرکت TSMC مقایسه شده است.

واژگان کلیدی

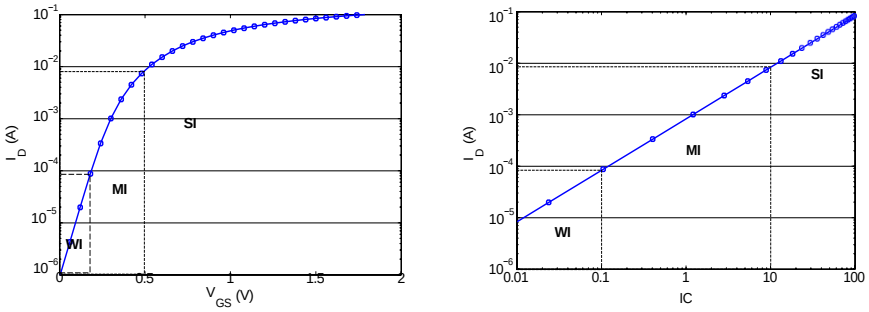
WI (Weak Inversion)
MI (Moderate Inversion)
SI (Strong Inversion)
IC (Inversion Coefficient)
عدم تطابق
خطینگی

۱- مقدمه

در فرآیندهای پیشرفته ساخت قطعات الکترونیکی همچون CMOS استاندارد، FD-SOI[۱] و FINFET[۲] که طول کانال ترانزیستور MOS در آنها زیر میکرون‌اند، با کاهش ولتاژ تغذیه که به طور ذاتی در آنها رخ می‌دهد، نقاط بایاس به مناطق وارونگی متوسط (MI) و وارونگی ضعیف (WI) انتقال داده شده‌اند [۱]. بنابراین معادلات جریان درین قطعه MOS در مدل‌های منسوخ Level۱ و Level۳ که همچنان در کتاب‌های مهندسی برق نیز تدریس می شوند برای طراحی مدار های آنالوگ و RF از نوع CMOS در فناوری‌های مدرن زیرمیکرون مناسب نبوده و در پیش‌بینی عملکرد قطعات با شکست مواجه می‌گردند[۲]. از طرفی طراحی مدارهای آنالوگ و RF همواره با چالش سخت انتخاب مصالحه‌هایی همچون توان، خطینگی، نویز، بهره، ولتاژ تغذیه و پهنای باند مواجه است که رضوی آن را به عنوان رئوس یک شش ضلعی معرفی کرده است[۳]. بنابراین، در چنین فضای طراحی پر چالشی طراح نیازمند بکارگیری روش‌های طراحی مناسب جهت پیش‌بینی عملکرد قطعات MOS مدار در فرآیند مورد نظر است که

[۱] Fully Depleted-Silicon on Insulator

[۲] Fin Field Effect Transistor



(a) (b)

شکل (۱): (a)- جریان درین بر حسب ولتاژ گیت - سورس و (b)- جریان درین برحسب IC برای یک ترانزیستور در فرآیند FDSOI-۲۸nm با عرض کانال ۵۰µm.

اصطلاحاً طراحی Pre-SPICE[۱] نامیده می شود[۴]. برای مدتهای طولانی ولتاژ موثر گیت - سورس ($V_{EFF} = V_{GS} - V_T$) به عنوان متغیر طراحی کلیدی در طراحی مدارهای آنالوگ و RF استفاده می‌شد، ولیکن با ظریفتر شدن تکنولوژی و کاهش طول کانال ترانزیستورهای MOS در سالیان اخیر و انتقال نقاط کار آنها به مناطق MI و WI، V_{EFF} پارامتر مناسبی برای طراحی محسوب نمی‌شود[۵،۶]. بنابراین، لزوم وجود یک مدل ساده بر مبنای یک پارامتر کلیدی طراحی منا سب در فناوری‌های فوق زیرمیکرون امروزی که در عین حال دارای معادلات ریا ضی معتبر و پیو سته در مناطق وارونگی ضعیف، متو سط و قوی با شد از چالش‌های ا سا سی طراحان مدارهای آنالوگ و RF است.

در سال ۱۹۹۴، Vittoz با چاپ مقاله‌ای تحت عنوان تکنیک‌های توان پایین، مفهوم ضریب وارونگی را تعریف کرد[۷]. IC، مقدار نرمالیزه شده جریان بایاس درین به جریان مشخصه قطعه (شامل پارامترهای فرآیند و ابعاد هندسی ترانزیستور) است:

$$IC = \frac{I_D}{I_{spec}} = \frac{I_D}{I_0\left(\frac{W}{L}\right)}, \quad I_0 = 2n\mu C_{OX}U_T^2 \qquad (1)$$

که I_D جریان بایاس ترانزیستور، I_{spec} جریان مشخصه، I_0 جریان تکنولوژی یا فرآیند، W و L به ترتیب عرض و طول کانال ترانزیستور، n ضریب بدنه، μ تحرک حامل‌ها (الکترون یا حفره) در اثر میدان‌های الکتریکی کم، C_{OX} خازن گیت - اکسید در واحد سطح و $U_T = kT/q = 26mV$ ولتاژ ترمودینامیک در دمای اتاق می‌باشند.

IC، میزان وارونگی کانال قطعه MOS را مستقل از ابعاد و فرآیند ترانزیستور نشان می‌دهد:

- $IC < 0.1$, Weak Inversion (WI),
- $0.1 < IC < 10$, Moderate Inversion (MI),
- $IC > 10$, Strong Inversion (SI),

جریان درین ترانزیستور بر حسب V_{GS} و IC در شکل‌های (۱- a) و (۱- b) برای فرآیند FDSOI-۲۸nm نشان داده شده است[۸]. در شکل (۱- a) ملاحظه می‌شود که ناحیه SI علی‌رغم پوشش منطقه وسیعی از ولتاژ V_{GS} تنها یک دهه از جریان درین را پوشش می‌دهد، حال آنکه نواحی WI و MI (برای V_{GS} از ۰ تا ۰/۵mV) چند دهه از جریان درین را پوشش می‌دهند. از سویی دیگر با بررسی شکل (۱- b) ملاحظه می‌شود که هر دهه از جریان درین یک دهه از IC را پوشش می‌دهد. دلیل این امر ارتباط خطی IC با جریان درین است، لذا نتیجه‌گیری می‌شود که برای مدلسازی قطعات MOS در نواحی WI و MI، پارامتر IC مناسبتر است. علاوه بر این، امکان تفسیر تمامی پارامترهای مهم ترانزیستور MOS همچون پهنای باند ذاتی، گین ذاتی، بهره رسانایی و ... با IC وجود دارد[۹]. لذا با تغییر ضریب وارونگی هر یک از قطعات فعال مدار، امکان کشف ناحیه طراحی مناسب قطعات در یک مدار فراهم می‌شود.

یکی از عناصر اولیه در روش‌های طراحی، انتخاب مدل قطعه است. این مدل می‌بایستی از مدارات آنالوگ و RF کم‌توان پشتیبانی کرده و علاوه بر سادگی بتواند با دقت و اعتماد قابل قبولی فیزیک پیچیده قطعات مدرن و با اندازه زیر میکرون امروزی را پیش‌بینی نماید[۱۰]. در سال ۱۹۹۵، C.Enz، F.Krummenacher و E.A.Vittoz مدل EKV را برای ترانزیستورهای MOS توسعه دادند[۱۱،۱۲]. این مدل جریان درین ترانزیستور MOS را به صورت پیوسته از ناحیه WI تا SI تعریف می‌کند:

[۱] Pre- Simulation Program with Integrated Circuit Emphasis

$$I_D(WI-SI) = 2n\mu C_{OX}U_T^2\left(\frac{W}{L}\right)\left[ln\left(1+e^{\frac{V_{GS}-V_T}{2nU_T}}\right)\right]^2 \qquad (2)$$

برای احتساب اثرات ابعاد هندسی کوچک قطعه همچون سرعت اشباع و VFMR[1] کافی است به جای μ رابطه (۳) جایگذاری شود که در آن θ ضریب کاهش تحرک حامل‌ها در اثر میدان عمودی، E_{CRIT} میدان الکتریکی بحرانی افقی در سرعت اشباع و α ضریب توان سرعت اشباع می‌باشند.

$$\frac{\mu_0}{[1+\theta(V_{GS}-V_T)]\left[1+\left(\frac{V_{GS}-V_T}{LE_{CRIT}}\right)^{\alpha}\right]^{\left(\frac{1}{\alpha}\right)}} \qquad (3)$$

در سالیان اخیر، کارهای متعددی ارائه شده‌اند که در آنها IC به عنوان پارامتر اصلی و کلیدی طراحی معرفی شده است. Idrissi و سایر نویسندگان با استفاده از IC به عنوان پارامتر اصلی طراحی، یک نوسان ساز و یک میکسر را توسعه داده‌اند[۱۳]. Sansen در مرجع [۱۴] رویه‌ای برای طراحی بلوک‌های تقویت کننده کم توان پیشنهاد داده و در مرجع [۱۵] روشی را برای بایاسینگ بهینه قطعات جهت دستیابی به اعوجاج صفر با استفاده از مدل‌های EKV/BSIM6 توسعه داده است. در [۱۶]، تجزیه و تحلیل اعوجاج به کمک IC در ماسفت‌های نانومقیاس انجام شده است. در [۱۷] روشی برای طراحی خودکار مدارهای آنالوگ و RF با استفاده از بهینه سازی IC پیشنهاد شده است. در [۱۸] دو شاخص مهم خطینگی یعنی AIdB و AIP3 در تقویت کننده‌های تفاضلی یک طبقه و کسکود بر اساس مدل EKV و پارامتر اصلی آن یعنی ضریب وارونگی (IC) بررسی شده‌اند. در این مقاله، تغییرات عمکرد قطعه MOSFET اعم از ابعاد فیزیکی، ولتاژهای بایاس، پارامترهای سیگنال کوچک، اعوجاج سیگنال، بهره ذاتی ولتاژ، پهنای باندهای ذاتی و غیر ذاتی، نویز حرارتی، نویز فلیکر، عدم تطابق ناشی از فرآیند ساخت، جریان نشتی و معیارهای شایستگی مدارهای RF بر حسب ضریب وارونگی (IC) در تکنولوژی ۹۰nm به صورت گرافیکی نشان داده می‌شوند. در ادامه، صفحه عملیاتی قطعه MOSFET برای نگاشت عملکرد بهینه قطعات در مدار مورد نظر معرفی می‌شود. برای نمایش سودمندی این شیوه طراحی، شاخصه مهم خطینگی (AIP3) در تقویت کننده‌های تفاضلی یک طبقه و کسکود بر حسب ضریب وارونگی تفسیر شده و نقطه بهینه بایاسینگ قطعات فعال مدار بدست آورده می‌شود. در نهایت، برای تایید شیوه طراحی ارائه شده، نتایج بدست آمده با نتایج حاصل از شبیه‌سازی در تکنولوژی ۰/۱۸µm شرکت TSMC[2] مقایسه می‌شوند. ساختار مقاله به این شکل است که در بخش ۲، پارامترهای مهم مدل EKV در فرآیند ۹۰nm خلاصه شده‌اند. در بخش ۳، کلیه مشخصه‌های عملکرد قطعه MOS بر حسب IC به صورت گرافیکی نمایش داده شده و تاثیر تغییر ضریب وارونگی از ضعیف تا قوی بر این مشخصه‌ها به اختصار توضیح داده می‌شود. صفحه عملیاتی MOSFET برای نمایش مصالحه‌ها در انتخاب ضریب وارونگی، در بخش ۴ معرفی شده است. و نهایتاً، در بخش ۵ شاخصه مهم خطینگی (AIP3) در تقویت کننده‌های تفاضلی یک طبقه و کسکود بر حسب ضریب وارونگی محاسبه و با نتایج حاصل از شبیه‌سازی در تکنولوژی ۰/۱۸µm شرکت TSMC مقایسه می‌شود.

۲- پارامترهای فرآیند

علی‌رغم اینکه تعداد پارامترها و معادلات مدل EKV در مقایسه با مدل فشرده و پیچیده BSIM[3] بسیار کمتر است، ولیکن در این مدل نیز حداقل نزدیک به ۷۰ پارامتر جهت توصیف تقریبی قطعه و پدیده‌های فیزیکی آن مورد نیاز است[۱۹]. یکی از شیوه‌های استخراج پارامترهای این مدل تبدیل پارامترهای مدل BSIM به EKV است که به عنوان نمونه در مرجع [۲۰] با استفاده از الگوریتم Levenberg-Marquardt برای تکنولوژی ۰/۱۸µm از نوع CMOS انجام شده است. پارامترهای مهم مدل EKV در تکنولوژی ۹۰nm در جدول (۱) فهرست شده‌اند. لازم به ذکر است که این پارامترها مربوط به تکنولوژی ساخت فرآیند خاصی نبوده و لیکن به صورت معقولی رفتار قطعه nMOS در تکنولوژی ۹۰nm را نشان می‌دهند.

۳- عملکرد قطعه MOS بر حسب ضریب وارونگی

در این بخش به کمک پارامترهای فرآیند فهرست شده در جدول (۱)، تجزیه و تحلیل جامعی بر حسب IC بر روی مصالحه‌های عملکرد قطعه MOSFET اعم از ابعاد فیزیکی، ولتاژهای بایاس، پارامترهای سیگنال کوچک، اعوجاج سیگنال، بهره ذاتی ولتاژ، پهنای باندهای ذاتی و غیر ذاتی، نویز حرارتی، نویز فلیکر، عدم تطابق ناشی از فرآیند ساخت، جریان نشتی و معیارهای شایستگی مدارهای RF در تکنولوژی ۹۰nm انجام می شود. از آنجا که روند تغییرات ترانزیستورهای nMOS و pMOS بر حسب IC تقریباً یکسان بوده و تنها به دلیل تفاوت دو قطعه در پارامترهایی همچون n و µ، مقادیر مشخصه‌ها تغییر کرده و رفتار مشخصه‌ها و عملکرد قطعات تقریباً ثابت است، در این بخش تنها روند تغییرات و رفتار مشخصه‌های قطعه nMOS بر حسب ضریب وارونگی در تکنولوژی ۹۰nm بررسی می شود. در کلیه پیش‌بینی‌ها، با ثابت نگهداشتن مقادیر جریان درین و طول کانال به ترتیب در ۱۰۰µA و ۹۰nm، مقدار IC از ۰.۰۱ (وارونگی ضعیف عمیق) تا ۱۰۰ (وارونگی قوی عمیق) سوئیپ می‌شود.

۱. Vertical Field Mobility Reduction

۲. Taiwan Semiconductor Manufacturing Company

۳. Berkeley Short-channel IGFET *Model*

جدول (۱): پارامترهای مهم فرآیند مدل ساده شده EKV برای ترانزیستورهای nMOS در تکنولوژی ۹۰nm از نوع CMOS.

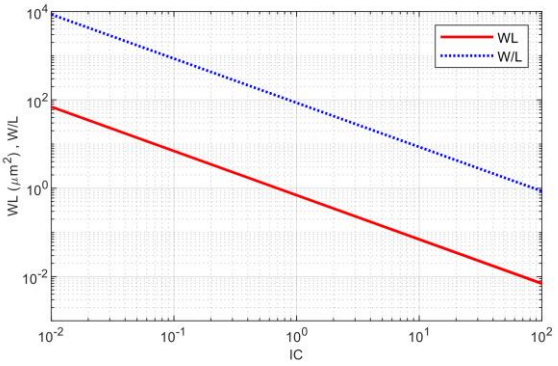
Parameter	Description	Value for nMOS	Unit
t_{ox}	Oxide Thickness	۲/۳۳	nm
$\mu_.$	Low Field Mobility	۴۵۴	$\mu A/V^2$
Y	Body Effect Factor	۰/۳۲	$V^{1/2}$
V_{sat}	Saturation Velocity	۱۱۴۰۰۰	m/s
α	Velocity Saturation Transition Exponent	۱/۱۵	--
n	Slope Factor	۱/۳	--
V_{T0}	Threshold Voltage	۰/۳۷۵	V
θ	Mobility Reduction Factor	۰/۵۱	V^{-1}
β	Exponent for Velocity Saturation and VFMR Effects	۰/۸	--
DL	Lateral Diffusion at Length	۰/۰۰۵	µm
DW	Lateral Diffusion at Width	۰/۰۱۲	µm
AF	Flicker Noise Slope	۰/۸۵	--
ϕ_F	Half of Fermi Potential	۰/۴۲۸	V
L_{min}	Minimum Channel Length	۰/۰۹	µm
Optional user design inputs			
f	Operation Frequency	۱	HZ
V_{DD}	Supply Voltage	--	V
V_{SB}	Source-Body Voltage	--	V
V_{DS}	Drain-Source Voltage	--	V
T	Temperature	۳۰۰	K

۳-۱- پارامترهای ابعاد هندسی

در شکل (۲)، فاکتور ابعاد (W/L) و مساحت گیت (WL) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA نشان داده شده است. واضح است که با افزایش ضریب وارونگی، فاکتور ابعاد و متعاقباً عرض کانال و مساحت گیت کاهش می‌یابند.

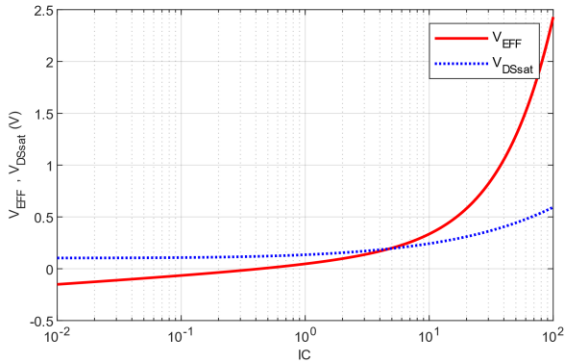
۳-۲- پارامترهای بایاس DC

ولتاژ موثر گیت - سورس ($V_{EFF} = V_{GS} - V_T$) نشان می‌دهد که در صورت مثبت بودن علامت V_{EFF}، ولتاژ گیت - سورس نقطه کار چقدر از ولتاژ آستانه قطعه nMOS بالاتر است. ولتاژ اشباع درین - سورس($V_{DS_{Sat}}$) نیز می‌بایستی معین گردد تا از انطباق بایاس مدار برای ولتاژ درین - سورس نقطهٔ کار (V_{DS}) اطمینان حاصل شود. معمولاً قطعات MOS در ناحیه اشباع بایاس می‌شوند که در آن $V_{DS} > V_{DS_{sat}}$ است. در شکل (۳)، روند تغییرات V_{EFF} و $V_{DS_{Sat}}$ قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA نشان داده شده است.



شکل (۲): فاکتور ابعاد (W/L) و مساحت گیت (WL) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA و L = ۹۰nm.

V_{EFF} و $V_{DS_{Sat}}$ در نواحی WI و MI اندکی افزایش می‌یابند، ولیکن به دلیل اثرات سرعت اشباع در ناحیه SI این افزایش قابل توجه است.



شکل(۳): ولتاژ موثر گیت – سورس (V_{EFF}) و ولتاژ اشباع درین – سورس ($V_{DS_{Sat}}$) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA و L = ۹۰nm.

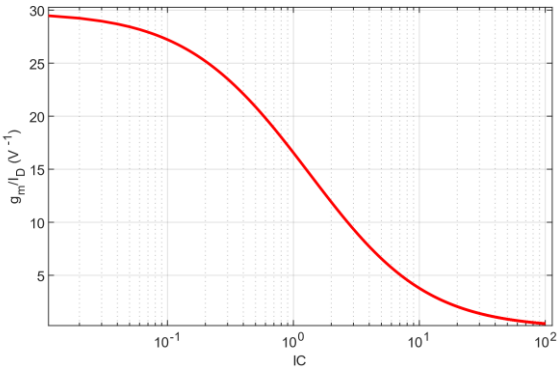
۳-۳- پارامترهای سیگنال کوچک

بهره رسانایی (g_m/I_D) قطعه MOS ضریب کیفیتی است که تولید رسانایی ($g_m = \partial I_D/\partial V_{GS}$) مطلوب برای یک سطح معینی از جریان بایاس درین را تعریف می‌کند. در شکل (۴)، روند تغییرات g_m/I_D قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS نشان داده شده است. مقدار g_m/I_D در وارونگی ضعیف ثابت و دارای مقدار بیشینه است. مقدار آن در وارونگی متوسط به آرامی کاهش یافته و سپس با سرعت $\frac{۱}{\sqrt{IC}}$ در وارونگی قوی افت می‌کند. متأسفانه در مقادیر بالای IC، اثر سرعت اشباع در قطعات کانال کوتاه مقدار g_m/I_D را به میزان قابل توجهی کاهش می‌دهد.

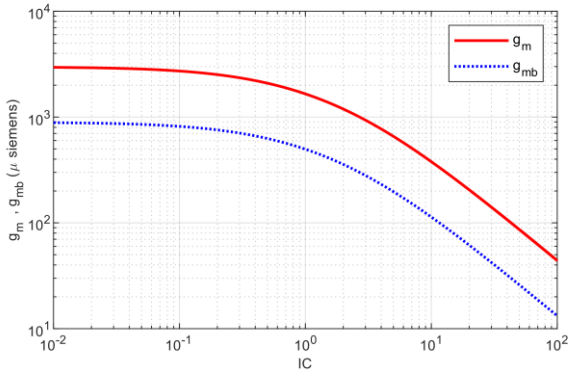
رسانایی قطعهٔ MOS (g_m) پارامتری سیگنال کوچک است که تغییرات جریان درین اتصال کوتاه ناشی از تغییرات ولتاژ کنترلی گیت سورس (V_{GS}) را تعریف می‌کند. رسانایی اثر بدنه (g_{mb}) پارامتری سیگنال کوچک است که تغییرات جریان درین اتصال کوتاه ناشی از تغییرات ولتاژ بدنه - سورس (V_{BS}) را توصیف می‌کند. در شکل (۵)، روند تغییرات g_m و g_{mb} قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA نشان داده شده است. در وارونگی ضعیف، هر دوی آنها به حداکثر می‌رسند، در وارونگی متوسط اندکی کاهش می یابند و در وارونگی قوی به افت ادامه می‌دهند.

رسانایی درین - سورس ($g_{ds} = \partial I_D/\partial V_{DS}$) قطعه MOS پارامتری سیگنال کوچک است که تغییرات جریان درین ناشی از تغییرات ولتاژ درین - سورس (V_{DS}) را تعریف می‌کند. معمولا طراحان عکس رسانایی درین - سورس ($r_{ds} = ۱/g_{ds}$) را در محاسبه بهره ذاتی قطعه MOS استفاده می‌کنند. در شکل (۶)، روند تغییرات r_{ds} قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA نشان داده شده است. r_{ds} در وارونگی ضعیف دارای حداقل مقدار است، در وارونگی متوسط لندکی افزایش می‌یابد و در وارونگی قوی به افزایش ادامه می‌دهد.

اعوجاج هارمونیکی یک اثر غیرخطی است که سیگنال‌های ورودی را در

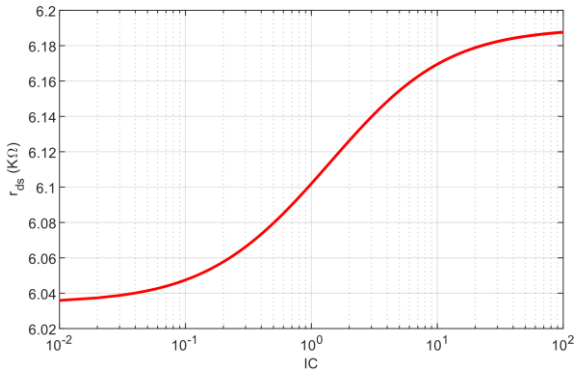


شکل (۴): بهره رسانایی (g_m/I_D) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS.



شکل (۵): رسانایی (g_m) و رسانایی اثر بدنه (g_{mb}) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA و L = ۹۰nm.

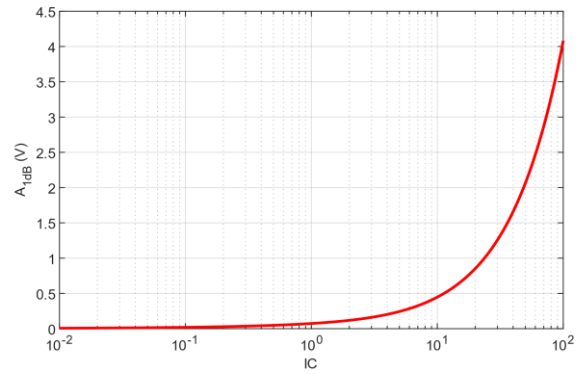
مدار آنالوگ یا RF محدود می‌کند. اعوجاج با ولتاژ ورودی فشردگی ۱dB ($A_{۱dB}$) سنجیده می شود. این ولتاژ منطبق با ولتاژ ورودی اعمال شده به صورت مثبت یا منفی به قطعه است که در آن جریان خروجی ۱ دسی بل یا ۱۰.۹٪ از مقدار خطی مورد انتظارش کاهش می‌یابد. در شکل (۷) روند تغییرات $A_{۱dB}$ قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS نشان داده شده است. همانگونه که در شکل واضح است، با افزایش ضریب وارونگی، عملکرد خطی بهبود می یابد.



شکل (۶): مقاومت درین - سورس (r_{ds}) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA و L = ۹۰nm.

۳-۴- پارامترهای بهره و پهنای باند

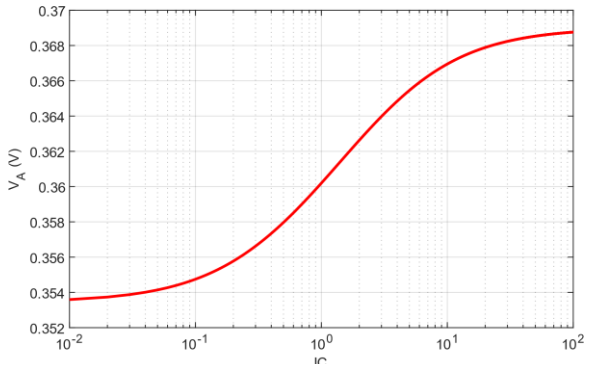
ولتاژ ارلی ($V_A = I_D.r_{ds}$) ضریب کیفیتی است که تولید g_{ds} یا r_{ds} برای یک مقدار معینی از جریان بایاس درین را تعریف می‌کند. ولتاژ ارلی علاوه بر IC به L و V_{DS} نیز وابسته است[۴]. در شکل (۸)، روند تغییرات V_A قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA و V_{DS} = ۰/۲۵V نشان داده شده است. V_A با افزایش طول کانال و نیز افزایش V_{DS} به مقادیر بالاتر از $V_{DS_{sat}}$، افزایش می‌یابد. همانگونه که در شکل قابل مشاهده است، برای یک V_{DS} ثابت و مشروط بر اینکه V_{DS} به اندازه کافی بالاتر از $V_{DS_{sat}}$ باشد، ولتاژ ارلی با افزایش ضریب وارونگی اندکی افزایش می‌یابد.



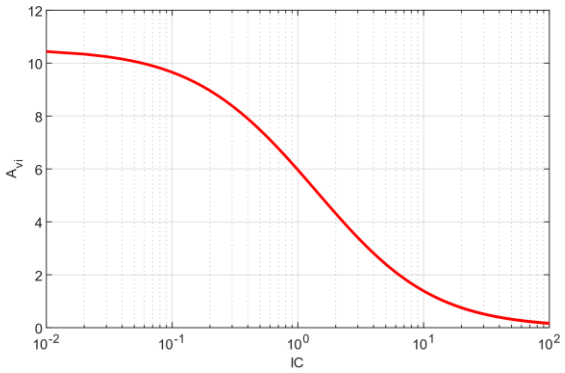
شکل (۷): ولتاژ ورودگی فشردگی ۱dB (A_{1dB}) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS.

بهره ذاتی ولتاژ ($A_{Vi} = g_m.r_{ds} = g_m/I_D.V_A$)، بهره ولتاژ فرکانس پایین سیگنال کوچک گیت تا درین یک قطعه MOS با سورس متصل به زمین و درین متصل به بار منبع جریان ایده‌آل با مقاومت بینهایت می‌باشد. در شکل (۹)، تغییرات A_{Vi} قطعه nMOS بر حسب IC در یک فرآیند ۹۰nm از نوع CMOS در V_{DS} = ۰/۲۵V نشان داده شده است. همانگونه که در شکل قابل مشاهده است، با افزایش ضریب وارونگی کاهش یافته و مقدار g_m/I_D را ردیابی می‌کند. A_{Vi} همچنین با افزایش L و متعاقباً V_A با طول کانال نیز افزایش می‌یابد.

پهنای باند ذاتی ($f_{Ti} = g_m/[2\pi(C_{gsi} + C_{gbi})]$)، منطبق با فرکانسی است که در آن بهره جریان گیت تا درین قطعه MOS با سورس متصل به زمین و درین متصل به زمین سیگنال کوچک، برابر با مقدار واحد است. C_{gsi} و C_{gbi} به ترتیب خازنهای ذاتی گیت - سورس و گیت - بدنه می‌باشند. در رابطه پهنای باند ذاتی از خازنهای غیر ذاتی همپوشانی گیت - سورس و گیت - بدنه (C_{GBO} و C_{GSO}) چشم‌پوشی شده است. پهنای باند غیر ذاتی ($f_T = g_m/[2\pi(C_{gsi} + C_{gbi} + C_{GSO} + C_{GBO})]$)، منطبق با فرکانسی است که در آن علاوه بر خازنهای ذاتی C_{gsi} و C_{gbi}، خازنهای غیر ذاتی C_{GSO} و C_{GBO} نیز در نظر گرفته شده‌اند. در محاسبه f_T از خازن درین - بدنه (C_{DB}) چشم‌پوشی شده است. پهنای باند اتصال دیودی ($f_{diode} = g_m/[2\pi(C_{gsi} + C_{gbi} + C_{GSO} + C_{GBO} + C_{DB})]$)، منطبق با قطب فرکانسی یک قطعه nMOS اتصال دیودی با گیت متصل به درین و سورس متصل به زمین است که در آن علاوه بر خازنهای ذاتی C_{gsi} و C_{gbi} و خازنهای غیر ذاتی C_{GSO} و C_{GBO}، خازن C_{DB} نیز در نظر گرفته شده است. با احتساب کلیه بار خازنی گیت و درین در محاسبه f_{diode}، این فرکانس تقریباً برابر با فرکانس قطع ۳dB یک قطعه اتصال دیودی می‌باشد.



شکل (۸): ولتاژ ارلی (V_A) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA و L = ۹۰nm و V_{DS} = ۰/۲۵V.

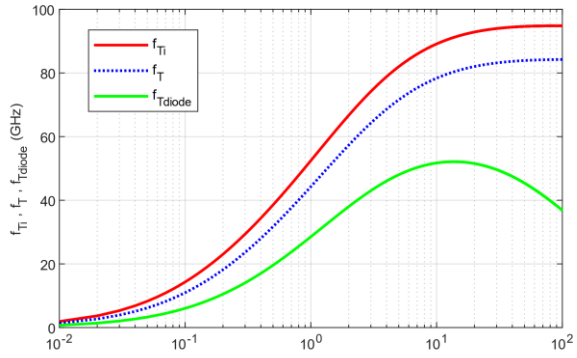


شکل (۹): بهره ذاتی (A_{Vi}) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در L = ۹۰nm و V_{DS} = ۰/۲۵V .

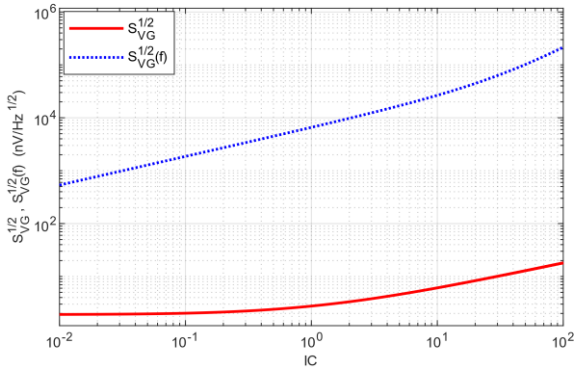
این پهنای بلند تقریباً برابر با پهنای بلند یک قطعه سورس فالوور و یا یک قطعه با سورس متصل به زمین می‌باشد. در شکل (۱۰)، روند تغییرات f_{Ti}، f_T و f_{diode} قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS نشان داده شده است. ممکن است در قطعات کانال کوتاه که مساحت گیت کمتر منجر به خازن گیت - اکسید کوچکتر و متعاقباً خازنهای ذاتی گیت کوچک می شود مقادیر f_T و f_{diode} به مقدار قابل توجهی کمتر از مقدار f_{Ti} باشند. همانگونه که در شکل قابل ملاحظه است، f_{Ti}، f_T و f_{diode} در ابتدا با ارتقاء IC افزایش پیدا می‌کنند، ولیکن در قطعات کانال کوتاه با IC بالا به دلیل اثر سرعت اشباع مقدار آنها افت می‌کند.

۳-۵- پارامترهای نویز حرارتی و فلیکر ارجاع شده به گیت

نویز، حداقل سیگنال AC قابل پردازش توسط مدار آنالوگ یا RF را تعیین می‌کند. نویز حرارتی که به عنوان نویز سفید نیز شناخته می شود، در اثر حرکت حرارتی تصادفی حاملها ایجاد شده و چگالی طیف توان (PSD) ثابتی در تمامی فرکانس ها دارد. از آنجا که نویز حاصل از منابع نویز ناهمبسته با استفاده از روابط چگالی طیف توان (PSD) به راحتی جمع می شوند، طراحان معمولاً نویز را با استفاده از مجذور ریشه چگالی طیف توان (PSD) مشخص می‌کنند. قطعات MOS همچنین دارای نویز فلیکر نیز هستند (گاهی اوقات نویز 1/f نامیده می شود) که در فرکانس‌های پایین غالب است و اغلب در فرکانس های بالاتر از ۱ مگاهرتز از نویز حرارتی فراتر می‌رود. در شکل (۱۱)، روند تغییرات چگالی ولتاژ نویز حرارتی ارجاع شده به گیت ($S_{VG}^{1/2} = \sqrt{4kT(n\Gamma/g_m)}$) و چگالی ولتاژ نویز فلیکر ارجاع شده به گیت ($S_{VG}^{1/2}(f) = \sqrt{K_F/(C_{OX}^2 WLf^{AF})}$) قطعه nMOS بر حسب



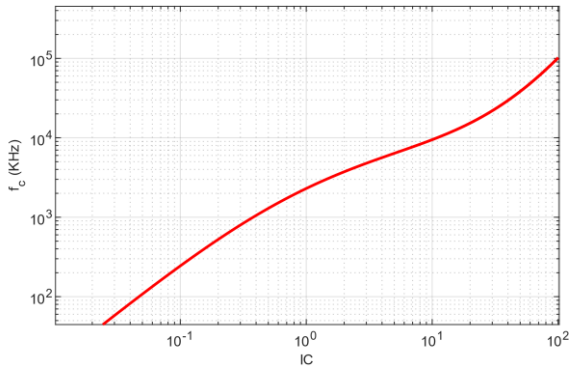
شکل (۱۰): پهنای باندهای ذاتی (f_{Ti})، غیر ذاتی (f_T) و اتصال دیودی (f_{diode}) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در L = ۹۰nm.



شکل (۱۱): چگالی ولتاژ نویز حرارتی ارجاع شده به گیت ($S_{VG}^{1/2}$) و چگالی ولتاژ نویز فلیکر ارجاع شده به گیت ($S_{VG}^{1/2}(f)$) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA و L = ۹۰nm.

ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA نشان داده شده است. Γ ضریب نویز حرارتی نقطه کار در ناحیه اشباع می‌باشد. K_F ضریب نویز فلیکر و AF شیب نویز فلیکر هستند. همانگونه که در شکل واضح است، نویز حرارتی و نویز فلیکر با افزایش IC افزایش می‌یابند.

فرکانس گوشه نویز فلیکر (f_c) فرکانسی است که در آن نویز حرارتی و نویز فلیکر برابرند. در فرکانس های کمتر از f_c، نویز فلیکر و در فرکانس های بالاتر از آن، نویز حرارتی غالب است. در شکل (۱۲)، روند تغییرات f_c قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA نشان داده شده است. همانگونه که در شکل قابل



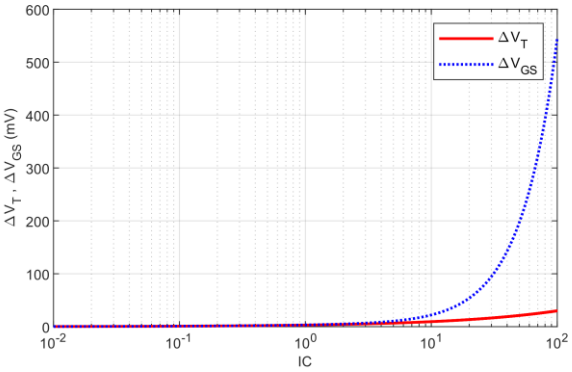
شکل (۱۲): فرکانس گوشه نویز فلیکر (f_c) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA و L = ۹۰nm.

مشاهده است، روند تغییرات f_c مشابه با نویز حرارتی و نویز فلیکر بوده و با IC افزایش می‌یابد.

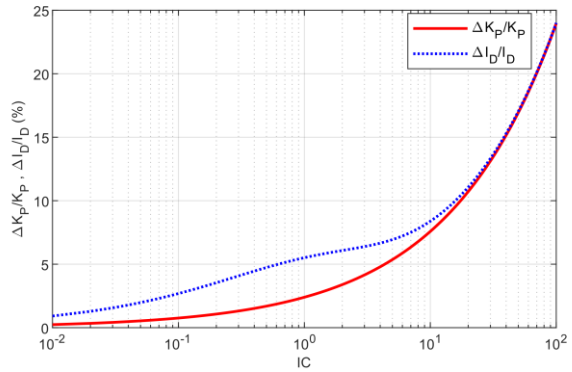
۳-۶- پارامترهای عدم تطابق محلی DC

تغییرات رخ داده در فرآیند ساخت می‌تواند منجر به عدم تطابق در پارامترهای الکتریکی قطعات MOSFET با Layout و شرایط بایاس طراحی یکسان شود. عدم تطابق در ولتاژ آستانه (V_T) و فاکتور رسانایی ($\mu C_{OX}(W/L)$) منجر به عدم تطابق ولتاژ گیت - سورس در زوجهای تفاضلی و عدم تطابق جریان درین در آینه‌های جریان می شوند. در شکل (۱۳)، روند تغییرات عدم تطابق ولتاژ آستانه ($\Delta V_T = AV_T/\sqrt{WL}$) و عدم تطابق ولتاژ گیت - سورس ($\Delta V_{GS} = AV_{GS}/\sqrt{WL}$) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA نشان داده شده است. AV_T و AV_{GS} به ترتیب ضریب عدم تطابق ولتاژ آستانه و ضریب عدم تطابق ولتاژ گیت - سورس می‌باشند. همانگونه که در شکل قابل مشاهده است، ΔV_T و ΔV_{GS} هر دو در نواحی WI و MI لندکی افزایش می‌یابند. این افزایش در ناحیه SI به دلیل اثرات سرعت اشباع قابل توجه است.

در شکل (۱۴)، روند تغییرات عدم تطابق نسبی فاکتور رسانایی ($\Delta K_P/K_P = A_{KP}/\sqrt{WL}$) و عدم تطابق نسبی جریان درین ($\Delta I_D/I_D = [AV_{GS}.(g_m/I_D)]/\sqrt{WL}$) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA نشان داده شده است. A_{KP} ضریب عدم تطابق فاکتور رسانایی می‌باشد. همانگونه که در شکل قابل مشاهده است، $\Delta K_P/K_P$ و $\Delta I_D/I_D$ هر دو در نواحی WI و MI



شکل (۱۳): عدم تطابق ولتاژ آستانه (ΔV_T) و عدم تطابق ولتاژ گیت - سورس (ΔV_{GS}) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA و L = ۹۰nm.



شکل (۱۴): عدم تطابق نسبی فاکتور رسانایی ($\Delta K_P/K_P$) و عدم تطابق نسبی جریان درین ($\Delta I_D/I_D$) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA و L = ۹۰nm.

به مقدارمتوسط افزایش می‌یابند. این افزایش در ناحیه SI به دلیل اثرات سرعت اشباع قابل توجه است.

۳-۷- جریان نشتی گیت - سورس

جریان نشتی گیت با تونل‌زنی مستقیم حامل‌ها از طریق اکسیدهای نازک گیت ایجاد می شود. حاصل این جریان، رسانایی سیگنال کوچک گیت است[۲۱]. در فرآیندهای با ضخامت اکسید گیت در حدود ۲ نانومتر و کمتر، جریان نشتی گیت می‌تواند به مقدار قابل توجهی بر عملکرد مدار و افزایش توان مصرفی موثر باشد. جریان نشتی گیت ($I_{(GS)_L} \propto (WL.K_{GA}.f(K_{GB}).f(V_{GS})$ متناسب با ابعاد هندسی، بایاس و

مشخصه‌های فرآیند قطعه MOS است. K_{GA} و K_{GB} پارامترهای فرآیند جریان نشتی گیت می‌باشند. در شکل (۱۵)، روند تغییرات $I_{(GS)_L}$ قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA نشان داده شده است. همانگونه که در شکل قابل مشاهده است، $I_{(GS)_L}$ در نواحی WI و MI به مقدارمتوسط افزایش می‌یابد. این افزایش در ناحیه SI به دلیل اثرات سرعت اشباع قابل توجه است.

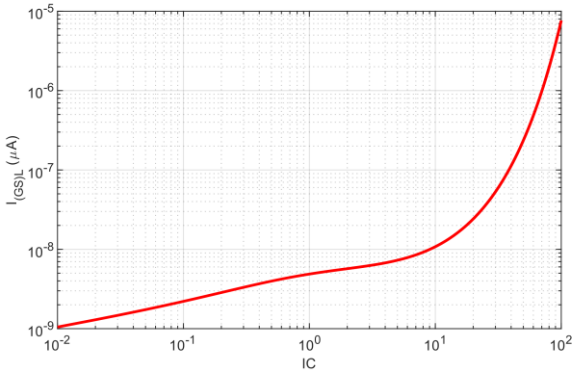
۳-۸- معیارهای شایستگی در طراحی مدارهای RF کم توان

حاصلضرب بهره رسانایی و پهنای باند ذاتی ($FOM_1 = (g_m/I_D \,.\, f_{Ti})$) و حاصلضرب بهره و پهنای باند ذاتی ($FOM_2 = (A_{Vi}.f_{Ti})$) دو معیار شایستگی هستند که ترکیبی از چند عملکرد قطعه MOS را نشان می‌دهند. در شکل‌های (۱۶) و (۱۷)، روند تغییرات FOM_1 و FOM_2 قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS نشان داده شده‌اند. همانگونه که در شکل‌های مذکور قابل ملاحظه است، ماکزیمم مقادیر این دو معیار شایستگی در ناحیه MI و تقریباً در IC = ۱ اتفاق می‌افتد. لذا می‌توان نتیجه گرفت که در طراحی‌های کم ولتاژ با توان مصرفی پایین ناحیه MI انتخاب مناسبی است.

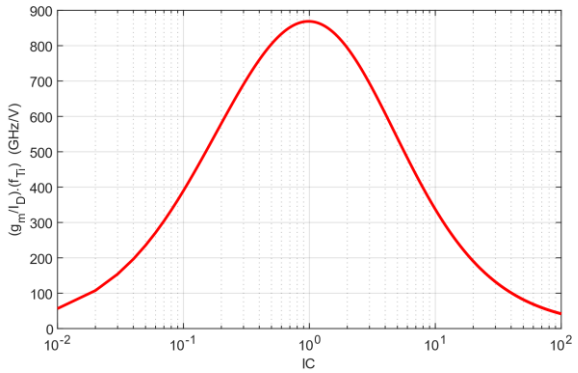
همانگونه که با بررسی مصالحه‌های عملکرد قطعه MOS در شکل‌های (۲) تا (۱۷) ملاحظه شد، استفاده از ضریب وارونگی امکان طراحی آزادانه در تمامی نواحی کار قطعهٔ MOS ازجمله وارونگی متوسط را فراهم می‌نماید. ناحیهٔ وارونگی متوسط که یک ناحیهٔ گذار بین نواحی وارونگی ضعیف و قوی بوده و نزدیک به دو دهه از جریان درین را در بر می‌گیرد، در طراحی‌های مدرن امروز بسیار حائز اهمیت است. این به علت ارائه مصالحه مناسبی از بهره رسانایی بالا، ولتاژ اشباع درین - سورس کم، افت مینیمم در مقدار رسانایی به علت سرعت اشباع و پهنای باند متوسط است که به صورت ذاتی در وارونگی متوسط وجود داشته و برای طراحی‌های ولتاژ پایین با توان مؤثر ضروری است.

۴- صفحه عملیاتی MOSFET

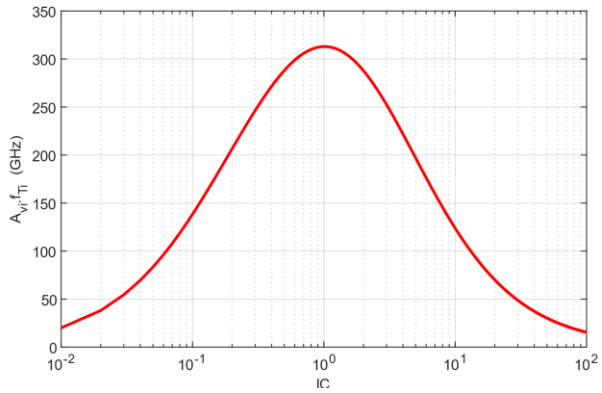
مصالحه‌ها در عملکرد قطعه MOS برای یک جریان درین معین در ناحیه اشباع در صفحه عملیاتی شکل (۱۸) نشان داده شده‌اند. همانگونه که در شکل قابل ملاحظه است، ترانزیستورها می‌بایستی با توجه به عملکردشان در مدار، به صورت جداگانه در نقاط مختلفی از صفحه قرار گیرند تا منجر به مشخصه‌های بهتری شوند (مانند حداقل توان، حداکثر بهره، حداکثر پهنای باند و ...). به عنوان مثال کار در نواحی وارونگی ضعیف و متوسط با طول‌های



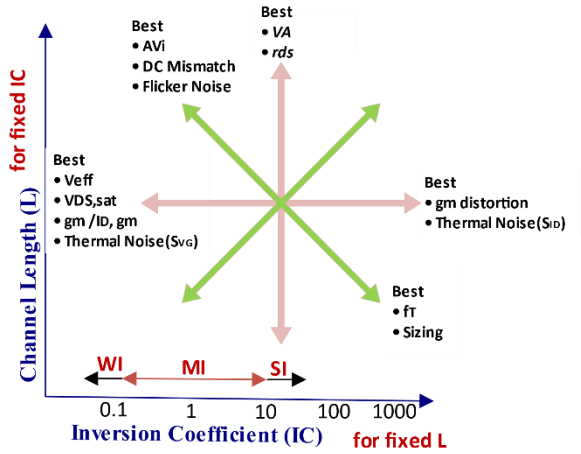
شکل (۱۵): جریان نشتی گیت ($I_{(GS)_L}$) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS در جریان درین ۱۰۰µA و L = ۹۰nm.



شکل (۱۶): معیار شایستگی ۱ (FOM_1) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS برای L = ۹۰nm.



شکل (۱۷): معیار شایستگی ۲ (FOM_2) قطعه nMOS بر حسب ضریب وارونگی در یک فرآیند ۹۰nm از نوع CMOS برای L = ۹۰nm.



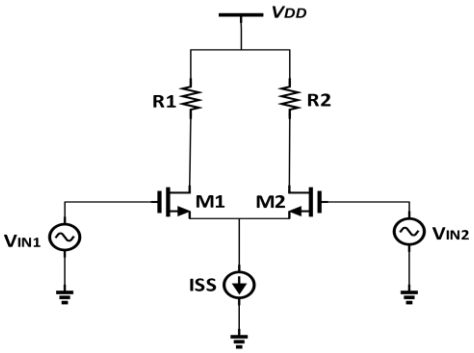
شکل (۱۸): صفحه عملیاتی قطعه MOSFET بر حسب ضریب وارونگی و طول کانال انتخابی به ازای یک جریان درین معین.

کانال بلند (سمت چپ صفحه)، ر سانایی، بهره ر سانایی و گین ذاتی ولتاژ را ماکزیمم و نویز حرارتی و فلیکر ولتاژ ارجاع داده شده به گیت، ولتاژهای بایاس موثر گیت - سورس و اشباع درین- سورس، عدم تطابق DC و جریان ن شتی گیت را مینیمم می‌کند. متقابلاً، کار در نواحی وارونگی قوی با طول‌های کانال کوتاه (سمت را ست صفحه)، موجب افزایش پهنای باند و کاهش اعوجاج ر سانایی می شود. بنابراین، کار در ضرایب وارونگی و طول کانال متو سط، تعادل در عملکرد قطعه MOS ایجاد می کند. وارونگی متو سط در طراحی‌های کم ولتاژ و کم توان اهمیت فزاینده‌ای دارد. کار در وارونگی متو سط شامل مزایایی همچون ولتاژ ا شباع درین - سورس پایین، بهره ر سلنایی بالا، پهنای بلند ذاتی متو سط و ایمنی خوب در برابر اثرات سرعت ا شباع می‌با شد که می‌تواند بر عملکرد قطعه MOS تأثیر منفی بگذارد. نمودارهای گرافیکی نمایش داده شده در شکل‌های (۲) تا (۱۷) تاییدی بر این مدعا هستند.

۵- بررسی خطینگی بر حسب IC

در این بخش، برای نمایش سودمندی بکارگیری صفحه عملیاتی MOSFET در انتخاب نقاط کار ترانزیستورها در مدار، تفسیر مشخصه‌های مدارات آنالوگ و RF بر حسب ضریب وارونگی به کمک مدل EKV، تو صیف عملکرد مدار در نواحی مختلف کار و بررسی نتایج در فرآیندهای مختلف ساخت، یک رویه طراحی جهت خطینگی بهینه مدارهای تفاضلی یک طبقه و کسکود در بلوکهای تقویت‌کننده معرفی می شود. در این روش، شاخصه خطینگی AIP۳ در تقویت کننده‌های تفاضلی یک طبقه و کسکود در تکنولوژی ۰/۱۸µm بر حسب IC تفسیر شده و مقدار بهینه آن برای بایاسینگ قطعات فعال محاسبه می‌شود.

۵-۱- تقویت‌کننده تفاضلی یک طبقه



شکل (۱۹): تقویت‌کننده تفاضلی یک طبقه.

در شکل (۱۹)، یک تقویت کننده تفاضلی یک طبقه نشان داده شده است. مطابق با رابطه $V_{EFF} = 2nU_T \ln\left(e^{\sqrt{IC}} - 1\right)$ در مدل EKV، اختلاف ولتاژ ورودی به شکل ذیل بدست می‌آید:

$$\Delta V_{in} = 2nU_T[ln(e^{\sqrt{IC_1}} - 1) - ln\,(e^{\sqrt{IC_2}} - 1)] \qquad (۴)$$

با فرض بایاس ترانزیستورها در ناحیه WI، اختلاف ضرایب وارونگی دو ترانزیستور با استفاده از بسط Maclaurin بدست می‌آید[۱۸]:

$$IC_1 - IC_2 \approx IC_2 \frac{\Delta V_{in}}{nU_T} + IC_2 \frac{(\Delta V_{in})^2}{2(nU_T)^2} + IC_2 \frac{(\Delta V_{in})^3}{6(nU_T)^3} + \cdots \qquad (۵)$$

با فرض ابعاد یکسان ترانزیستورها، شاخصه خطینگی در وارونگی ضعیف ($AIP3_{WI}$) به شکل ذیل محاسبه می‌شود:

$$AIP3_{WI} = \sqrt{\frac{4}{3}\left|\left(\frac{\alpha 1}{\alpha 3}\right)\right|} = 2.82\, nU_T \approx 3nU_T \qquad (۶)$$

با فرض بایاس ترانزیستورها در ناحیه SI و یکسان بودن ابعاد ترانزیستورها، شاخصه خطینگی در وارونگی قوی ($AIP3_{SI}$) به شکل ذیل محاسبه می‌شود[۱۸]:

$$AIP3_{SI} = \sqrt{\frac{4}{3}\left|\left(\frac{\alpha 1}{\alpha 3}\right)\right|} \approx 4.61 nU_T\sqrt{(IC_1 + IC_2)} \qquad (۷)$$

با فرض $IC_1 = IC_2 = IC$، رابطه (۷) به شکل ذیل حاصل می‌شود:

$$AIP3_{SI} = \approx 6.51 nU_T\sqrt{(IC)} \approx 3.255 V_{EFF} \qquad (۸)$$

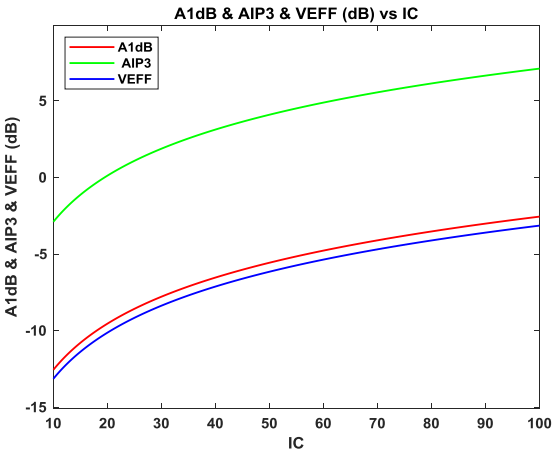
نتیجه اینکه، خطینگی در ناحیه SI رابطه مستقیم با V_{EFF} و IC داشته و با افزایش آنها رفتار مدار بهتر و خطی‌تر می‌شود.

در شکل (۲۰)، تغییرات V_{EFF}، $A1dB_{SI}$ و $AIP3_{SI}$ در ناحیه SI برای تقویت کننده تفاضلی یک طبقه در فرآیند ساخت ۰/۱۸µm بر حسب IC نشان داده شده‌اند. همانگونه که قابل مشاهده است، با افزایش ضریب وارونگی ترانزیستورها، عملکرد خطی مدار بهبود می یابد، و لیکن هنگامیکه مقدار IC از مقدار IC_{CRIT} فراتر رود، با اثرات کلنال کوتاه قطعه MOSFET مواجه هستیم که موجب افت مشخصه‌های مدار می شود. IC_{CRIT}، محل تلاقی منحنی g_m/I_D وارونگی قوی بدون احتساب اثرات ابعاد هندسی کوچک قطعه (متناسب با $1/\sqrt{IC}$) با منحنی g_m/I_D وارونگی قوی با احتساب اثرات سرعت اشباع (متناسب با $1/IC$) بوده و ضریب وارونگی بحرانی نامیده می شود. این پارامتر معیاری جهت شناسایی نواحی کار پرخطر قطعه است که با انتخاب ضرایب وارونگی بزرگتر از آن مشخصه‌های مدار افت خواهند کرد. همانگونه که در منحنی g_m/I_D در ضریب وارونگی بحرانی نامیده می شود. این پارامتر معیاری جهت شناسایی نواحی کار پرخطر قطعه است که با انتخاب ضرایب وارونگی بزرگتر از آن مشخصه‌های مدار افت خواهند کرد. همانگونه که در منحنی g_m/I_D در شکل (۲۱) قابل مشاهده است، IC_{CRIT} مینیمم در تکنولوژی ۰/۱۸µm برابر با ۳۱/۸۳ می‌باشد. لذا، نقاط کار بهینه ترانزیستورها برای دستیابی به خطینگی بالا، IC_{CRIT} است. البته لازم به ذکر است که با این انتخاب، مزایای بایاس قطعات در مناطق WI و MI که منجر به طراحی های کم توان می‌شود را از دست خواهیم داد و این مجدداً اصل مبادله و بهینه‌سازی در مدارهای آنالوگ و RF را خاطر نشان می‌سازد. از سوی دیگر، می‌بایستی توجه داشت که در فرآیندهای کوچکتر از ۰/۱۸µm، مقدار IC_{CRIT} کوچکتر و کوچکتر شده و بر اساس رابطه پیش‌بینی $IC_{CRIT} \approx (L_{min}/20nm)^2$، مقدار آن در $L = 20nm$ تقریباً ۱ خواهد بود [۲۲]. لذا، نقاط کار قطعات در وسط ناحیه وارونگی متوسط (MI) می‌افتد که معمولا برای طراحی‌های کم توان ناحیه بهینه است.

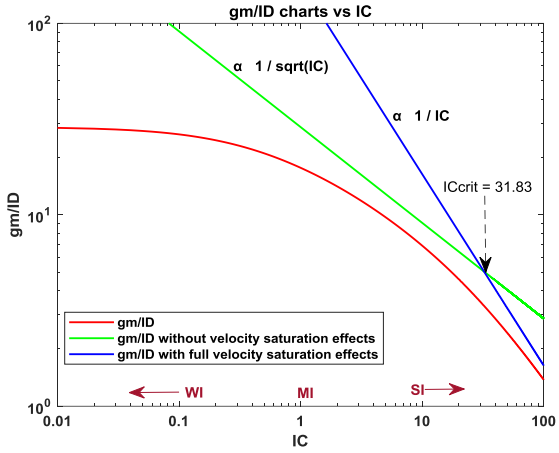
۵-۲- تقویت‌کننده تفاضلی دو طبقه یا کسکود

در شکل (۲۲)، بلوک دیاگرام کلی یک تقویت کننده تفاضلی دو طبقه یا کسکود با فرض وجود اثرات غیر خطی تا مرتبه سوم نشان داده شده است. برای سادگی محاسبات و قابل تعمیم بودن آنها، فرض می شود که طبقات کاملا مشابه هستند. با فرض تقارن کامل مدار و حذف اثرات هارمونیک دوم، شاخص خطینگی به شکل ذیل به دست می‌آید[۳]:

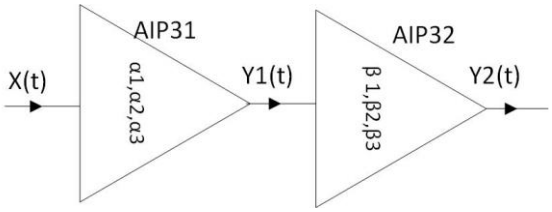
$$\frac{1}{AIP3^2} \approx \frac{1}{AIP3_1^2} + \frac{\alpha_1^2}{AIP3_2^2} \qquad (۹)$$



شکل(۲۰): تغییرات V_{EFF} و شاخصه‌های خطینگی در یک تقویت‌کننده تفاضلی یک طبقه بر حسب IC در ناحیه SI و در فرآیند ساخت ۰/۱۸µm.



شکل(۲۱): بهره رسانایی بر حسب IC در یک قطعه nMOS با طول L = ۰/۱۸µm در یک فرآیند ۰/۱۸µm از نوع CMOS.



شکل(۲۲): بلوک دیاگرام تقویت کننده تفاضلی کسکود شده.

که AIP۳ شاخ صه خطینگی کل مدار و $AIP3_{۱}$ و $AIP3_{۲}$ به ترتیب شاخ صه‌های خطینگی طبقات اول و دوم مدار می‌با شند. با بایاس کردن قطعات فعال مدار در ناحیه WI و جایگذاری بهره ذاتی مدار طبقه اول در رابطه (۹)، شاخصه خطینگی به شکل ذیل بدست می‌آید:

$$AIP3_{WI-۲St} \approx \frac{۲.۸۲۸(nU_T)^{۲}}{V_A} \qquad (۱۰)$$

که $AIP3_{WI-۲St}$ شاخ صه خطینگی مدار زوج تفا ضلی دو طبقه در ناحیه WI می‌باشد.

در شکل (۲۳)، تغییرات ولتاژ ارلی بر ح سب IC برای یک قطعه nMOS با طول L = ۰/۱۸µm در یک فرآیند ۰/۱۸µm از نوع CMOS نشان داده شده ا ست. همانگونه که در شکل م شخص ا ست، در IC = ۰/۱ (در ناحیه وارونگی ضعیف)، ولتاژ ارلی دارای حداکثر مقدار V_A = ۱/۶۸V است. بنابراین، حداقل مقدار شاخصه خطینگی به شکل ذیل بدست می‌آید:

$$AIP3_{WI-۲St-min} \approx ۱.۶۸۳(nU_T)^{۲} \approx ۲.۰۴\ mV \qquad (۱۱)$$

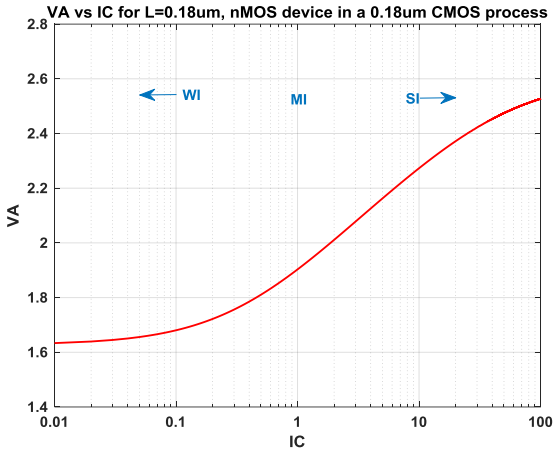
این بدان معنی ا ست که در ناحیه وارونگی ضعیف، حداقل مقدار نقطه قطع مرتبه سوم ورودی (IIP۳)، تقریباً ۴۳dBm- ا ست. در شکل (۲۴)، تغییرات IIP۳ بر ح سب IC برای تقویت‌کننده‌های تفا ضلی یک طبقه و دو طبقه در ناحیه وارونگی ضعیف نشان داده شده است. در WI، مقادیر در هر دو تقویت‌کننده تقریبا ثابت ا ست. همانگونه که انتظار می‌رود، مقدار IIP۳ مدار دو طبقه تقریباً ۳۳dB کمتر از مدار یک طبقه می‌باشد.

با فرض بایاس ترانزیستورها در ناحیه SI و نیز $IC_{۱} = IC_{۲} = IC$ و جایگذاری بهره ذاتی مدار طبقه اول در رابطه (۹)، شاخ صه خطینگی به شکل ذیل بدست می‌آید:

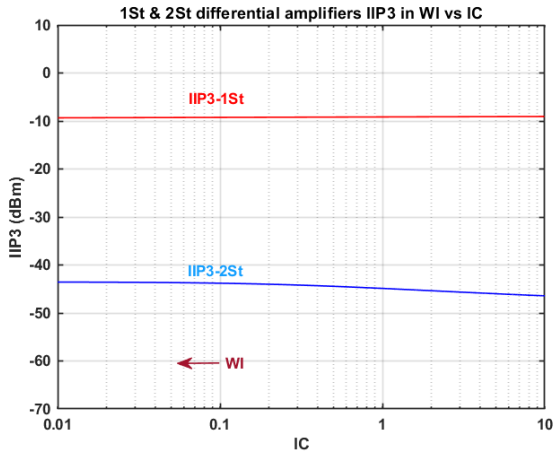
$$AIP3_{SI-۲St} \approx \frac{۶.۵۱(nU_T)^{۲}IC}{V_A} \qquad (۱۲)$$

که $AIP3_{SI-۲St}$ شاخصه خطینگی مدار زوج تفاضلی دو طبقه در ناحیه SI می‌با شد. ملاحظه می شود که $AIP3_{SI-۲St}$ با IC رابطه م ستقیم و با V_A رابطه عکس دارد . همانگونه که در شکل(۲۳) ملاحظه شد، از شروع منطقه وارونگی قوی (IC = ۱۰) تا IC = ۱۰۰ ، م حدوده تغییرات V_A تقریباً ۰.۲ ولت ا ست. بنابراین می‌توان نتیجه گرفت که تأثیر ضریب وارونگی بر خطی بودن مدار بیشتر از ولتاژ ارلی است.

در شکل (۲۵)، تغییرات IIP۳ بر ح سب IC برای تقویت‌کننده‌های تفا ضلی یک طبقه و دو طبقه در ناحیه وارونگی قوی نشان داده شده ا ست. ملاحظه می شود که با افزایش IC، خطینگی مدار بهبود می‌یابد. ولیکن همانگونه که پیشتر نیز کفته شد، برای ضرایب وارونگی بزرگتر از IC_{CRIT} با



شکل(۲۳): تغییرات ولتاژ ارلی بر حسب IC برای یک قطعه nMOS با طول L = ۰/۱۸µm در یک فرآیند ۰/۱۸µm از نوع CMOS.



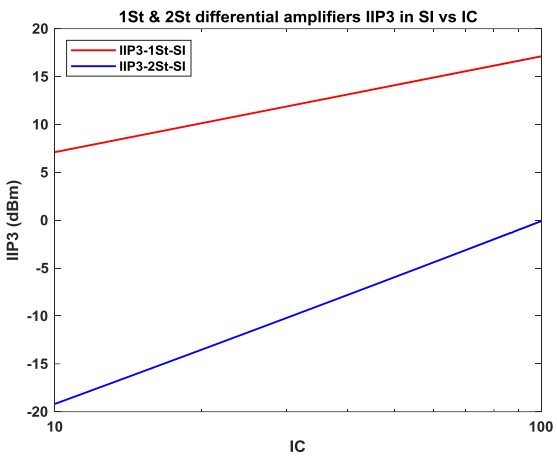
شکل(۲۴): تغییرات IIP۳ تقویت‌کننده‌های تفاضلی یک طبقه و دو طبقه بر حسب IC در ناحیه WI در یک فرآیند ۰/۱۸µm از نوع CMOS.

م شکلات اثرات کلنال کوتاه مواجه خواهیم بود.لذا، مجدداً نقاط کار بهینه ترانزیستورهای مدار برای دستیابی به خطینگی بالا، IC_{CRIT} است.

همانگونه که در شکل (۲۳) ملاحظه شد، در IC = IC_{CRIT} = ۳۱/۸۳، مقدار ولتاژ ارلی V_A = ۲/۴۲۸V ا ست. بنابراین، مقدار بهینه AIP۳ و IIP۳ به شکل ذیل محاسبه می‌شوند:

$$AIP3_{SI-۲St-OPTIMUM} \approx ۸۴.۵۷(nU_T)^{۲} \approx ۰.۱V \qquad (۱۳)$$

$$IIP3_{SI-۲St-OPTIMUM} \approx -۱۰dBm \qquad (۱۴)$$



شکل(۲۵): تغییرات IIP۳ تقویت‌کننده‌های تفاضلی یک طبقه و دو طبقه بر حسب IC در ناحیه SI در یک فرآیند ۰/۱۸µm از نوع CMOS.

۵-۳- رفتار شاخصه خطینگی در فرآیندهای مختلف

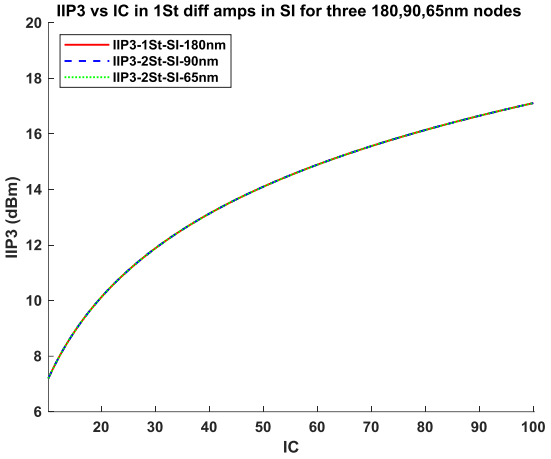
در این بخش شاخصه‌های خطینگی در سه فرآیند مختلف ۰/۱۸µm، ۹۰nm و ۶۵nm مقایسه شده و تأثیر کاهش ابعاد هندسی قطعات بر روی آنها بررسی می‌شود.

در شکل (۲۶)، IIP۳ تقویت کننده تفاضلی یک طبقه در ناحیه وارونگی قوی بر حسب IC در سه فرآیند مختلف ۰/۱۸µm، ۹۰nm و ۶۵nm نشان داده شده است. همانگونه که واضح است، هر سه منحنی بر روی هم قرار گرفته‌اند که تاییدی بر رابطه (۸) می‌باشد. این نشان می‌دهد که ظریفتر شدن تکنولوژی تاثیر چندانی بر عملکرد خطینگی قطعات در تقویت کننده‌های تفاضلی یک طبقه ندارد.

در شکل (۲۷)، ولتاژ ارلی و IIP۳ تقویت‌کننده‌های تفاضلی دو طبقه در ناحیه وارونگی قوی بر حسب IC در سه فرآیند مختلف ۰/۱۸µm، ۹۰nm و ۶۵nm نشان داده شده‌اند. همانگونه که واضح است، با ظریفتر شدن تکنولوژی، V_A کاهش یافته و در نتیجه مقدار IIP۳ افزایش می‌یابد.

۵-۴- متدولوژی طراحی

بر اساس مطالب بحث شده در بخش‌های ۵-۱ و ۵-۲، محاسبه IC_{CRIT} اجازه می‌دهد تا بایاسینگ و شاخصه‌های خطینگی بهینه بدست آورده شوند. با این رویکرد یک روش کامل طراحی در شکل (۲۸) ارائه شده است. در ادامه روند طراحی برای تقویت‌کننده تفاضلی یک طبقه به صورت مرحله به مرحله شرح داده شده است:



شکل(۲۶): اندازه‌گیری IIP۳ تقویت‌کننده‌های تفاضلی یک طبقه بر حسب IC در ناحیه SI در سه فرآیند مختلف ۰/۱۸µm، ۹۰nm و ۶۵nm از نوع CMOS.

مرحله ۱: رسم نمودار g_m/I_D بر حسب IC جهت یافتن IC_{CRIT} مینیمم (شکل ۲۱).

مرحله ۲: تعیین طول کانال قطعه. برای دستیابی به عملکرد بهتر IIP۳، مینیمم مقدار طول کانال در فرآیند مورد نظر انتخاب می شود ($L_{min} = ۰.۱۸\mu m$).

مرحله ۳: رسم نمودار V_A بر حسب IC جهت یافتن مقدار ولتاژ ارلی در IC_{CRIT} مینیمم (شکل ۲۳).

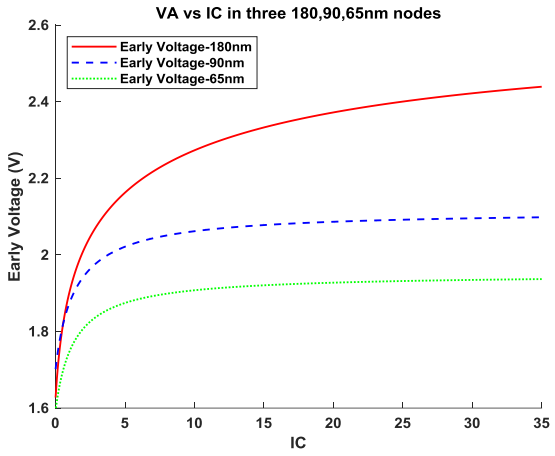
مرحله ۴: رسم نمودار رسانایی درین - سورس (g_{dso}) بر حسب IC جهت یافتن g_{dso} در IC_{CRIT} مینیمم (شکل ۲۹).

مرحله ۵: محاسبه جریان درین (I_D) با استفاده از مقادیر بدست آمده در مراحل ۳ و ۴ ($I_D = V_A g_{dso}$).

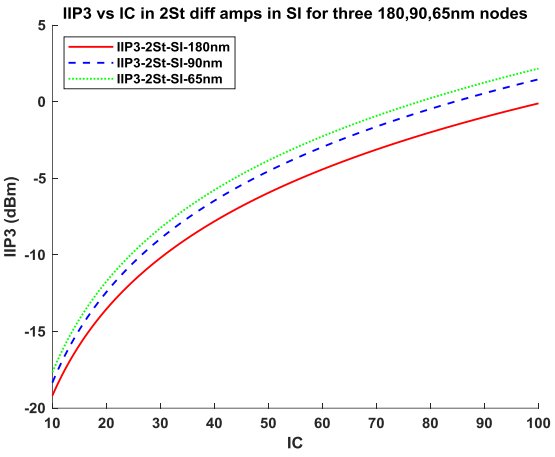
مرحله ۶: محاسبه ولتاژ گیت - سورس (V_{GS}) با استفاده از مقدار بدست آمده برای IC_{CRIT} مینیمم در مرحله ۱ ($V_{GS} = 2nU_T \ln\left(e^{\sqrt{IC}} - 1\right) + V_{TH}$).

مرحله ۷: محاسبه ابعاد هندسی قطعات (W/L) با استفاده از مقادیر بدست آمده در مراحل ۱ و ۵ ($\frac{W}{L} = \frac{I_D}{IC_{CRIT} I_.}$).

مرحله ۸: محاسبه عرض قطعات با استفاده از مقادیر بدست آمده در مراحل ۱ و ۲ و ۵ ($W = \left(\frac{L}{IC_{CRIT}}\right).\left(\frac{I_D}{I_.}\right)$).



(الف)

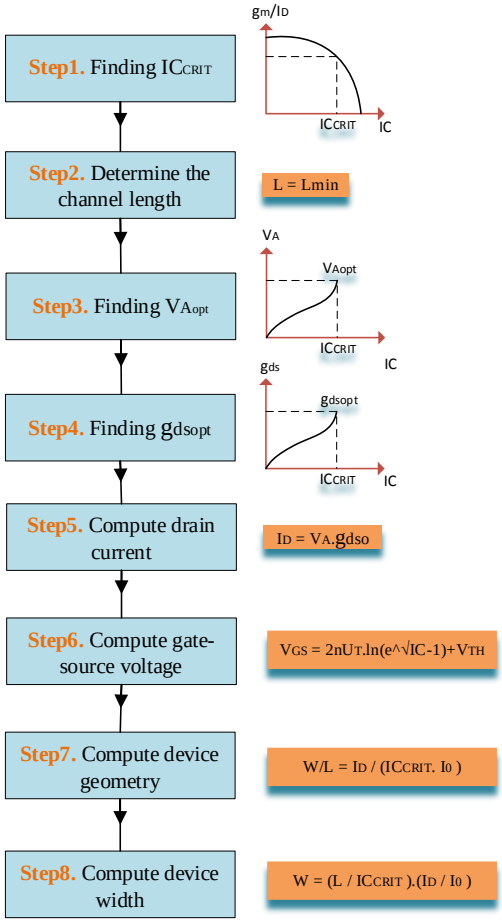


(ب)

شکل(۲۷): (الف)-اندازه‌گیری ولتاژ ارلی و (ب)- IIP^3 تقویت‌کننده تفاضلی دو طبقه بر حسب IC در ناحیه SI در سه فرآیند مختلف ۰/۱۸µm، ۹۰nm و ۶۵nm از نوع CMOS.

۵-۵- اعتبار سنجی روش طراحی با شبیه‌سازی

در این بخش، مدار تقویت‌کننده تفاضلی دو طبقه مورد مطالعه در بخش‌های قبل در فرآیند ۰.۱۸µm شرکت TSMC شبیه سازی شده است تا روش طراحی پیشنهادی اعتبارسنجی شود. همانگونه که در شکل (۳۰) نشان داده شده است، IIP^3 تخمین زده شده از طریق روش پیشنهادی در کل ناحیه SI با نتایج شبیه‌سازی مطابقت دارد. در شکل (۳۱)، مقدار شبیه‌سازی شده IIP^3 تقویت کننده تفاضلی دو طبقه در $IC = IC_{CRIT}$ نشان داده شده است.

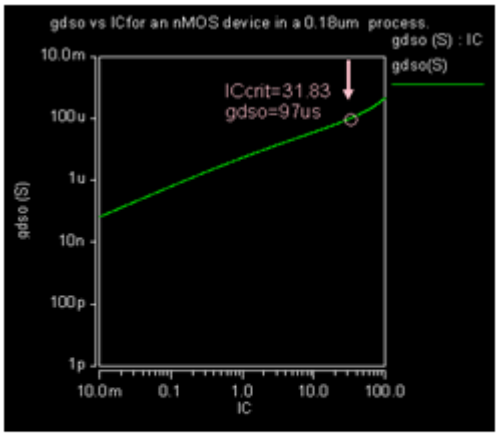


شکل (۲۸): روند کامل طراحی

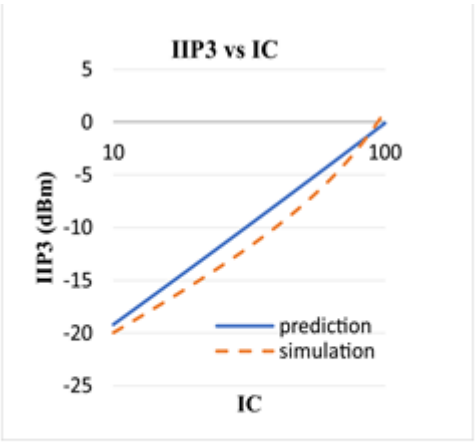
همانگونه که واضح است، مقدار ۱۰/۱dBm- بدست آمده کاملاً با مقدار ۱۰dBm- استخراج شده از رابطه پیش‌بینی (۱۴) مطابقت دارد.

۶- نتیجه‌گیری

در این مقاله، عملکرد قطعه MOS با استفاده از مدل EKV و پارامتر کلیدی IC در فرآیند ۹۰nm از نوع CMOS بررسی شد. با ترسیم کلیه مشخصه‌های قطعه MOS بر حسب IC، امکان مشاهده عملکرد آن از ناحیه WI تا SI فراهم گردید. برای یک جریان درین معین در ناحیه اشباع، مصالحه‌های عملکرد قطعه MOS بر روی یک صفحه عملیاتی MOSFET خلاصه شد که امکان جستجوی منطقه بهینه طراحی قطعات فعال یک مدار را فراهم می‌کند. با اینکار، مزایای بایاس قطعه MOS در ناحیه MI برای طراحی‌های ولتاژ پایین و کم توان نشان داده شد. برای نمایش سودمندی

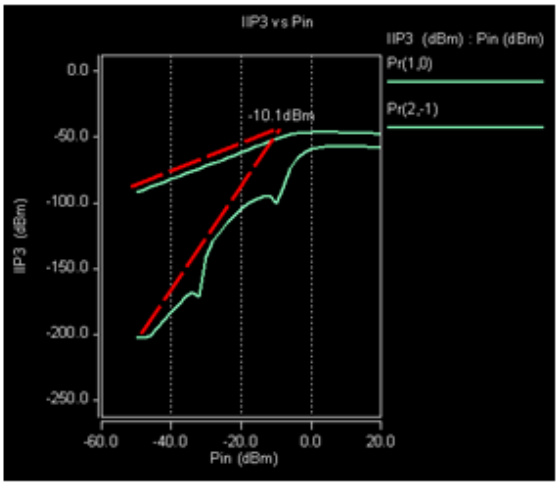


شکل (۲۹): تغییرات رسانایی درین – سورس (g_{dso}) بر حسب IC برای یک قطعه nMOS با طول L = ۰/۱۸µm در یک فرآیند ۰/۱۸µm از نوع CMOS.



شکل (۳۰): مقادیر پیش‌بینی (خطوط کامل) و شبیه‌سازی (خطوط نقطه چین) IIP3 تقویت‌کننده تفاضلی دو طیقه در ناحیه وارونگی قوی بر حسب IC در فرآیند ۰/۱۸µm از نوع CMOS.

تف سیر م شخ صه‌ها بر ح سب IC، بایاس قطعات به کمک صفحه عملیاتی MOSFET و نهایتاً مقایسه آنها در فناوریهای مختلف، شاخصه خطینگی دو تقویت کننده تفاضلی یک طبقه و دو طبقه در سه فناوری متفاوت به عنوان مثال طراحی در نظر گرفته شد که نتایج بد ست آمده از روابط پیش‌بینی و شبیه‌سازی کاملاً با هم مطابقت داشتند.



شکل(۳۱): IIP3 شبیه‌سازی شده تقویت‌کننده تفاضلی دو طیقه بر حسب توان سیگنال ورودی در فرآیند ۰/۱۸µm از نوع CMOS شرکت TSMC.

مراجع

[۱] G. Girardi, L. C. Severo and P. C. de Aguirre, “Design Techniques for Ultra-Low Voltage Analog Circuits Using CMOS Characteristic Curves: a practical tutorial,” Journal of Integrated Circuits and Systems, vol. ۱۷, n.۱, ۲۰۲۲.

[۲] W. G. Tuni., Design Methodology of Analog and RF Building Blocks Based on Precomputed Actual Device Technology Data, Ph.D. Thesis, Dept. of Electrical and Computer Engineering of University of Florida, ۱۲ □□□□□□□□ ۲۰۲۰.

[۳] B. Razavi., RF Microelectronics, ۲nd ed. Prentice Hall, ۲۰۱۱.

[٤] D. M. Binkley., Tradeoffs and Optimization in Analog CMOS Design, ۱st ed. New York: Wiley, ۲۰۰۸.

[٥] C. Enz, F. Chicco, and A. Pezzotta, “Nanoscale MOSFET modeling: Part ۱: The simplified EKV model for the design of low-power analog circuits,” IEEE Solid- State Circuits Mag., vol. ۹, no. ۳, pp. ۲٦– ۳٥, Aug. ۲۰۱۷.

[٦] C. Enz, F. Chicco, and A. Pezzotta, “Nanoscale MOSFET modeling: Part ۲: Using the inversion coefficient as the primary design parameter,” IEEE Solid-State Circuits Mag., vol. ۹, no. ٤, pp. ۷۳–۸۱, Nov ۲۰۱۷.

[۷] E. A. Vittoz, “Micropower Techniques,” in Design of MOS VLSI Circuits for Telecommunications, J. Franca and Y. Tsividis, Eds. Englewood Cliffs, NJ: Prentice-Hall, ۱۹۹٤.

[۸] G. Guitton, “Design Methodologies for multi-mode and multi-standard Low-Noise Amplifiers”, Ph.D. Thesis, Dept. of the Engineering and Computer Science of University of Bordeaux,۱۲ December ۲۰۱۸.

[۹] C. Enz, F. Chicco, and A. Pezzotta, “Nanoscale MOSFET modeling: Part ۲: Using the inversion coefficient as the primary design parameter,” IEEE Solid-State Circuits Mag., vol. ۹, no. ٤, pp. ۷۳–۸۱, Nov ۲۰۱۷.

[۱۰] M. A. Chalkiadaki, “Characterization and modeling of nanoscale MOSFET for ultralow power RF IC design,” Ph.D. dissertation, EPFL, Switzerland, Dissertation No.۷۰۳۰, ۲۰۱٦.

[۱۱] C. Enz, F. Krummenacher, and E. A. Vittoz, “An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications,” Analog Integr. Circuits Signal Process., vol. ۸, no. ۱, pp. ۸۳–۱۱٤, Jul. ۱۹۹٥.

[۱۲] C. Enz and E. A. Vittoz, “Charge-Based MOS Transistor Modeling: The EKV Model for Low-Power and RF IC Design,” Hoboken, NJ, USA: Wiley ۲۰۰٦.

[۱۳] A. Idrissi Quali and A. El Oualkadi and M. Moussaoui and Y. Laaziz, Design Optimization Methodology Based on Inversion Coefficient. Arab J Sci Eng, ۰۹ November ۲۰۱٤.

[۱٤] W. Sansen, “Minimum power in analog amplifying blocks: Presenting a design procedure,” IEEE Solid-State Circuits Mag., vol. ۷, no. ٤, pp. ۸۳–۸۹, Fall ۲۰۱٥.

[۱٥] W. Sansen, “Biasing for Zero Distortion Using the EKV/BSIM٦ expressions,” IEEE Solid-State Circuits Mag., ۱۰.۱۱۰۹/□□□□.۲۰۱۸.۲۸۴۴۶۰۷, ۱۳ □□□□□□ ۲۰۱۸.

[۱٦] F. Chicco, A. Pezzotta, and C. C. Enz, “Charge-based distortion analysis of nanoscale MOSFETs,” IEEE Trans. Circuits Syst. I, Reg. Papers, vol. ٦٦, no. ۲, pp. ٤٥۳–٤٦۲, Feb. ۲۰۱۹.

[۱۷] Engin Afacan, “Inversion coefficient Optimization based Analog/RF circuit design automation”, Microelectronics Journal, vol. ۸۳, pp. ۸٦-۹۳, ۲۰۱۹.

[۱۸] G. Khademevatan and A. Jalali, "Study of linearity indices in analog/RF circuits using EKV model and comparing the results in three different CMOS processes," ۲۰۲۲ Iranian International Conference on Microelectronics (IICM), Tehran, Iran, Islamic Republic of, ۲۰۲۲, pp. ۱-۷.

[۱۹] https://www.epfl.ch/labs/iclab/ekv/verilog-a.

[۲۰] K. Singh and P. Jain, “BSIM۳v۳ to EKV۲,٦ Model Parameter Extraction and Optimization using LM Algorithm on ۰,۱۸um Technology node”, Intl Journal of Electronics and Telecommunications, ۲۰۱۸, vol. ٦٤, no. ۱, pp. ٥–۱۱.

[۲۱] S. Datta, A. Basak and A. Deyasi, "Gate-to-Source Leakage Current Computation in Symmetric Double Gate MOSFET incorporating Short Channel Effects," ۲۰۲۳ IEEE Devices for Integrated Circuit (DevIC), Kalyani, India, ۲۰۲۳, pp. ٥۲۲-٥۲٥.

[۲۲] W. Sansen, “Minimum power in analog amplifying blocks: Presenting a design procedure,” IEEE Solid-State.

Modern Research Electrical and Electronic Avionic
Vol.١, No.١, Winter ٢٠٢٤
https://www.mreea.ir

Design of a Surface Wave Duplexer Based on Tensor Impedance Surfaces with a CPW-Fed Launcher

Mojtaba Mighani[١*], Rasoul Kord[١]

Department of Electrical and Electronics Engineering, Shahid Sattari Aeronautical Science and Technology Umiversity, Tehran, Iran

[*] microwave@ssau.ac.ir

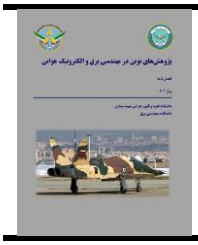
(Recived times: ٢٠٢٤/Mar/١٦ , Accept time: ٢٠٢٤/Jul/٠٤)

Abstract

In this paper, a novel duplexer is presented based on the change in the refraction angle when a surface wave passes from a scalar impedance surface to a tensor impedance surface. This structure utilizes an artificial impedance surface alongside a tensor impedance surface, together with three launchers to excite the surface wave. To achieve the duplexer, the structure is designed using printed circuit technology in such a way that a microwave duplexer is realized by leveraging the change in refraction angle during the transition from the scalar to the tensor surface. Additionally, three launchers are used to excite the surface wave on the structure and to receive it. Measurement results in the ١٨,٤ GHz and ٢١,٦ GHz bands show that this structure has insertion losses of ٤,٥ dB and ٥,١ dB, and isolation levels of ٣٦,٦ dB and ٤٠ dB, respectively. The results from the mathematical modeling and simulation of the structure's insertion loss and isolation show very good agreement. Furthermore, validating the feasibility of realizing a surface wave duplexer is one of the most important outcomes of this paper.

Keyword:

پژوهش‌های نوین در مهندسی برق و الکترونیک هوایی
شماره ۱، جلد ۱، زمستان ۱۴۰۴
https://www.mreea.ir



طراحی وشبیه‌سازی یک دیپلکسر موج سطحی با استفاده از سطوح امپدانس تانسوری ولانچر CPW-Fed

مجتبی میقانی*[۱]، رسول کرد[۱]

*[۱]دانشکده مهندسی برق و الکترونیک، دانشگاه علوم و فنون هوایی شهید ستاری، تهران، ایران،
microwave@ssau.ac.ir *

(تاریخ ارسال مقاله: ۱۴۰۲/۱۲/۲۶تاریخ پذیرش مقاله: ۱۴۰۳/۰۴/۱۴)

واژگان کلیدی

موج سطحی
سطح امپدانس تانسوری
سطح امپدانسی اسکالر
دیپلکسر

چکیده

در این مقاله یک دیپلکسر جدید برمبنای تغییرات زاویه شکست در هنگام ورود موج سطحی از یک سطح امپدانسی اسکالر به یک سطح امپدانس تانسوری ارایه شده است. در این ساختار یک سطح امپدانس مصنوعی در کنار یک سطح امپدانس تانسوری به همراه سه عدد لانچر برای تحریک موج سطحی استفاده شده است. برای دست‌یابی به دیپلکسر، ساختار به نحوی با استفاده از تکنولوژی مدار چاپی طراحی شده است که با تغییرات زاویه شکست در هنگام ورود از سطح اسکالر به تانسوری بتوان به یک دیپلکسر ریزموجی دست یافت. همچنین از ۳ عدد لانچر برای تحریک موج سطحی بر روی سطح و دریافت آن استفاده شده است. نتایج اندازه‌گیری در دو باند ۱۸/۴ گیگاهرتز و ۲۱/۶ گیگاهرتز نشان می‌دهد که این ساختار دارای تلفات عبوری به ترتیب ۴/۵ و ۵/۱ دسی‌بل و ایزولاسیون به ترتیب ۳۶/۶ و ۴۰ دسی‌بل می‌باشد. نتایج بدست آمده از مدل‌سازی ریاضی و شبیه‌سازی تلفات ساختار و ایزولاسیون از تطابق بسیار خوبی برخوردار هستند. از سوی دیگر صحه‌گذاری برروی امکان تحقق دیپلکسر موج سطحی یکی از مهمترین نتایج این مقاله است.

۱- مقدمه

دیپلکسرها یکی از المان‌های سه دهانه‌ای جذاب در سیستم‌های ریزموجی ه ستند. یکی از کاربردهای مهم این قطعات، اتصال هم زمان فر ستنده و گیرنده‌ای با دو فرکانس متفاوت به یک آنتن می‌با شد [۱]. به عبارتی یک دیپلکسر می‌تواند دو کانال فرکانسی را ترکیب و یا از یکدیگر جدا نماید. وقتی نیاز به ترکیب یا جدا سازی بیش از دو کلنال فرکانسی داریم، یک مالتی پلکسر می‌تواند مورد استفاده قرار گیرد. به عبارتی مالتی پلکسرها و دیپلکسرها عملکردی شبیه ترکیب‌کننده‌ها و تقسیم‌کننده‌های توان دارند با این تفاوت که برخلاف آنها ترکیب‌کننده‌ها و تقسیم‌کننده‌ها فقط در یک فرکانس قابل استفاده هستند و توانایی مالتی‌پلکس فرکانسی را ندارند [۲-۳]. این رفتار، استفاده از دیپلکسرها را در تقویت‌کننده‌های توان پهن‌باند مبتنی‌بر نیمه‌هادی، نسبت به ترکیب‌کننده‌ها و تقسیم‌کننده‌ها کاراتر خواهد نمود.

مالتی‌پلکسرها در مقایسه با تقسیم‌کننده‌ها و ترکیب‌کننده‌های توان دو مزیت عمده دارند. اول اینکه تضعیف ذاتی آن را ندارد و دوم اینکه می‌تواند بین دهانه‌های خود ایزولاسیون ایجاد کند [۴]. این عمل مالتی‌پلکسرها را در گیرنده‌های چند کلنله به شدت کارا می‌کند. همچنین می‌توان یک دیپلکسر را با یک سیرکولاتور نیز مقایسه نمود. این مقایسه نتیجه می‌دهد، به دلیل اینکه دیپلکسر بطور همزمان در دو کلنال مجزا قابل کار است، می‌تواند در بسیاری از کاربردها از سیرکولاتور مناسبتر باشد.

روش طراحی دیپلکسرها معمولا برمبنای اتصال دو فیلتر با دو فرکانس عبور متفاوت به وسیله یک اتصال تی به یکدیگر می‌باشد. در این روش، مهمترین مشکل آن است که هر فیلتر در باند عبور فیلتر دیگر باید اتصال باز باشد. دو روش برای طراحی دیپلکسرها وجود دارد. یکی معمولا برمبنای بهینه سازی یک تابع خطا و اصلاح پاسخ دیپلکسر می‌باشد که فرآیندی زمان بر است [۵-۶] و دیگری روش های تحلیلی مبتنی بر طراحی دو فیلتر مجزا و ماتریس تزویج است [۷-۸].

از لحاظ روش ساخت، دیپلکسرها معمولاً بصورت فناوری مدارچاپی [۷-۱۱] و موجبری [۱۲-۱۳] ساخته می شوند. در [۷-۹] مالتی پلکسرها برمبنای SIW ساخته شده‌اند. مزیت عمده این دیپلکسرهای مبتنی‌بر مدارات چاپی، سادگی ساخت و هزینه کم و امکان ترکیب با قطعات فشرده مداری است. از سوی دیگر ساخت دیپلکسرها بوسیله موجبرها امکان دست‌یابی به تلفات عبوری پایین و ضریب‌های کیفیت بالا را فراهم می‌کند [۱۲-۱۳]. به عنوان نمونه در [۱۳] دیپلکسر موجبری با تلفات عبوری نوعی ۰/۳۹ دسی‌بل و ضریب حذف بسیار بالا ارایه شده است. همچنین به دلیل توان قابل تحمل بالا، دیپلکسرهای موجبری با وجود مشکلات ساخت، در فرستنده‌ها بیشتر مورد استفاده قرار می‌گیرند.

اخیرا با استفاده از سطوح امپدانس تانسوری ساختاری ارایه شده است که می‌تواند برای طراحی یک دیپلکسر برمبنای امواج سطحی مورد استفاده قرار گیرد [۱۴-۱۶]. ساختار ارایه شده با کنار هم قرار دادن یک سطح امپدانس اسکالر و یک سطح امپدانس مصنوعی بدست آمده است. در این ساختار موج سطحی بر روی سطح امپدانس اسکالر تحریک شده و به‌طور عمود بر مرز سطح امپدانس تانسوری می‌تابد. به دلیل وقوع پدیده شکست، موج با یک زاویه شکست مشخص وارد سطح تانسوری می‌گردد. در [۱۴] تغییرات زاویه شکست برحسب فرکانس موج سطحی مدل سازی شده است. سپس روش ارایه شده بر روی یک ساختار نمونه که بوسیله تکنولوژی مدارچاپی ساخته شده است بررسی پردیده است. در ساختار بررسی شده در بازه فرکانسی ۷۵/۱-۱۵/۱۵ گیگاهرتز زاویه شکست بین ۰ تا حدود ۹ درجه تغییر می‌کند. همچنین در [۱۵] تلفات موج سطحی در این نوع از ساختار که شامل سه تلف اهمی و دی الکتریک موج سطحی، تلف عدم تطبیق و تلفات تبدیل مدی می‌باشد، مدلسازی گردیده است. بوسیله این مدل سازی و روابط ارایه شده می‌توان برای دیپلکسر ارایه شده پارامترهای پراکندگی و تلفات عبوری را محاسبه نمود. در این مقلله از این ایده برای ارایه یک دیپلکسر موج سطحی با ساختار جدید برمبنای سطوح امپدانس امپدانس تانسوری استفاده شده است. روش پیشنهادی، استفاده از تغییر زاویه شکست برحسب فرکانس برای جدا سازی دو کانال فرکانسی موج ورودی است. لذا ابتدا به کمک یک لانچر موج سطحی که می‌تواند شامل هر دو کانال فرکانسی باشد را بر روی سطح امپدانسی اسکالر (SIS) تحریک کرده و موج به صورت عمودی به مرز یک سطح امپدانسی تانسوری (TIS) برخورد می‌کند. حال متناسب با فرکانس هر کانال با یک زاویه شکست وارد سطح امپدانسی تانسوری شده و دو کانال از یکدیگر جدا می شوند. در انتها این دو موج سطحی با استفاده از دو لانچر از روی سطح امپدانسی تانسوری دریافت می‌شود.

مهمترین مزیت این ساختار، تغییر پیوسته زاویه شکست موج سطحی برحسب فرکانس است که می تولند با جابجایی محدود لانچر، فرکانس کانال‌های دیپلکسر را در صورت نیاز در باند فرکانسی کاری تا حد محدودی تغییر داد و یا تنظیم نمود.

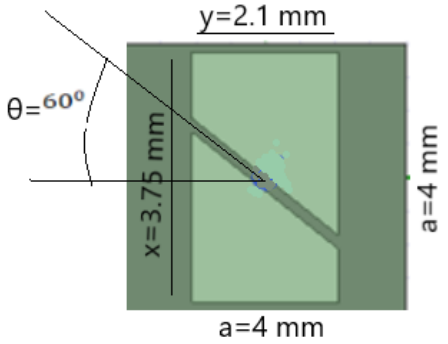
یکی از مهمترین چالش‌ها در زمینه استفاده از سطوح امپدانسی، تحریک و لندازه گیری موج سطحی برروی این سطوح است. ساده‌ترین روش آزمایشگاهی استفاده از پروب‌های هم‌محور در کنار سطح بصورت عمودی و افقی برای تحریک به ترتیب موج TM و TE است [۱۷]. این روش تست موج سطحی بر سطوح امپدانسی به دلیل بازده پایین و همچنین انتشار موج در همه جهت ها برای یک قطعه ریزموجی منجر به افزایش تلفات عبوری قطعه خواهد شد و عملا قابل استفاده نیست. این روش تنها در مواقعی کاربرد دارد که بخواهیم موج بر نحوه عملکرد یک سطح و یا یک ساختار صحه‌گذاری نماییم و مقدار خالص توان دریافتی برروی سطح مد نظر نباشد. به عنوان مثال در [۱۴] برای صحه‌گذاری بر تغییرات فرکانسی زاویه شکست که بوسیله تئوری مدل‌سازی شده، با نرمالیزه کردن تلفات مورد استفاده قرار گرفته است.

تنها راه عملی برای استفاده از سطوح امپدانسی در المان‌های ریزموجی استفاده از لانچرهای موج سطحی است [۱۸-۲۴]. این لانچرها می‌توانند موج سطحی را با بازده بالا بر روی سطح تحریک نمایند. مهمترین مشکل استفاده از یک لانچر نیاز به زیرلایه با ضریب گذردهی الکتریکی نسبی بالا است که انتخاب زیرلایه لانچر را محدود و اغلب بسیار گران می نماید. به عنوان مثال برای دست‌یابی به بازده تزویج بالای ۹۰٪ در تئوری نیاز به ضریب گذردهی الکتریکی نسبی بالاتر از ۱۰ وجود دارد [۲۳-۲۴]. در [۱۸-۱۹] یک ساختار لانچر موج سطحی با استفاده از CPW[۱] به نحوی ارایه شده است که دارای بازده و باند فرکانسی مناسب باشد. در این مقاله از این ساختار پیشنهادی به عنوان پایه برای طراحی لانچرهای مورد نیاز استفاده شده است.

۱. Coplanar waveguide

۲- طراحی سطح امپدانسی

برای دا شتن یک سطح امپدانس غیرهم سانگرد که قابلیت اقناء یک پهنای‌باند و سیع را دارا با شد، از یک سلول با لایه خازنی غیرهمگن [۳] با ابعاد سلول a برابر ۴ میلی‌متر و لایه نازک فلزی روی زیرلایه برابر با: x برابر ۳/۷۵ میلی‌متر و y برابر ۲/۱ میلی‌متر و زاویه انقطاع لایه نازک برابر ۶۰ درجه استفاده می‌گردد.

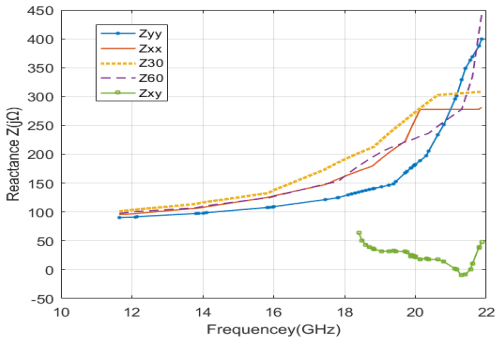


شکل (۱): نمایی از سلول غیرهمسانگرد با زیرلایه RO۴۰۰۳ زمین شده به ضخامت ۰/۸۱۳ و ε_r برابر ۳/۵۵.

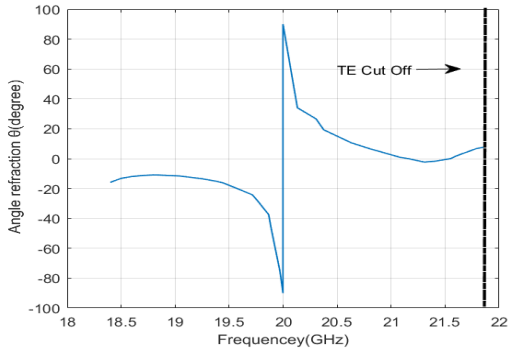
سلول غیرهمگن پی شنهادی بر روی زیرلایه RO۴۰۰۳ زمین شده در نرم‌افزار desktop Ansys Electronic برای دو مد ویژه TE و TM و زوایای انت شار ۰، ۳۰، ۶۰ و ۹۰ درجه شبیه سازی گردیده و شبیه سازی پا شندگی سلول برای دو مد حا صل به صورت شکل۲ می‌با شد. با توجه به نمودار پا شندگی، حا صل از سلول شکل۱ برای چهارزاویه ۰، ۳۰، ۶۰ و ۹۰ درجه فرکانس‌های قطع مد TM به ترتیب برابر ا ست با: ۱۰/۱۲ گیگاهرتز، ۱۱/۶۲ گی گاهرتز، ۱۱/۶۴۷ گی گاهرتز ۱۰/۱۴ گی گاهرتز. همچنین فرکانس‌های قطع مد TE به ترتیب برابر ا ست با: ۲۷/۱۹ گیگاهرتز و ۲۹/۲۸ گیگاهرتز و ۲۱/۹۱ گیگاهرتز. بنابراین باتوجه به فرکانس‌های قطع بد ست آمده برای چهار زاویه فوق، پهنای باند فرکانسی که سلول در مد TM و در تمام جهت‌ها اقناء می‌کند برابر ا ست با: ۱۱/۶۴۷ گیگاهرتز الی ۲۱/۹۱ گیگاهرتز.

در نهایت به ازای هر فرکانس سلول غیرهم سانگرد بیانگر یک سطح امپدانسی تانسوری با ویژگی شکست زاویه‌ای امواج سطحی متفاوت خواهد بود. به عبارت دیگر سطح امپدانسی تانسوری به ازای هر فرکانس به خاطر داشتن ویژگی امپدانسی متفاوت باعث ایجاد زاویه شکست متفاوت می‌گردد [۴].

برای سلول شکل۱ نمودار حاصل برای پهنای باند فرکانسی مذکور برحسب زاویه شک ست به ازای جواب قابل قبول معادله درجه ۳ در مرجع [۷] به صورت شکل۳ است. همان‌طور که در نمودار شکل۳ مشخص می‌باشد، زاویه



شکل(۲): نمودار تغییرات امپدانس درایه‌های تانسور TIS سلول غیرهمسانگرد برحسب فرکانس



شکل(۳): نمودار زاویه شکست امواج سطحی برروی سطح TISs برحسب فرکانس.

شکست امواج سطحی بر روی سطح امپدانس تانسوری سلول طراحی شده برحسب فرکانس‌های متفاوت، متغییر می‌باشد. به عبارت دیگر امواج سطحی با فرکانس معین برحسب زاویه شکست تفکیک گردیده ا ست. به طور مثال برای منحنی امواج سطحی با فرکانس ۱۹/۷ گیگاهرتز دارای زاویه شکستی برابر با ۲۳/۸۹ درجه خواهد دا شت. لذا با محا سبه تانژانت زاویه و عرض سطح امپدانسی تانسوری نقطه تقریبی انتشار امواج سطحی با فرکانس ۱۹/۷ گیگاهرتز حا صل می‌گردد و با قراردادن لانچر با تغذیه CPW در نقطه مذکور خروجی با فرکانس مورد نظر حاصل خواهد شد.

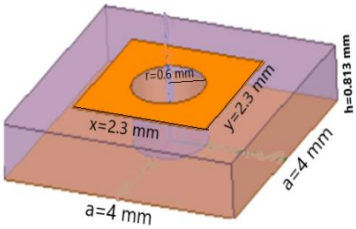
در ادامه، هدف طراحی سلول، برای ساخت یک سطح ا سکالر می‌با شد [۴] بطوری که با قرارگیری آن در کنار سطح امپدانس تان سوری بهترین تطبیق امپدانس را ایجاد نماید. با استفاده از رابطه زیر [۳]:

$$\boldsymbol{Z_{xx}Z_{yy} - Z_{xy}Z_{yx} = \eta^2} \qquad (۱)$$

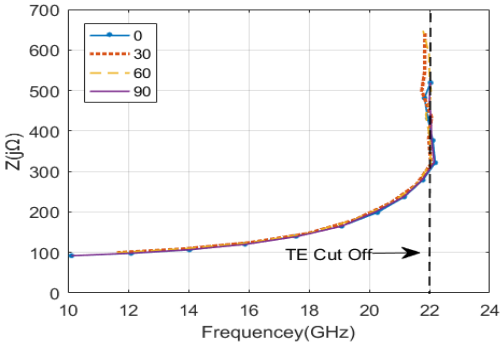
که شرط تطبیق امپدانس دو سطح مجاور تان سوری و ا سکالر می‌با شد. در رابطه ۲، η برابر ا ست با امپدانس سطحی تان سور امپدانس ا سکالر یا $\bar{\bar{\eta}} = \begin{pmatrix} \eta & \cdot \\ \cdot & \eta \end{pmatrix}$. برای طراحی سلول ا سکالر مرتبط سطح امپدانس تان سور نکات قابل توجه عبارت ا ست از: اقناء پهنای‌باند سطح امپدانس تان سوری، تطبیق امپدانس با سطح تان سوری و دارا بودن م شخ صات فیزیکی یک سان

سلول هم سانگرد با سلول غیرهم سانگرد (نوع زیرلایه، لایه نازک فلزی، ضخامت زیرلایه).

با توجه به موارد فوق سلول قارچی به دلیل داشتن پهنای باند فرکانسی بالا با زیرلایه RO۴۰۰۳ استفاده گردیده است. همانند سلول قبلی با شبیه‌سازی سلول قارچی در نرم‌افزار Ansys Electronic desktop برای دو مد TE و TM برای زوایای انتشار ۰، ۳۰، ۶۰ و ۹۰ درجه، نمودار پاشندگی سلول برای دو مد به صورت شکل۵ می‌باشد. با توجه به نمودار پاشندگی شکل۵ حاصل از سلول شکل۴ برای چهار زاویه ۰، ۳۰، ۶۰ و ۹۰ درجه، فرکانس‌های قطع مد TM به ترتیب برابر است با: ۲۸/۸۶ گیگاهرتز، ۲۸/۷۱ گیگاهرتز، ۲۸/۷۰ گیگاهرتز و ۲۸/۸۶ گیگاهرتز. بنابراین با توجه به فرکانس‌های قطع بدست آمده برای چهار زاویه فوق، پهنای‌باند فرکانسی که سلول در مد TM درتمام جهت‌ها اقناء می‌کند برابر است با: ۱۱/۶۴۵ گیگاهرتز الی ۲۸/۷۰ گیگاهرتز.



شکل(۴): نمایی ازسلول همسانگرد با زیرلایه زمین شده



شکل(۵): نمودارتغییرات امپدانس سلول همسانگرد قارچی برحسب فرکانس

درنهایت پهنای باند فرکانسی مشترک دو سطح امپدانس اسکالر و تانسوری برابر است با ۱۱/۶۴۷ گیگاهرتز الی ۲۱/۹۱ گیگاهرتز.

سطوح امپدانس تانسوری دارای قابلیت اقنای همزمان مدهای هایبریدی (ترکیب همزمان مدهای TM و TE) می‌باشند [۲]،لذا هنگامی که امواج سطحی به صورت مورب سطح امپدانسی تانسوری منتشر می‌شود به واسطه نبود تقارن هندسی و پاشتیبانی از این مدها، بخشی از امواج سطحی مد غالب TM که فقط در راستای محورهای اصلی منتشر می شوند به مد TE تبدیل می‌گردد. در نتیجه به دلیل عدم پشتیبانی مد TE از موج سطحی در فرکانس ناحیه تک مد سطح، بخش تبدیل شده از روی سطح امپدانس تانسوری به صورت موج انتشاری تشعشع یافته و این امر باعث کاهش توان می‌گردد. رابطه (۲) مقدار تلفات ناشی از تبدیل مد را ارایه می‌کند.

$$L_{MT} = \left(1 - \left|Z_0^2 + Z_{xy}^2 - Z_{yy}Z_{xx} + jZ_0\left(2Z_{xy}\cos 2\theta + \left(Z_{yy} - Z_{xx}\right)\sin 2\theta\right) \pm 2^{-1/2}\left\{2Z_0^4 - Z_0^2\left(Z_{xx} + Z_{yy}\right)^2 + 2\left(Z_{xy}^2 - Z_{xx}Z_{yy}\right)^2 + 4Z_0^2 Z_{xy}\left(Z_{xx} - Z_{yy}\right)\sin 4\theta + Z_0^2\cos 4\theta\left(-4Z_{xy}^2 + \left(Z_{xx} - Z_{yy}\right)^2\right)\right\}^{1/2}\right| \times \left|2\left(Z_0^2 + Z_{xy}^2 - Z_{xx}Z_{yy}\right)\right|^{-1}\right)^2 \quad (۲)$$

همچنین به دلیل استفاده از دو سطح امپدانسی متفاوت مجاور یکدیگر و به علت عدم تطبیق امپدانس کامل و یکسان در تمام فرکانس‌ها، مقداری از موج سطحی منعکس و در نتیجه تلف خواهد شد [۹]. این تلفات از رابطه (۳) قابل محاسبه است.

$$L_{MM} = 1 - |\Gamma|^2 \quad (۳)$$

$$\Gamma = \frac{\eta - \sqrt{Z_{xx}Z_{yy} - Z_{xy}^2}}{\eta + \sqrt{Z_{xx}Z_{yy} + Z_{xy}^2}} \quad (۴)$$

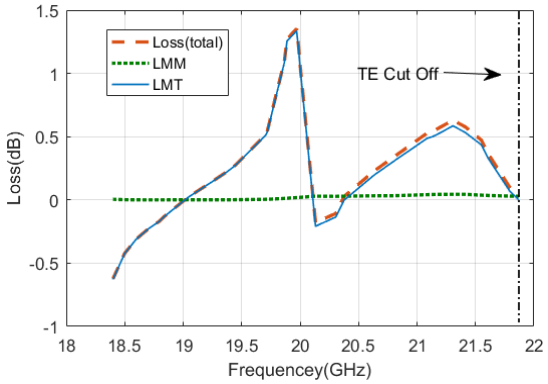
درروابط فوق ضریب Γ برابر است با ضریب انعکاس موج سطحی در مرز ناحیه اتصال سطح امپدانسی اسکالر و تانسوری و L_{MM} نیز برابر با میزان تلف ایجاد شده در اثر عدم تطبیق امپدانس دو محیط است. حال برای تلفات کل می‌توان نوشت:

$$Loss_{Surf} = L_{MT} + L_{MM} \quad (۵)$$

در رابطه فوق $Loss_{Surf}$ مجموع تلفات ناشی از عدم تطبیق امپدانس سطح و تبدیل مد موج سطحی می‌باشد. در شکل ۶ تلفات کل برای ساختار ارایه شده محاسبه و ترسیم شده است.

۳- طراحی لانچر CPW-Fed

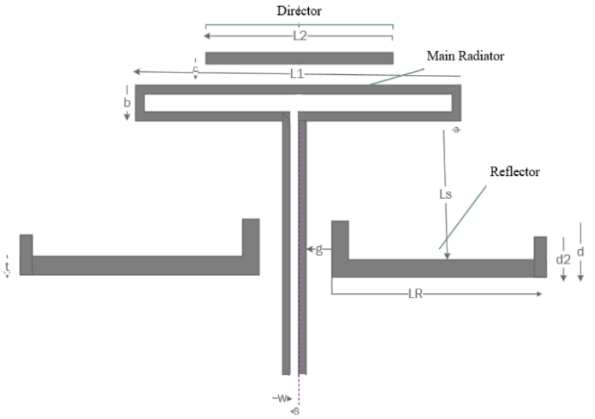
ابعاد هندسی لانچر CPW-Fed مورد نظر مطابق مراجع [۵ و ۱۰] در جدول۱ طراحی و ارائه شده است. همچنین برای لانچر از زیرلایه Rogers RT/(Duroid) ۶۰۱۰/۶۰۱۰LM با ضخامت ۰/۸۱۳ و ثلبت گذردهی الکتریکی نسبی ۱۰/۲ و تانژانت تلفات ۰/۰۰۲۳ و امپدانس ۵۰ اهم مدنظر قرار گرفته است.



شکل(۶): نمودار تلافات دیپلکسر

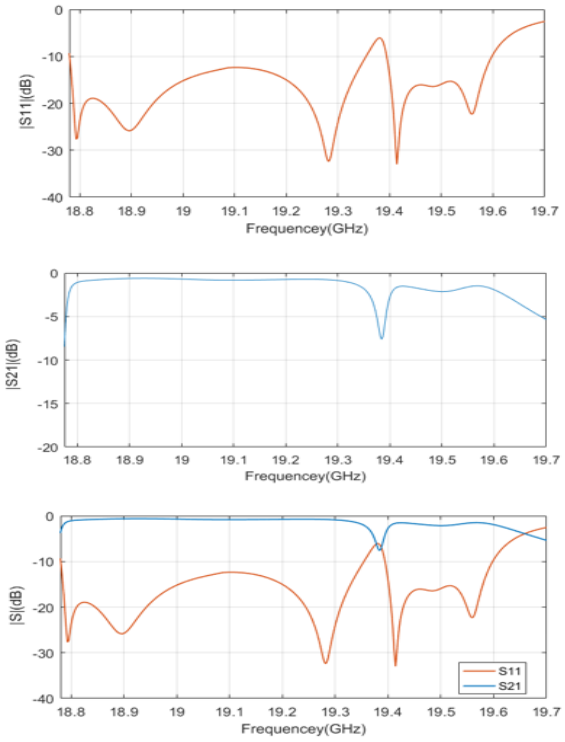
جدول۱: مربوط به ابعاد لانچر تغذیه CPW برحسب میلی‌متر

G	a	B	c	W	S	N
۰/۶۴	۰/۶۴	۰/۶۴	۰/۶	۰/۶۴	۲	۲
T	d_2	L_1	L_2	L_R	L_S	D
۱/۶	۰/۱	۱۸	۱۰/۵	۱۰/۵	۳/۵	۳

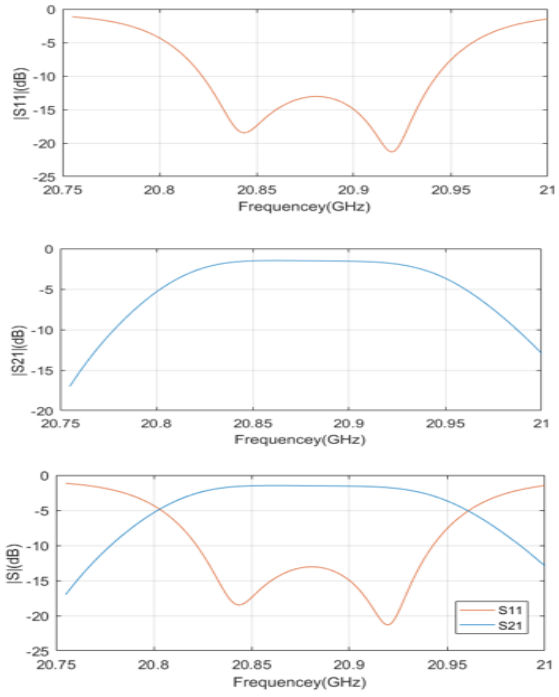


شکل(۷): لانچر CPW برپایه ترکیبی از بازتاب‌کننده-جهت‌دهنده

در شکل۷ L_1 طول سر آنتن لانچر؛ L_2 طول جهت دهنده آنتن؛ L_R طول بازوی بازتاب کننده، L_S فا صله بین بازتاب کننده و سر آنتن؛ d تطبیق کننده بازوی آنتن؛ t پهنای بازتاب کننده؛ g فا صله بین بازوی d از شیار W؛ S پهنا یا فا صله بین دو شیار؛ W پهنای شیار؛ a پهنای شیار آنتن؛ b فا صله بین دو شیار سر آنتن؛ c فا صله بین شیار سر آنتن و شیار جهت دهنده.



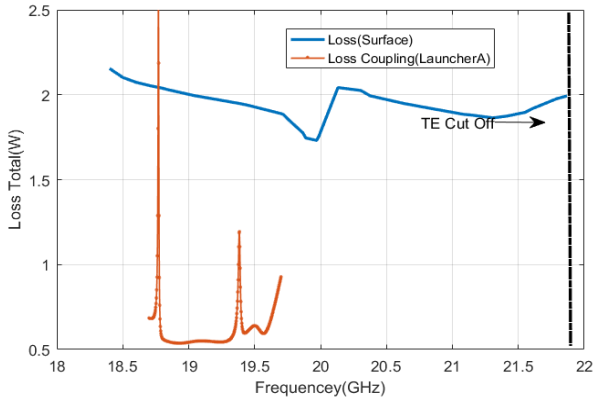
شکل(۸): نمودارهای اندازه S_{11} و S_{21} محدوده فرکانسی اول لانچر



شکل۹: نمودارهای اندازه S_{11} و S_{21} محدوده فرکانسی دوم لانچر

نمودار های شکل۸ مربوط به نتایج بدست آمده از لانچر ترکیبی بازتاب‌کننده-جهت‌دهنده در فرکانس مرکزی ۱۰ گیگاهرتز می‌باشد. در این لانچر بیشترین تزویج روبه جلو برابر۰/۶۳۲ د سی‌بل و پهنای‌باند امپدانسی تقریبا ۱ گیگاهرتز با محدوده فرکانسی ۱۸/۷۷ گیگاهرتز الی ۱۹/۷ گیگاهرتز می‌باشد.

در بخش قبل میزان تلفات به‌وا سطه عدم تطبیق و تغییر مد بطور مجزا و تلف مجموع محاسبه شده و نمودار شکل۱۰ دربازه ۱۸/۴ گیگاهرتز الی ۲۱/۶ گیگاهرتز رسم گردید. در این بخش مجموع دو تلف فوق به اضافه تلف تزویج لانچر محاسبه گردیده‌است.



شکل(۱۰): نمودار تلفات توان ناشی از تزویج لانچر و دیپلکسر

با توجه به نمودار شکل۱۰ بیشترین تلفات قطعه دیپلکسر در محدوده فرکانس‌های کاری لانچرها، ناشی از تغییر مد (L_{MT}) امواج سطحی می‌باشد.

۴- طراحی وشبیه‌سازی دیپلکسر

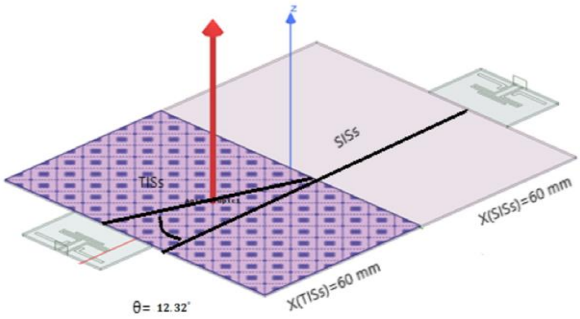
در این بخش یک دیپلکسر موج سطحی با ابعاد ۱۲۰ در ۱۰۰ میلی‌متر مربع به طوری که سطوح امپدانس تانسوری و اسکالر هر دو با اندازه یکسان ۱۰۰ در ۶۰ میلی‌متر مربع می‌باشد. همچنین لانچر با مشخصات جدول۱ با ابعاد ۳۰ در ۴۰ میلی‌متر مربع برای شبیه سازی بکارگرفته شده است [۱۴]. با استفاده از لانچر در محدوده فرکانسی (۱۹/۵۷ گیگاهرتز الی ۱۹/۵۳ گیگاهرتز) مکان دو لانچر مطابق شکل۱۱ خواهد بود.

در این دیپلکسر شرایط امپدانس اسکالر برابر با:

$$SIS = j\begin{pmatrix} 166.1973 & 0 \\ 0 & 166.1973 \end{pmatrix}\Omega \qquad (۷)$$

و همچنین تانسور سطح امپدانس تانسوری به صورت زیر:

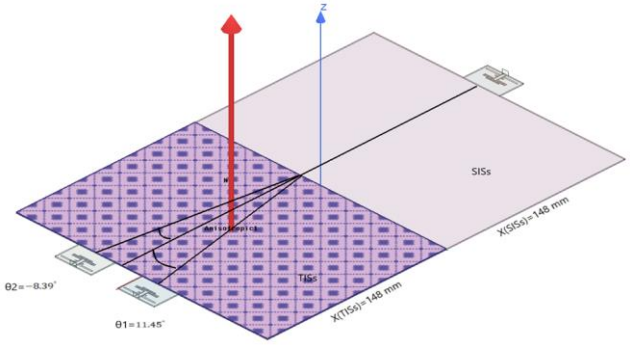
$$TIS = j\begin{pmatrix} 197.351 & 39.269 \\ 39.269 & 144.929 \end{pmatrix} \qquad (۸)$$



شکل(۱۱): دیپلکسر با ابعاد ۱۰۰ در ۱۲۰ میلی‌متر مربع

می‌باشد. همانطور که از شکل۱۳ مشاهده می‌گردد، با شبیه سازی سطح امپدانسی با فرکانس مرکزی ۱۰ گیگاهرتز با تغذیه امواج سطحی ۱۹/۲ گیگاهرتز الی ۱۹/۰۴ گیگاهرتز از طریق لانچر ورودی، سمت سطح امپدانسی اسکالر SISs و همچنین لانچر ورودی از سمت سطح امپدانس تانسوری، بیشترین مقدار توان حاصله در سطح امپدانسی تانسوری در زاویه ۱۲/۳۲- درجه بدست می‌آید.

در ادامه از سه لانچر برای تحقق دیپلکسر استفاده خواهد گردید. در این شبیه سازی ابعاد دیپلکسر عبارت است اندازه یک ورق ۲۹۶ در ۲۰۸ میلی‌متر مربع و همچنین ابعاد سطح اسکالر و تانسوری مذکور برابر ۱۴۸ در ۲۰۸ میلی‌متر مربع می‌باشد. همچنین لانچر با مشخصات جدول۲ با ابعاد ۳۰ در ۴۰ میلی‌متر مربع برای شبیه‌سازی بکارگرفته شده است.



شکل۱۲: دیپلکسر با ابعاد ۲۹۶ در ۲۰۸ میلی‌متر مربع

در این دیپلکسر شرایط امپدانس اسکالر برابر با

$$SISs = j\begin{pmatrix} 163.625 & 0 \\ 0 & 163.625 \end{pmatrix}\Omega \qquad (۹)$$

و همچنین تانسور سطح امپدانس تانسوری به صورت زیر:

$$TISs = j\begin{pmatrix} 192.466 & 32.05 \\ 32.05 & 143.582 \end{pmatrix}\Omega$$

می‌باشد. همان‌طور که از شکل۱۴ مشاهده می‌گردد، با شبیه‌سازی دیپلکسر با تغذیه امواج سطحی (۱۸/۸۷ گیگاهرتز الی ۱۹/۰۳ گیگاهرتز) از طریق لانچر ورودی سمت سطح امپدانسی ا سکالر SISs و همچنین لانچر ورودی از سمت سطح امپدانس تانسوری بیشترین مقدار توان نرمالیزه مشترک برابر ۹/۲۶- د سی‌بل برای فرکانس ۱۸/۹۲ گیگاهرتز مربوط به لانچر گیرنده اول و ۹/۲۷- برای فرکانس ۱۹/۰۱ گیگاهرتز مربوط به لانچر گیرنده دوم که در سطح امپدانسی تانسوری با زاویه شکست ۱۱/۴۵ درجه برای لانچر گیرنده اول و با زاویه شکست ۸/۳۹- درجه برای لانچر گیرنده دوم اقناء می‌گردد.

ماتریس پراکندگی شبکه سه پورتی یا دیپلکسر عبارت است از:

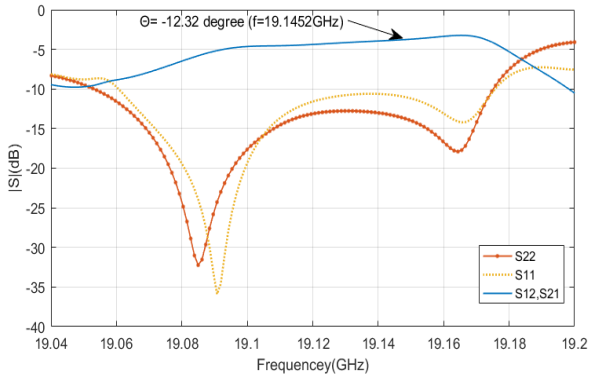
$$\boldsymbol{S}=\begin{pmatrix} \boldsymbol{s_{11}} & \boldsymbol{s_{21}} & \boldsymbol{s_{31}} \\ \boldsymbol{s_{12}} & \boldsymbol{s_{22}} & \boldsymbol{s_{32}} \\ \boldsymbol{s_{13}} & \boldsymbol{s_{23}} & \boldsymbol{s_{33}} \end{pmatrix} \qquad (۱۰)$$

برای ۱۸/۹۲ گیگاهرتز ماتریس فوق برای لانچر گیرنده اول با زاویه شکست ۱۱/۴۵ درجه عبارت است از:

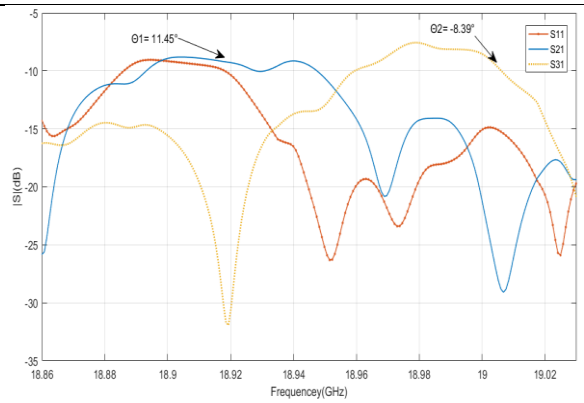
$$\boldsymbol{S}=\begin{pmatrix} \boldsymbol{-9.72} & \boldsymbol{-9.26} & \boldsymbol{-31.92} \\ \boldsymbol{-9.24} & \boldsymbol{-9.24} & \boldsymbol{-28.54} \\ \boldsymbol{0} & \boldsymbol{0} & \boldsymbol{0} \end{pmatrix} \boldsymbol{dB} \qquad (۱۱)$$

برای فرکانس ۱۹/۰۱ گیگاهرتز ماتریس فوق برای لانچر گیرنده دوم با زاویه شکست ۸/۳۹- درجه عبارت است از:

$$\boldsymbol{S}=\begin{pmatrix} \boldsymbol{-14.99} & \boldsymbol{-27.05} & \boldsymbol{-9.72} \\ \boldsymbol{0} & \boldsymbol{0} & \boldsymbol{0} \\ \boldsymbol{-9.27} & \boldsymbol{-15.53} & \boldsymbol{-12.81} \end{pmatrix} \boldsymbol{dB} \qquad (۱۲)$$



شکل۱۳: نمودار شبیه‌سازی دیپلکسر با محدوده فرکانسی ۱۹/۰۴ گیگاهرتز الی ۱۹/۲ گیگاهرتز و زاویه شکست ۱۲/۳۲- درجه.



شکل۱۴: نمودار شبیه‌سازی دیپلکسر با زاویه شکست ۸/۳۹- درجه برای لانچر گیرنده دوم و با زاویه شکست ۱۱/۴۵ درجه برای لانچر گیرنده اول

نتیجه‌گیری

در این مقاله یک دیپلکسر موج سطحی برمبنای تغییرات زاویه شکست بر روی یک سطح امپدانس تانسوری ارایه شده است. این ساختار جدید از قرار گرفتن یک سطح امپدانس ا سکالر در کنار یک سطح امپدانس تان سوری ساخته شده ا ست. همچنین از ۳ عدد لانچر برای تحریک موج سطحی بر روی سطح و دریافت آن استفاده شده است. نتایج بدست آمده از مدل‌سازی ریا ضی و شبیه سازی تلفات ساختار و ایزولا سیون از تطابق ب سیار خوبی برخوردار ه ستند. از سوی دیگر صحه‌گذاری بر روی امکان تحقق دیپلکسر موج سطحی یکی از مهمترین نتایج این مقاله است.

مراجع

[۱] LEO Yang, Microwave filters-۱۹٦٥ Mattaei

[۲] K.R. Bushore, W.L. Teeter, A Variable-Ratio Microwave Power Divider and Multiplexer, IRE Transactions on Microwave Theory and Techniques (Volume: ٥, Issue: ٤, October ١٩٥٧) ٢٢٧ – ٢٢٩ DOI: ١٠.١١٠٩/□□□□.١٩٥٧.١١٢٥١٥٤

[۳] E.G. Cristal, G.L. Matthaei , A Technique for the Design of Multiplexers Having Contiguous Channels, IEEE Transactions on Microwave Theory and Techniques (Volume: ١٢, Issue: ١, Jan ١٩٦٤) Page(s): ٨٨ – ٩٣ DOI: ١٠,١١٠٩/TMTT.١٩٦٤,١١٢٥٧٥٦

[٤] L.J. Ricardi, A Diplexer Using Hybrid Junctions, IEEE Transactions on Microwave Theory and Techniques (Volume: ١٤, Issue: ٨, Aug ١٩٦٦) Page(s): ٣٦٤ – ٣٧١ DOI: ١٠,١١٠٩/TMTT.١٩٦٦,١١٢٦٢٧٦

[٥] Rui Wang, Jun Xu , Synthesis and design of microwave diplexers with a common resonator junction, ٢٠١٢ International Conference on Microwave and Millimeter Wave Technology (ICMMT) ٥-٨ May ٢٠١٢ Shenzhen, China DOI: ١٠,١١٠٩/ICMMT.٢٠١٢,٦٢٣٠٠١٩

[٦] Milad Sharifi Sorkherizi, Abbas Vosoogh , Ahmed A. Kishk , Per-Simon Kildal , Design of integrated diplexer-power divider , ٢٠١٦ IEEE MTT-S International Microwave Symposium (IMS) ٢٢-٢٧ May ٢٠١٦ San Francisco, CA, USA DOI: ١٠,١١٠٩/MWSYM.٢٠١٦,٧٥٤٠١٢٤

[٧] Kaijun Song , Senior Member, IEEE, Jiachen Yao , Yuxuan Chen , Yifang Zhou , Balanced Diplexer Based on Substrate Integrated Waveguide Dual-Mode Resonator, IEEE Transactions on Microwave

and Broadside Radiation Using Surface-Wave Launchers IEEE Antennas and Wireless Propagation Letters (Volume: ٧) DOI: ١٠,١١٠٩/LAWP.٢٠٠٨,٩١٩٣٢٦

[٢٢] Marko Bosiljevac; Massimiliano Casaletti; Francesco Caminita; Zvonimir Sipus; Stefano Maci Non-Uniform Metasurface Luneburg Lens Antenna Design IEEE Transactions on Antennas and Propagation (Volume: ٦٠, Issue: ٩, Sept. ٢٠١٢) Page(s): ٤٠٦٥ – ٤٠٧٣ DOI: ١٠,١١٠٩/TAP.٢٠١٢,٢٢٠٧٠٤٧

[٢٣] S.F. Mahmoud; Y.M.M. Antar; H.F. Hammad; A.P. Freundorfer Theoretical considerations in the optimization of surface waves on a planar structure IEEE Transactions on Antennas and Propagation (Volume: ٥٢, Issue: ٨, Aug. ٢٠٠٤) Page(s): ٢٠٥٧ – ٢٠٦٣ DOI: ١٠,١١٠٩/TAP.٢٠٠٤,٨٣٢٤٩٨

[٢٤] H.F. Hammad; Y.M.M. Antar; A.P. Freundorfer; S.F. Mahmoud Uni-planar CPW-fed slot launchers for efficient TM/sub ٠/ surface-wave excitation IEEE Transactions on Microwave Theory and Techniques (Volume: ٥١, Issue: ٤, Apr ٢٠٠٣) Page(s): ١٢٣٤ – ١٢٤٠ DOI: ١٠,١١٠٩/TMTT.٢٠٠٣,٨٠٩٦٦٨

Theory and Techniques (Volume: ٦٨, Issue: ١٢, Dec. ٢٠٢٠) Page(s): ٥٢٧٩ – ٥٢٨٧ DOI: ١٠,١١٠٩/TMTT.٢٠٢٠,٣٠١٥٩٦٨

[٨] Jin-Xu Xu, Wan-Li Zhan, Hui-Yang Li, and Xiu Yin Zhang , Switchable Diplexer Based on Coupling Control IEEE Transactions on Circuits and Systems II: Express Briefs (Volume: ٦٨, Issue: ١, Jan. ٢٠٢١) Page(s): ١٦٦ – ١٧٠ DOI: ١٠,١١٠٩/TCSII.٢٠٢٠,٣٠٠٣٩١٣

[٩] Anton Sieganschin; Thomas Jaschke; Arne F. Jacob, A Compact Diplexer for Circularly Polarized ٢٠/٣٠ GHz SIW-Antennas ٢٠٢٠ IEEE/MTT-S International Microwave Symposium (IMS) ٤-٦ Aug. ٢٠٢٠ Los Angeles, CA, USA DOI: ١٠,١١٠٩/IMS٣٠٥٧٦,٢٠٢٠,٩٢٣٩٠٠

[١٠] Li Yang; Roberto Gómez-García; José-María Muñoz-Ferreras; Runqi Zhang Input-Reflectionless Low-Pass Filter on Multilayered Diplexer-Based Topology IEEE Microwave and Wireless Components Letters (Volume: ٣٠, Issue: ١٠, Oct. ٢٠٢٠) Page(s): ٩٤٥ – ٩٤٨ DOI: ١٠,١١٠٩/LMWC.٢٠٢٠.٣٠١٧٢٥٢

[١١] Yan-Mei Xue; Lian Yang; Jin-Xu Xu; Xiao-Lan Zhao; Xiu Yin Zhang Wideband Diplexer With Narrow Channel Spacing Using Hybrid Bandpass-Bandstop Structures IEEE Access (Volume: ٨) Page(s): ١٣٧٧٨٣ – ١٣٧٧٨٨ DOI: ١٠,١١٠٩/ACCESS.٢٠٢٠,٣٠١٢٣٤٨

[١٢] Giuseppe Macchiarella; Gian Guido Gentili; Luciano Accatino; Vittorio Tornielli di Crestvolant A Synthesis-Based Design Procedure for Waveguide Duplexers Using a Stepped E-Plane Bifurcated Junction ٢٠٢٠ IEEE/MTT-S International Microwave Symposium (IMS) ٤-٦ Aug. ٢٠٢٠ Los Angeles, CA, USA DOI: ١٠,١١٠٩/IMS٣٠٥٧٦,٢٠٢٠,٩٢٢٣٩٢٣

[١٣] Javier Ossorio García; Juan Carlos Melgarejo Lermas; Santiago Cogollos; Vicente E. Boria; Marco Guglielmi Waveguide Quadruplet Diplexer for Multi-Beam Satellite Applications IEEE Access (Volume: ٨) Page(s): ١١٠١١٦ – ١١٠١٢٨ ١٦ June ٢٠٢٠ DOI: ١٠.١١٠٩/ACCESS.٢٠٢٠.٣٠٠٢٨١٨

[١٤] Mojtaba Mighani; Gholamreza Dadashzadeh Analytical Study and Experimental Verification of the Refraction Angle as a Function of Frequency Due to Surface Waves Incident Onto a Tensor Impedance Sheet IEEE Transactions on Antennas and Propagation (Volume: ٦٧, Issue: ٧, July ٢٠١٩) Page(s): ٤٦٤٢ – ٤٦٤٩ DOI: ١٠,١١٠٩/TAP.٢٠١٩,٢٩٠٥٧٧٩

[١٥] Mojtaba Mighani Gholamreza Dadashzadeh Analytical study and experimental verification of the surface wave loss on a tensor impedance surface Microwave and Optical Technology Letters Volume٦١, Issue١٢ December ٢٠١٩ Pages ٢٨٧٩-٢٨٨٥

[١٦] Mojtaba Mighani, Gholamreza Dadashzadeh Analytical study of surface wave multiple refraction in boundary of a scalar impedance surface with a tensor impedance surface International Journal of RF and Microwave Computer-Aided Engineering Volume٣٠, Issue٤ January ٢٠٢٠

[١٧] D. Sievenpiper et al., "High-impedance electromagnetic surfaces with a forbidden frequency band," IEEE Trans. Microw. Theory Techn., vol. ٤٧, pp. ٢٠٥٩-٢٠٧٤, no. ١١, Nov. ١٩٩٩.

[١٨] Symon K. Podilchak; Al P. Freundorfer; Yahia M. M. Antar Surface-Wave Launchers for Beam Steering and Application to Planar Leaky-Wave Antennas IEEE Transactions on Antennas and Propagation (Volume: ٥٧, Issue: ٢, Feb. ٢٠٠٩) Page(s): ٣٥٥ – ٣٦٣ DOI: ١٠,١١٠٩/TAP.٢٠٠٨,٢٠١١٢٤٨

[١٩] Symon K. Podilchak; Al P. Freundorfer; Yahia M. M. Antar Planar Surface-Wave Sources and Metallic Grating Lenses for Controlled Guided-Wave Propagation IEEE Antennas and Wireless Propagation Letters (Volume: ٨) Page(s): ٣٧١ – ٣٧٤ DOI: ١٠,١١٠٩/LAWP.٢٠٠٩,٢٠١٣٤٨٨

[٢٠] F. Mesa; C. di Nallo; D.R. Jackson The theory of surface-wave and space-wave leaky-mode excitation on microstrip lines IEEE Transactions on Microwave Theory and Techniques (Volume: ٤٧, Issue: ٢, Feb ١٩٩٩) Page(s): ٢٠٧ – ٢١٥ DOI: ١٠,١١٠٩/٢٢,٧٤٤٢٩٦

[٢١] Symon K. Podilchak; Al P. Freundorfer; Yahia M. M. Antar Planar Leaky-Wave Antenna Designs Offering Conical-Sector Beam Scanning

Modern Research Electrical and Electronic Avionic
Vol.۱, No.۱, Winter ۲۰۲٤
https://www.mreea.ir

A new routing and allocation algorithm in flexible optical networks (R۲EF)

yaghoub khorasani [۱*]

[*] Department of Electrical and Computer Engineering, Sahand University of Technology, Tabriz, Iran

[*] y_khorasani۹۹@sut.ac.ir

(Recived times: ۲۰۲۳/Dec/۲٥, Accept time: ۲۰۲٤/Sep/۱٥)

Abstract

Flexible optical networks have been proposed as a suitable platform for providing the required bandwidth to meet the growing public demands. Bandwidth fragmentation and energy management are among the most important issues that have been considered in flexible optical networks. This paper presents an integrated algorithm, called R۲EF, which in the first step, considers energy reduction parameters and, based on energy, sorts all existing paths between the source and destination, and the path with the lowest energy consumption is selected. In the second step, based on the golden metric, the cores are sorted, and the core with the least amount of bandwidth fragmentation is selected as the desired core. In the third step, suitable gaps are determined and allocated based on the Smart-Fit (SF) allocation policy. Simulation results show that the proposed algorithm reduces the blocking rate by ۹٪ compared to other proposed methods and has reduced the negative effects of bandwidth fragmentation on bandwidth.

Keyword:

الگوریتم جدید مسیریابی و تخصیص طیف در شبکه های نوری منعطف (R^2EF)

یعقوب خراسانی*[1]
[1]دانشکده مهندسی برق و کامپیوتر، دانشگاه صنعتی سهند، تبریز، ایران

* y_khorasani۹۹@sut.ac.ir

(تاریخ ارسال مقاله: ۱۴۰۲/۱۰/۰۴ تاریخ پذیرش مقاله: ۱۴۰۳/۰۶/۲۵)

واژگان کلیدی

واژه اول: شبکه های نوری منعطف
واژه دوم:تکه تکه شدن پهنای باند
واژه سوم:Smart-Fit
واژه چهارم: مصرف انرژی

چکیده

شبکه های نوری منعطف به عنوان بستری مناسب برای ارائه پهنای باند مورد نیاز جهت برآورده کردن نیازهای رو به رشد عمومی مطرح شده است. تکه تکه شدن پهنای باند و مدیریت انرژِی از مهم ترین مسائلی هستند که در شبکه های نوری منعطف مورد توجه قرار گرفته است. در این مقاله الگوریتمی یکپارچه ، به نام **R^2EF** ارائه شده است که در گام اول، پارامترهای کاهش انرژی را مد نظر قرار می دهد و بر اساس انرژی، تمام مسیرهای موجود بین مبدا و مقصد را مرتب می کند و مسیری که کمترین انرژی مصرفی را دارد انتخاب می شود. در گام دوم، بر اساس متریک طلایی، هسته ها مرتب می شوند و هسته ای که مقدار تکه تکه شدن پهنای باند در آن کمتر است به عنوان هسته مورد نظر انتخاب می گردد. در گام سوم، شکاف های مناسب بر اساس سیاست تخصیص **Smart-Fit (SF)** تعیین و تخصیص انجام می شود. نتایج شبیه سازی نشان می دهد که الگوریتم ارائه شده نسبت به سایر روش های مطرح شده، ۹ درصد نرخ انسداد را کاهش می دهد و باعث کاهش اثرات منفی تکه تکه شدن پهنای باند در پهنای باند شده است

۱- مقدمه

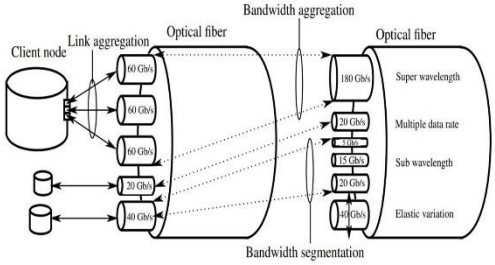
امروزه تقاضا برای استفاده از فناوری های پیشرفته از جمله ویدئوکنفرانس، سرویس‌های تعاملی، اینترنت اشیا و ...، توسط عموم مردم افزایش‌یافته است. با افزایش تقاضا جهت استفاده از فناوری‌های پیشرفته توسط عموم ، نیاز به پهنای باند بیشتر در جامعه جهانی حس می‌شود از این رو توجه به پهنای باند در بسترهای مخابراتی، امری ضروری است. یکی از استراتژی‌هایی که برای تطبیق با رشد ترافیک داده مورد استفاده قرار می‌گیرد، شبکه‌های نوری هست که دانه‌بندی خوبی را برای تخصیص طیف فراهم می‌کند و به کاهش اتلاف پهنای باند کمک می‌کند. اولین نسل از شبکه های نوری، شبکه های WDM هست که به علت نواقص ساختاری، اتلاف پهنای باند در آن مشهود است. در سال‌های اخیر، استفاده از تکنولوژی OFDM در شبکه‌های نوری، نسل جدیدی به نام شبکه های نوری الاستیک پدید آورد که به‌عنوان راه‌حلی برای غلبه بر مشکلات مرتبط با شبکه WDM (هدر رفت پهنای باند، تخصیص غیرقابل انعطاف و ...) شناسایی‌شده است[۱].

شبکه نوری منعطف نسخه پیشرفته یا نسل بعدی فناوری DWDM است. چالش‌های موجود در فناوری DWDM هدر رفتن طیف به دلیل تقسیم پهنای باند به محدوده های ثابت ۵۰ یا ۲۵ گیگاهرتز است که توسط استانداردهای اتحادیه بین‌المللی مخابرات (ITU-T) مشخص‌شده است. این شبکه ثابت برای تقاضای ترافیک بالا مانند ۴۰۰ گیگا بیت بر ثانیه یا بالاتر کارایی ندارد و به تعداد زیادی فرستنده نیاز دارد که باعث افزایش هزینه شبکه و پیچیدگی سخت‌افزار می‌شود. برای حل این مشکل، یک شبکه تطبیقی منعطف موردنیاز است که از فرستنده‌های و گیرنده‌ها و عناصر شبکه تطبیقی تشکیل‌شده است که می‌توانند بر اساس تقاضا تنظیم شوند[۲].

در شبکه‌های نوری منعطف، طیف فرکانس انعطاف‌پذیر است و درنتیجه ظرفیت مؤثر شبکه بهبود می‌یابد. در شبکه‌های نوری منعطف، طیف فرکانس از مجموع شکاف های فرکانسی کوچک تشکیل‌شده است و گره فرستنده

می‌تواند از تکنیک‌های مدولاسیون مناسب با توجه به فاصله گیرنده استفاده کند.

تجمیع و تقسیم‌بندی پهنای باند، پشتیبانی از نرخ مختلف اطلاعات و انعطاف‌پذیری در پهنای باند اختصاص داده‌شده به هر کاربر، از مهم‌ترین ویژگی‌های شبکه نوری منعطف می‌باشند. شبکه‌های نوری منعطف از طریق ادغام پیوسته پهنای باند کوچک، قابلیت پاسخ تجمیع پهنای باندهای بزرگ را فراهم می‌سازد و همچنین تقسیم‌بندی پهنای باند را به منظور ارائه دادن نیازهای متفاوت کاربران فراهم می‌سازند. در شکل ۱-۱ ویژگی شبکه‌های نوری منعطف به تصویر کشیده شده است.



شکل ۱. ویژگی‌های شبکه نوری منعطف [۳]

برای پاسخ به درخواست‌های اتصال در شبکه‌های نوری منعطف دو محدودیت پیوستگی و مجاورت در نظر گرفته می‌شود. محدودیت پیوستگی، تضمین می‌کند که در یک لینک از شکاف‌های مجاور برای پاسخ به درخواست ورودی استفاده شود و محدودیت مجاورت طیف تضمین می کند که شکاف‌های مورد نظر برای پاسخ به یک درخواست باید در مسیر نوری مربوطه، دارای شناسه‌های یکسانی باشند.[۴].

افزایش استفاده از فناوری منجر به افزایش مصرف انرژی شده است. لذا موضوع کاهش مصرف انرژی در شبکه‌های نوری منعطف در سال‌های اخیر مورد توجه قرار گرفته است. بر اساس پیش بینی‌ها، اگر هیچ بهبودی در بهره‌وری انرژی فناوری مورداستفاده در دستگاه‌های شبکه‌های ارتباطی حاصل نشود، مقدار توان مصرفی شبکه‌های ارتباطی ثابت به ۱.۵ TW در سال ۲۰۲۵ افزایش یابد[۵]. از این رو مدیریت توان مصرفی یکی از چالش های مطرح در شبکه های نوری الاستیک است. در شبکه‌های نوری منعطف روش‌های مختلفی برای کاهش مصرف انرژی معرفی‌شده است. به‌صورت کلی روش‌هایی که برای کاهش مصرف انرژی در شبکه‌های نوری منعطف معرفی‌شده‌اند به دو دسته تقسیم می‌شوند. ۱- روش بهینه‌سازی انرژی که در زمان طراحی شبکه مورداستفاده قرار می‌گیرند تا انرژی ثابت شبکه را کاهش دهند و ۲- روش آگاه از انرژی که مصرف انرژی شبکه را متناسب با بار شبکه تنظیم نماید و بر به خواب بردن منابع اضافی شبکه تکیه دارد.

یکی دیگر از چالش های مهم در شبکه های نوری الاستیک، تکه تکه شدن طیف (Fragmentation) است. ارائه پویا پهنای باند و آزاد کردن مسیرهای نور باعث ایجاد مشکل تکه‌تکه شدن پهنای باند می‌شود و طیفی که پس از پاسخ به مسیر نوری در دسترس قرار می‌گیرد ممکن است برای ایجاد درخواست‌های ورودی کافی نباشد[۶]. تکه‌تکه سازی یک مسئله جدی در شبکه‌های نوری منعطف نوری هست که با مدیریت مناسب می‌توان تا حدودی اثرات منفی آن را کاهش داد. در حالت کلی برای مقابله با تکه تکه شدن طیف در شبکه های نوری الاستیک ۲ راهکار وجود دارد. ۱-رویکرد فعال و ۲-رویکرد پیشگیرانه

در این مقاله، الگوریتم ارائه شده در سه گام تدوین شده است : در گام اول تمام مسیرهای موجود بین مبدا و مقصد را پیدا کرده و انرژی مسیرها را محاسبه می کنیم، سپس مسیرها براساس انرژی مرتب می شوند و مسیر با کم ترین انرژی انتخاب می شود . در گام دوم به وسیله متریک طلایی مقدار عددی تکه تکه شدن طیف محاسبه و هسته موردنظر جهت انتقال اطلاعات انتخاب می‌شود و در گام سوم در هسته انتخاب‌شده، شکاف ها بر اساس سیاست Smart-Fit (SF) به درخواست تخصیص داده می شوند. در صورتی که در گام سوم شکافی جهت تخصیص پیدا نشود، هسته های دیگر بررسی می‌شوند و در صورتی که در هیچ یک از هسته ها شکاف‌های مناسب پیدا نشود، مسیر بعدی آزمایش می شود.

این مقاله به این صورت، سازماندهی شده است که، در بخش دوم کارهای مرتبط آورده شده است و در بخش سوم الگوریتم ارائه شده توضیح داده شده است و در بخش چهارم نتایج شبیه سازی ارائه شده است و در بخش پنجم نتیجه گیری بیان شده است.

۲- کارهای مرتبط

همانطور که در بخش مقدمه گفته شد، مدیریت انرژی، کاهش و مدیریت تکه تکه شدن طیف و نحوه تخصیص طیف، سه چالش مهم در شبکه های نوری منعطف هستند. محققان زیادی به ارائه راهکار برای مقابله با این چالش ها پرداخته اند که برخی از این راهکار ها بر یکی از این چالش ها متمرکز هست و برخی چند چالش را در راهکار خود بررسی کرده اند. در این بخش راهکارهای سایر محققین در زمینه های کاهش مصرف انرژی، تکه تکه شدن پهنای باند به صورت جداگانه مورد بررسی قرار داده شده است.

۲-۱ راهکارهای مقابله با کاهش مصرف انرژی

کاهش مصرف انرژی در شبکه‌های نوری منعطف از چالش‌های مهم به شمار می رود. برای کاهش مصرف انرژی در شبکه‌های نوری منعطف راهکارهای مختلفی توسط محققین ارائه‌شده است.

بلتسیوتی و همکارانش[۷]، یک الگوریتم آگاه از انرژی ارائه دادند که به‌طور انتخابی لینک‌های شبکه را خاموش می‌نماید و مصرف انرژی کل شبکه را کاهش و نرخ مسدود شدن درخواست را در حد مطلوبی برآورده می‌سازد و این الگوریتم تحت ترافیک پویا در مقایسه با یک الگوریتم مسیریابی و تخصیص طیف ناآگاه انرژی به صرفه‌جویی در مصرف انرژی تا ۹ درصد دست می‌یابد.

جوی هالدر و همکارانش[۸]، الگوریتم مسیریابی و تخصیص طیف کارآمد انرژی و طیف را برای شبکه‌های نوری منعطف با تولید دوباره تحت محیط ثابت پیشنهاد می‌کند. در این روش یک مدل مبتنی بر برنامه‌ریزی خطی عدد صحیح دومرحله‌ای برای طراحی مسیریابی و تخصیص طیف باقابلیت بقا مبتنی بر چند مسیر و درعین‌حال بهینه‌سازی نیاز طیف و مصرف انرژی در شبکه‌های نوری منعطف آفلاین، فرموله شده است.

رن و همکارانش[۹]، یک الگوریتم مبتنی بر تخصیص طیف سطح مسیریابی و مدولاسیون با در نظر گرفتن مصرف انرژی مطرح کرده‌اند. در این الگوریتم، با تطبیق پویا تعداد فرستنده‌های متغیر پهنای باند با توجه به سطح مدولاسیون انتخابی، به صرفه‌جویی در مصرف انرژی دست یافتند.

باندری و همکارانش[۱۰]، الگوریتم کوتاه‌ترین مصرف انرژی مسیریابی تخصیص طیف بر اساس مدولاسیون فاصله تطبیقی را معرفی کرده‌اند. در این الگوریتم مدولاسیون برای هر مسیر نوری بر اساس فاصله بین مبدأ و مقصد تعیین می‌شود. ابتدا انرژی مصرفی برای k-کوتاه‌ترین مسیر محاسبه می‌شود و مسیر با کمترین انرژی انتخاب می‌شود. این الگوریتم بر اساس درخواست‌های اتصال یا افزایش تعداد مسیرهای نوری بین مبدأ و مقصد می‌تواند به‌صورت پویا بین مدولاسیون‌های مختلف سوییچ کند.

جوی هالدر و همکارانش[۱۱]، یک الگوریتم کارآمد انرژی مبتنی بر چند مسیر باقابلیت بقا ارائه نموده‌اند. در این الگوریتم از یک مدل برنامه‌ریزی خطی دومرحله‌ای برای کاهش میزان مصرف انرژی اجزا شبکه استفاده‌شده است که در آن هر دو محدودیت قابلیت بقا و مصرف انرژی به‌صورت هم‌زمان در نظر گرفته است.

آبکنار و همکارانش[۱۲]، یک الگوریتم آگاه از انرژی مبتنی بر تجمیع به نام الگوریتم کمترین انرژی را ارائه نموده‌اند. هدف این الگوریتم ارائه کیفیت خدمات موردنیاز در شبکه‌های نوری منعطف ازنظر انرژی کارآمد شبکه و احتمال مسدود شدن درخواست است. در این الگوریتم درخواست‌ها به دودسته، درخواست با اولویت بالا و درخواست با اولویت پایین تقسیم می‌شوند و مکانیزم های تکه‌تکه شدن و فشرده‌سازی روی درخواست‌ها با اولویت پایین اجرا می‌شوند تا احتمال مسدود شدن درخواست‌ها با اولویت بالا را کاهش دهد.

لی یو و همکارانش[۱۳]، یک الگوریتم تجمیع کارآمد انرژی و همشنوایی ارائه نموده‌اند. در این الگوریتم ابتدا کوتاه‌ترین مسیرهای موجود، بر اساس طول مسیر و میزان بار مسیر مرتب می‌شوند و مسیر مورد نظر انتخاب می‌شود و درصورتی‌که مسیر مورد نظر ازلحاظ تجمیع کارآمد انرژی و همشنوایی انتظارات را برآورده کرد. ابتدا تخصیص منابع انجام می‌شود و سپس الگوریتم آگاه از همشنوایی اجرا می‌شود. این الگوریتم به‌طور قابل‌توجهی مصرف انرژی در شبکه‌های نوری الاستیک مالتی پلکس کننده تقسیم فضا را کاهش می‌دهد و احتمال انسداد بهینه را تضمین می‌کند.

جوی هالدر و همکارانش[۱۴]، یک رویکرد یکپارچه برای طراحی شبکه نوری الاستیک غیر برخط باقابلیت بقا برای به حداقل رساندن مصرف انرژی و نیاز طیف ارائه نموده‌اند. این الگوریتم بازیابی شکست یک لینک را با استفاده از مسیریابی و تخصیص طیف مبتنی بر چندمسیره (RSA) تضمین می‌کند. در این الگوریتم از مدل برنامه‌نویسی خطی صحیح برای مسیریابی و تخصیص طیف بر چند مسیر باقابلیت بقا در شبکه‌های با سایز کوچک و از الگوریتم‌های اکتشافی ژنتیک چندمسیره باقابلیت بقا و حریص چندمسیره باقابلیت بقا، برای شبکه‌های با سایز بزرگ استفاده‌شده است.

۲-۲ راهکارهای مقابله با تکه‌تکه شدن در شبکه‌های نوری منعطف

تکه‌تکه شدن طیف یکی از چالش‌های بسیار مهم در شبکه‌های نوری منعطف هست. دو عامل اصلی به وجود آمدن پدیده تکه‌تکه شدن در شبکه‌های نوری منعطف، تخصیص پویای طیف و محدودیت‌های پیوستگی می‌باشند. برای ارزیابی تکه‌تکه شدن طیف در شبکه‌های نوری منعطف متریک‌های مختلفی وجود دارد.متریک‌های تکه‌تکه شدن خارجی[۱۵]، آنتروپی[۱۶]، احتمال مسدود شدن دسترسی[۱۷]، FFMA [۱۸] ، NPFR[۱۹] و متریک طلایی[۲۰] ازجمله متریک‌های هستند که برای ارزیابی تکه‌تکه شدن طیف در شبکه‌های نوری منعطف مورداستفاده قرار می‌گیرند. راهکارهای مقابله با اثرات منفی تکه‌تکه شدن طیف، به راهکارهای فعال و راهکارهای پیشگیرانه تقسیم میشود. راهکارهای فعال مبتنی بر یکپارچه سازی هستند در حالی که در راهکارهای پیشگیرانه، ساختار الگوریتم به شکلی است که مقدار تکه‌تکه شدن طیف را به کمترین مقدار برساند.

یکی از راهکارهای پیشگیرانه، راهکارهای مسیریابی طیف و انتحاب هسته (RSCA) است. در این راهکارها با استفاده از یکی از متریک های ارزیابی تکه‌تکه شدن طیف ، هسته ها مرتب می‌شوند و هسته‌ای که مناسب است انتخاب می‌شود. هر چه متریک ارزیابی دقیق تر باشد، نتیجه الگوریتم بهتر خواهد بود. Golden –RSCA یکی از الگوریتم‌های است که در طبقه بندی RSCA قرار میگیرد. در این الگوریتم برای مرتب کردن هسته از متریک طلایی استفاده شده است[۲۰].

۲-۳ سیاست های تخصیص طیف

سیاست های تخصیص طیف یکی از موضوعاتی هست که در شبکه های نوری منعطف، جهت نیل به اهداف مختلف، مطرح شده است. محققان سیاست های متفاوتی را پیشنهاد دادند که هر یک پارامتر خاصی از شبکه را مد نظر گرفته و بر اساس بهبود آن پارامتر، به تخصیص شکاف می پردازد.

سیاست first-fit [۳] سیاستی است که اولین مکان مناسب برای درخواست را به عنوان مکان مناسب انتخاب می کند. سیاست last-fit [۳]سیاستی است که اولین مکان مناسب برای درخواست را به عنوان مکان مناسب انتخاب می کند.

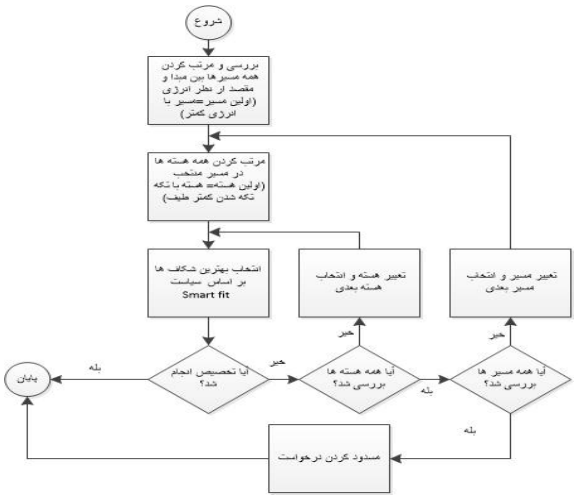
سیاست Best-fit [۲۱] سیاستی بود که در سال ۲۰۱۶ میلادی توسط خانم آبکنار و همکارش ارائه شد. ایا سیاست با در نظر گرفتن کاهش تکهتکه شدن پهنای باند، شکاف های مناسب را انتخاب میکند.

سیاست SF [۲۲] سیاست تخصیص دیگری هست که به صورت کاملا هوشمند، به نحوی شکاف ها را تقاضاهای ورودی تخصیص میدهد که مقدار عددی تکه تکه شدن طیف به حداقل می رسد.

۳- ارائه الگوریتم پیشنهادی

در این قسمت، یک الگوریتم تخصیص طیف و مسیریابی (R^2EF) با در نظر گرفتن مقدار انرژی مصرفی و تکه تکه شدن پهنای باند ارائه می‌شود. روش مسیریابی و تخصیص طیف و تکه تکه شدن طیف، سه پارامتری هستند که به طورمستقیم بر میزان مسدودی درخواست تاثیر می‌گذارد. از طرفی دیگر، انرژی مصرفی شاخص بسیار مهمی در بررسی و مطالعه شبکه های نوری است.

در الگوریتم R^2EF که فلوچارت آن در شکل ۲ آورده شده است، در گام نخست، تمام مسیرهای ممکن بین مبدا و مقصد بررسی شده و انرژی تمام مسیرها محاسبه می شود و سپس براساس انرژی همه مسیرها مرتب می‌شود و در ابتدا مسیری با کم ترین انرژی انتخاب می‌شود . در گام دوم در مسیر منتخب، میزان تکه تکه شدن در هسته ها براساس متریک طلایی محاسبه می شود و هسته ای که کمترین تاثیر در تکه تکه شدن پهنای باند را دارد برای تخصیص انتخاب می‌شود. در گام آخر در هسته‌ی انتخابی، شکاف‌های که اندازه آنها بزرگتر از مقدار شکاف درخواستی می باشند بررسی شده و شکافی که از نظر سیاست SF مناسب باشد، انتخاب می شود. در صورتی که شکاف مناسب جهت تخصیص درخواست پیدا نشد هسته‌های دیگر بررسی می‌شود و اگر پس از بررسی تمام هسته ها، شکاف مناسب پیدا نشود، مسیر دیگری مورد آزمایش قرار می گیرد و در صورتی که پس از بررسی همه مسیرها شکاف مناسب بر اساس سیاست SF وجود نداشته باشد، درخواست ورودی مسدود می‌شود. در ادامه گام¬های اصلی الگوریتم تشریح می‌شود.



شکل ۲. فلوچارت الگوریتم پیشنهادی

۱-۳ مدل کردن انرژی

گام اول الگوریتم مرتب کردن همه مسیرهای موجود بین مبدا و مقصد براساس میزان انرژی مصرفی آن مسیر می‌باشد. در این پژوهش انرژی محاسبه شده در یک مسیر نوری از رابطه زیر بدست می آید:

$$p_{path_i} = \sum P_S^R + \sum P_S^T + \sum P_D^R + \sum P_D^T + \sum P_S^R + \sum P_{OA} \quad (۱)$$

که در آن $\sum P_S^R$ انرژی مصرفی فرستنده ها در گره مبدأ، $\sum P_S^T$ انرژی مصرفی فرستنده ها در گره مبدأ، $\sum P_D^T$ انرژی مصرفی فرستنده ها در در گره مقصد، $\sum P_D^R$ انرژی مصرفی فرستنده ها در گره مقصد، $\sum P_{OA}$ انرژی مصرفی آمپلی فایرهای موجود در مسیر نوری با گره مبدأ و گره مقصد می باشد.

۲-۳ مدل کردن تکه تکه شدن طیف

متریک طلایی، متریکی هست که در سال ۲۰۲۲ برای تخمین مقدار تکه تکه طیف در هسته / لینک/ مسیر معرفی گردید. در این متریک مقدار تکه‌تکه شدن در هر هسته/لینک/مسیر بر اساس دو بعد محاسبه می‌شود. یک بعد بر اساس شکاف‌هایی است که می‌توان در تخصیص‌های آینده استفاده کرد و بعد دیگر بر اساس شکاف‌هایی است که نمی‌توان در تخصیص‌های آینده استفاده کرد[۲۰]. در R^2EF در گام اول مسیر مشخص می‌شود و در گام دوم با استفاده

از گلدن متریک، هسته های مسیر انتخاب شده، مرتب می شوند. هسته‌ای که مقدار تکه تکه شدن، کمتری داشته باشد، اولین انتخاب هست. درصورتی در این هسته امکان تخصیص وجود نداشته باشد، هسته بعدی انتخاب می‌شود.

همه مراحل R۲EF را میتوان درالگوریتم۱ به صورت شبه کد مشاهده کرد.:

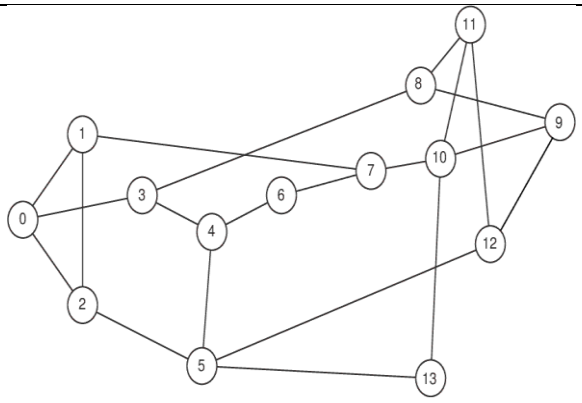
Inputs
S: number of all paths between source and destination
$Path_i$: The i^{th} path between the source and destination
b: Number of FSs required by the new connection
C: the core number on which the connection must be setup
Output:
free blocks for a given connection request are found

```
counter = ۰
sort all paths between source and destination based on energy
//the path with the lowest energy is the first path)
For i=1 to S // scan all paths between source and destination
 sort all cores in path_i based on fragmentation value //using
the Golden metric
    For j = ۱ to C // for each core in path
        Scan all gaps based on Smart-fit
        If (there is a suitable gap)
            Counter=1
            Allocate the appropriate slot to the input request
            break
        End If
    End For
    If (counter=1)
            break
    End If
End For
    If (counter=۰)
            Block request
    End If
```

الگوریتم ۱. شبه کد R۲EF

٤- نتایج آزمایشگاهی

برای شبیه سازی این الگوریتم از برنامه OPNET استفاده شده است. تعداد شکاف‌ها در هر هسته برابر با ۴۰۰ شکاف می‌باشد. تعداد درخواست‌های ورودی به شبکه در هر آزمایش یک میلیون در نظر گرفته شده است و برای هر ترافیک ۱۵ آزمایش انجام گردید و میانگین آنها به عنوان مقدار نهایی در نظر گرفته شده است. در این پژوهش از ساختارهای NSFNET (شکل ۳) جهت بررسی نتایج استفاده شده است.

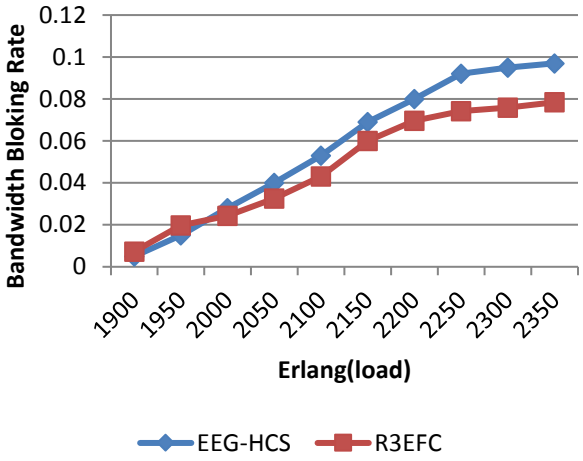


شکل ۳. ساختارNSFNET

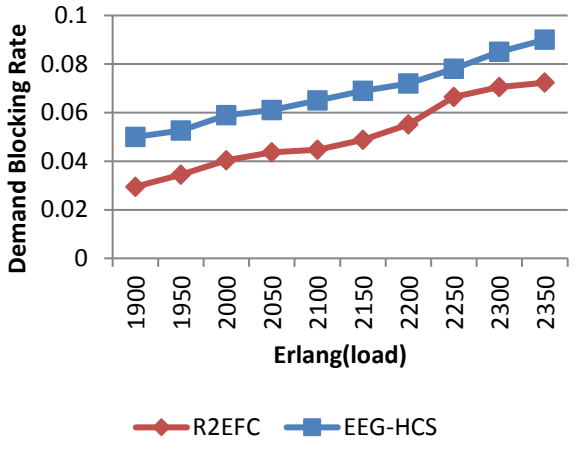
آزمایش‌ها در ترافیک های ۱۹۰۰-۲۳۵۰ انجام شده است. محدوده درخواست های ورودی بر اساس توزیع یکنواخت [۵-۱۵] و زمان اعتبار هر درخواست ۵۰ ثانیه در نظر گرفته شده است. در این بخش، الگوریتم پیشنهادی با الگوریتم مطرح شده در مرجع [۱۳] با نام EEG-HCS مقایسه شده است.

مهمترین معیار در بررسی و مقایسه الگوریتم‌های تخصیص طیف در شبکه‌های نوری، بررسی نرخ مسدودی درخواست‌های ورودی و بررسی نرخ مسدودی پهنای باند است. از این رو در این قسمت، نرخ مسدودی پهنای‌باند و نرخ مسدودی درخواست‌های ورودی در الگوریتم پیشنهادی و الگوریتم EEG-HCS به ترتیب در تصاویر ۴ و ۵ نشان داده شده است. همانطور که در تصاویر ۴ و ۵ مشاهده می‌شود نرخ مسدودی پهنای باند و نرخ مسدوی درخواست‌های ورودی در الگوریتم پیشنهادی نسبت به الگوریتم EEG-HCS کاهش چشمگیری داشته است به طوری که نرخ مسدودی پهنای باند در الگوریتم پیشنهادی نسبت به الگوریتم EEG-HCS در ترافیک ۲۱۵۰، به میزان ۹ درصد بهبود یافته است همچنین نرخ مسدودی تقاضا در ترافیک ۲۳۵۰، به میزان ۸ درصد بهبود یافته است.

بهبود پارامترهای فوق بعلت استفاده از متریک قوی Golden metric و همچنین سیاست SF و دسته بندی کاربردی هسته ها در الگوریتم پیشنهادی می باشد.



شکل ۴. مقایسه بر اساس نرخ پهنای باند مسدودی در ساختارNSFNET



شکل۵. مقایسه بر اساس نرخ تقاضا مسدودی در ساختارNSFNET

۵- نتیجه گیری

مصرف انرژی و تکه تکه شدن پهنای باند دو موضوع مهم در شبکه‌های نوری منعطف است از این رو در این پژوهش، یک الگوریتم کاهش مصرف انرژی و کاهش تکه تکه شدن پهنای باند و تخصیص طیف در شبکه های نوری منعطف ارائه شده است. نتایج شبیه سازی نشان می دهد که این الگوریتم به میزان قابل توجهی، انسداد درخواست و انسداد پهنای باند را کاهش می دهد. همچنین این الگوریتم کاهش مصرف انرژی را در شبکه مد نظر دارد.

امروزه از شبکه های نوری منعطف در صنعت ۵G و ۶G به عنوان کانال ارتباطی در دیتاسنترها استفاده می‌شود. یکی دیگر از کاربردهای این مقاله و نمونه های مشابه این مقاله، استفاده در هوانوردی است. صنعت هوانوردی جهت ارتباط با مراکز پردازش داده، نیاز به کانال ارتباطی پرسرعت با پهنای باند بالا دارد که این نیاز می تواند به وسیله کانال منعطف نوری برطرف شود.

مراجع:

[۱] L. Gong and Z. Zhu, "Virtual optical network embedding (VONE) over elastic optical networks," *Journal of Lightwave Technology*, vol. ۳۲, no. ۳, pp. ٤٥٠-٤٦٠, ۲۰۱۳. DOI: ۱۰,۱۱۰۹/JLT.۲۰۱۳,۲۲۹٤۳۸۹

[۲] W. Wei, H. Gu, K. Wang, X. Yu, and X. Liu, "Improving cloud-based IoT services through virtual network embedding in elastic optical inter-DC networks," *IEEE Internet of Things Journal*, vol. ٦, no. ۱, pp. ۹۸٦-۹۹٦, ۲۰۱۸. DOI: ۱۰,۱۱۰۹/JIOT.۲۰۱۸,۲۸٦٦٥۰٤

[۳] B. C. Chatterjee, S. Ba, and E. Oki, "Fragmentation problems and management approaches in elastic optical networks: A survey," *IEEE Communications Surveys & Tutorials*, vol. ۲۰, no. ۱, pp. ۱۸۳-۲۱۰, ۲۰۱۷. DOI: ۱۰,۱۱۰۹/COMST.۲۰۱۷,۲۷٦۹۱۰۲

[٤] J. Yuan *et al.*, "A constrained-lower-indexed-block spectrum assignment policy in elastic optical networks," *Optical Switching and Networking*, vol. ۳۳, pp. ۲٥-۳۳, ۲۰۱۹.DOI: *https://doi.org/10.1016/j.osn.2019.03.001*

[٥] M. Aibin, J. Gotengco, J. Tran, J. Soukchamroeun, C. Vinchoff, and N. Chung, "Energy Consumption Reduction of the Survivable Spectrally-Spatially Flexible Optical Networks," in *2020 22nd International Conference on Transparent Optical Networks (ICTON)*, ۲۰۲۰, pp. ۱-٤: IEEE.DOI: ۱۰,۱۱۰۹/ICTON٥۱۱۹۸,۲۰۲۰,۹۲۰۳۰۷٥

[٦] E. Rodrigues, H. M. D. S. Oliveira, and N. L. Da Fonseca, "Crosstalk and fragmentation-aware algorithm for space-division multiplexing elastic optical networks," in *2021 IEEE Latin-American Conference on Communications (LATINCOM)*, ۲۰۲۱, pp. ۱-٦: IEEE. DOI: ۱۰,۱۱۰۹/LATINCOM٥۳۱۷٦,۲۰۲۱,۹٦٤۷۸٤٥

[۷] G. A. Beletsioti *et al.*, "Power-aware Algorithms for Energy-efficient Elastic Optical Backbone and Metro Networks," in *ICETE (1)*, ۲۰۱۹, pp. ٦۹-۷٦. DOI: ۱۰,٥۲۲۰/۰۰۰۷۹۲٥۰۰۰٦۳۰۰۷۰

[۸] J. Halder, T. Acharya, M. Chatterjee, and U. Bhattacharya, "ES-RSM-RSA: A novel energy and spectrum efficient regenerator aware multipath based survivable RSA in offline EON," *IEEE Transactions on Green Communications and Networking*, vol. ٥, no. ۳, pp. ۱٤٥۱-۱٤٦٦, ۲۰۲۱.DOI: ۱۰,۱۱۰۹/TGCN.۲۰۲۱,۳۰۷٥٦۱٦

[۹] R. Ren, W. Hou, L. Guo, Y. Liu, J. Wu, and Y. Yang, "Spectrum and energy-efficient survivable routing algorithm in elastic optical network," *Optik*, vol. ۱۲۷, no. ۲۰, pp. ۸۷۹٥-۸۸۰٦, ۲۰۱٦.DOI: https://doi.org/۱۰,۱۰۱٦/j.ijleo.۲۰۱٦,۰٦,۰۸۸

[۱۰] S. Y. Bandiri, R. M. Braga, T. C. Pimenta, and D. H. Spadoti, "Energy consumption improvement based on distance adaptive modulation in elastic optical network," in *2017 International Caribbean Conference on Devices, Circuits and Systems (ICCDCS)*, ۲۰۱۷, pp. ۲۹-۳۲: IEEE.DOI: ۱۰,۱۱۰۹/ICCDCS.۲۰۱۷,۷۹٥۹۷۰۲

Communications, pp. ۱-۱۷, ۲۰۲۳. DOI: https://doi.org/۱۰,۱۰۰۷/s۱۱۱۰۷-۰۲۳-۰۱۰۰۲-۳

[۱۱] J. Halder, S. Das, S. Paira, M. Chatterjee, and U. Bhattacharya, "A multipath-based survivability scheme in energy-efficient EON," *IEEE Communications Letters*, vol. ۲۲, no. ۱۰, pp. ۲۰۲٤-۲۰۲۷, ۲۰۱۸.DOI: ۱۰,۱۱۰۹/LCOMM.۲۰۱۸,۲۸۵۹۹۳٤

[۱۲] F. Shirin Abkenar and A. G. Rahbar, "The energy minimization algorithm for elastic optical networks," *Photonic Network Communications*, vol. ٤۲, pp. ۱٥-۲٦, ۲۰۲۱.DOI: https://doi.org/۱۰,۱۰۰۷/s۱۱۱۰۷-۰۲۱-۰۰۹۳۹-۷

[۱۳] H. Liu, Q. Xiong, and Y. Chen, "Routing core and spectrum allocation algorithm for inter-core crosstalk and energy efficiency in space division multiplexing elastic optical networks," *IEEE Access*, vol. ۸, pp. ۷۰٤٥۳-۷۰٤٦٤, ۲۰۲۰. DOI: ۱۰,۱۱۰۹/ACCESS.۲۰۲۰,۲۹۸٥٤۲۲

[۱٤] J. Halder, T. Acharya, M. Chatterjee, and U. Bhattacharya, "On spectrum and energy efficient survivable multipath routing in off-line elastic optical network," *Computer Communications*, vol. ۱٦۰, pp. ۳۷٥-۳۸۷, ۲۰۲۰.DOI: https://doi.org/۱۰,۱۰۱٦/j.comcom.۲۰۲۰,۰٦,۰۱۸

[۱٥] M. S. Johnstone and P. R. Wilson, "The memory fragmentation problem: Solved?," *ACM Sigplan Notices*, vol. ۳٤, no. ۳, pp. ۲٦-۳٦, ۱۹۹۸. DOI: ۱۰,۱۱٤٥/۳۰۱٥۸۹,۲۸٦۸٦٤

[۱٦] R. R. Coifman and M. V. Wickerhauser, "Entropy-based algorithms for best basis selection," *IEEE Transactions on information theory*, vol. ۳۸, no. ۲, pp. ۷۱۳-۷۱۸, ۱۹۹۲. DOI: ۱۰,۱۱۰۹/۱۸,۱۱۹۷۳۲

[۱۷] D. Amar, E. Le Rouzic, N. Brochier, J.-L. Auge, C. Lepers, and N. Perrot, "Spectrum fragmentation issue in flexible optical networks: analysis and good practices," *Photonic Network Communications*, vol. ۲۹, pp. ۲۳۰-۲٤۳, ۲۰۱٥. DOI: https://doi.org/۱۰,۱۰۰۷/s۱۱۱۰۷-۰۱٥-۰٤۸۷-۱

[۱۸] F. Yousefi and A. G. Rahbar, "Novel fragmentation-aware algorithms for multipath routing and spectrum assignment in elastic optical networks-space division multiplexing (EON-SDM)," *Optical Fiber Technology*, vol. ٤٦, pp. ۲۸۷-۲۹٦, ۲۰۱۸.DOI: https://doi.org/۱۰,۱۰۱٦/j.yofte.۲۰۱۸,۱۱,۰۰۲

[۱۹] M. Jafari-Beyrami, A. G. Rahbar, and S. Hosseini, "On-demand fragmentation-aware spectrum allocation in space division multiplexed elastic optical networks with minimized crosstalk and multipath routing," *Computer Networks*, vol. ۱۸۱, p. ۱۰۷٥۳۱, ۲۰۲۰. DOI: https://doi.org/۱۰,۱۰۱٦/j.comnet.۲۰۲۰,۱۰۷٥۳۱

[۲۰] Y. Khorasani, A. G. Rahbar, and M. Jafari-Beyrami, "A novel two-dimensional metric for fragmentation evaluation in elastic optical networks," *Computer Networks*, vol. ۲۱٦, p. ۱۰۹۲۷٥, ۲۰۲۲.DOI: https://doi.org/۱۰,۱۰۱٦/j.comnet.۲۰۲۲,۱۰۹۲۷٥

[۲۱] F. S. Abkenar, A. G. Rahbar, and A. Ebrahimzadeh, "Best fit (bf): A new spectrum allocation mechanism in elastic optical networks (eons)," in *2016 8th International Symposium on Telecommunications (IST)*, ۲۰۱٦, pp. ۲٤-۲۹: IEEE.DOI: ۱۰,۱۱۰۹/ISTEL.۲۰۱٦,۷۸۸۱۷۷٥

[۲۲] Y. Khorasani, A. Ghaffarpour Rahbar, and M. Jafari-Beyrami, "Fragmentation management to reduce bandwidth wastage in SDM-EON networks," *Photonic Network*

Modern Research Electrical and Electronic Avionic
Vol.۱, No.۱, Winter ۲۰۲٤
https://www.mreea.ir

Active noise control using adaptive filters, implemented in a single-channel duct and a multi-channel cockpit

Ebrahim Shafiei[۱*], Mehdi Abdollahpour[۱], Behrang Hadian Siahkalmahaleh[۱]

[۱] Department of Electrical and Electronics Engineering, Shahid Sattari Aeronautical University of science and Technology, Tehran, Iran

[*] shafiee@ssau.ac.ir

(Recived times: ۲۰۲٤/Feb/۱۰, Accept time: ۲۰۲٤/Sep/۱۷)

Abstract

Nowadays, the elimination of noise pollution in sensitive locations such as cockpits and navigation rooms has become particularly important. Approaches exist for real-time active noise cancellation, which is realized using adaptive filters. Therefore, this paper first examines the principles of adaptive filters and introduces a number of widely-used algorithms in active noise cancellation systems, simulating the behavior of each algorithm in MATLAB software. Then, it discusses the principles of the active noise cancellation system in a duct (single-channel) and in the cockpit (multi-channel). One of the most important parts of this section is determining the transfer function of the desired acoustic environment, which is achieved through practical experiments. The simulation results of the mentioned system in MATLAB software clearly show that the multi-channel system can reduce single-tone acoustic noise by approximately ۱۰ dB, and the single-channel system by about ٥ dB.

Keyword:

پژوهش‌های نوین در مهندسی برق و الکترونیک هوایی
شماره ۱، جلد ۱، زمستان ۱۴۰۴
https://www.mreea.ir

کنترل فعال نویز در یک مجرا (تک‌کاناله) و در کابین خلبان (چندکاناله) با استفاده از فیلترهای تطبیقی

ابراهیم شفیعی*[۱]، مهدی عبداله‌پور[۱]، بهرنگ هادیان سیاهکل محله[۱]

[۱] دانشکده مهندسی برق و الکترونیک، دانشگاه علوم و فنون شهید ستاری، تهران، ایران
* shafiee@ssau.ac.ir

(تاریخ ارسال مقاله: ۱۴۰۲/۱۱/۲۱ تاریخ پذیرش مقاله: ۱۴۰۳/۰۶/۲۷)

واژگان کلیدی

کنترل فعال نویز
فیلترهای وفقی
سیستم حذف فعال نویز
حذف نویز تک کاناله
حذف نویز چند کاناله

چکیده

امروزه حذف آلودگی صوتی در مکان‌های حساس مثل کابین خلبان و ناوبر، اهمیت ویژه‌ای پیداکرده است. رویکردهایی برای حذف بلادرنگ نویز به روش فعال وجود دارد اما این امر با استفاده از فیلترهای وفقی تحقق پذیرفته است. لذا در این مقاله ابتدا به بررسی اصول فیلترهای وفقی و معرفی تعدادی از الگوریتم‌های پرکاربرد در سیستم حذف فعال نویز و شبیه‌سازی رفتار هر الگوریتم در نرم‌افزار متلب می‌پردازیم. سپس اصول سیستم حذف فعال نویز در یک مجرا (تک کاناله) و در کابین خلبان (چند کاناله) را موردبحث قرار می‌دهیم. یکی از مهم‌ترین بخش‌های این قسمت تعیین تابع تبدیل محیط آکوستیکی موردنظرمی باشد که با استفاده از آزمایش‌های عملی محقق می‌شود. نتایج شبیه‌سازی سیستم یادشده در نرم‌افزار متلب به‌خوبی نشان می‌دهد که سیستم چندکاناله قادر است نویز صوتی تک تُن را در حدود dB ۱۰ و سیستم تک کاناله چیزی در حدود dB ۵ کاهش دهد.

۱- مقدمه

آلودگی صوتی یکی از آثار استفاده از هواپیما در دنیای امروزی است. نویزهای آکوستیکی تولید شده از موتور جت یا توربوفن موجود نه‌تنها تأثیر مستقیمی بر شنوایی افراد می‌گذارند بلکه باعث کاهش بازدهی آن‌ها، بیماری‌های جسمی از قبیل فشارخون و افسردگی می‌شود. شاید در نگاه اول به نظر برسد که مسئله آلودگی صوتی نسبت به آلودگی محیط به مواد آلوده‌کننده، از اهمیت کمتری برخوردار است اما امروزه مسئله آلودگی صوتی در محیط‌های حساس مانند کابین خلبان و ناوبر مورد توجه بیشتری قرارگرفته است. منابع اصلی آلودگی صوتی برای خلبان عبارت‌اند از: صدای ناشی از موتورهای جت، و سایل زمینی فرودگاه و توربین‌ها و ملخ‌های هواپیما است [۱].

به‌طورکلی کاهش اثر نویز آکوستیکی به دو روش، صورت می‌پذیرد: ۱- روش فعال ۲- روش غیرفعال

روش غیرفعال : در این روش با استفاده از مواد جاذب امواج و عایق‌های صوتی، نویز آکوستیکی را تا حدودی کاهش می‌دهیم. این روش معایبی از قبیل کارایی کم در فرکانس‌های پایین [۲]، حجم زیاد عایق‌های صوتی، گران بودن عایق‌های صوتی[۳]، محدودیت‌های اجرایی و محدودیت‌های مکانیکی دارد.

لذا به همین دلیل و با پیشرفت تکنولوژی و تحقیقات در این زمینه، روش کنترل فعال نویز به شکل قابل‌قبول و مؤثری برای کاهش نویز آکوستیکی در مکان‌های حساس از قبیل کابین خلبان تبدیل گردید. این روش‌ها به‌عنوان یک نوع جایگزین مناسب برای روش‌های سنتی مانند

استفاده از مواد جاذب صوتی شناخته‌شده‌اند. زیرا علاوه بر کاهش نویز، باعث حفظ کارایی و عملکرد سیستم‌های حساس می‌شوند.

مزایای کنترل نویز به روش فعال[۴]: این سیستم قادر به حذف نویز در محدوده فرکانسی وسیعی می‌باشد و همچنین این سیستم قابلیت خودتنظیمی دارد بدین معنا که اگر تغییراتی در پارامترهای فیزیکی از قبیل درجه حرارت و سرعت جریان هوا ایجاد شود، سیستم برای رسیدن به وضعیت مطلوب (حداقل خطا) قادر به تنظیم خود می‌باشد. البته بزرگ‌ترین مزیت موجود درروش فعال این است که برخلاف روش غیرفعال می‌توان نویز را در یک فضای کوچک و بخصوص در فرکانس‌های زیر ۵۰۰ هرتز کاهش داد [۲،۳و۵].

۲- اصول فیلترهای وفقی

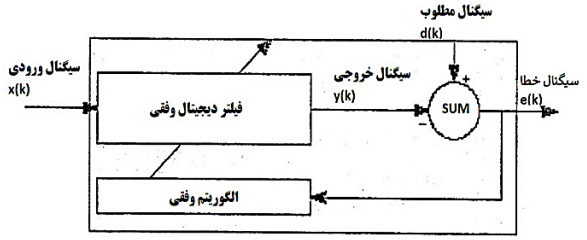
سیستم‌های کنترل فعال نویز[۱] معمولاً به علت تغییرات سیستم آکوستیکی، شرایط محیطی و تغییر رفتار سنسورها و محرک‌ها در اثر مداومت کاری، سیستم‌های متغیر با زمان می‌باشند [۷]. همچنین در بسیاری از کاربردهای کنترل فعال، نویز اولیه ثابت نبوده و درنتیجه کنترلر باید به‌گونه‌ای تطبیق داده شود که بتواند تغییرات در مشخصات نویز اولیه را ردگیری نماید [۷]. درمجموع می‌توان بیان داشت که کنترل فعال نویز به صورت کاملاً تطبیقی موردنیاز می‌باشد تا عمل شناسایی و کنترل به صورت هم‌زمان انجام پذیرد. به همین دلیل در این پژوهش برای حذف فعال نویز کابین خلبان از فیلترهای وفقی[۲] استفاده می‌گردد.

یک فیلتر دیجیتالی وفقی شامل دو قسمت می‌باشد:

۱) بخش فیلتر دیجیتالی

۲) الگوریتم وفقی به‌منظور بهینه‌سازی ضرایب فیلتر

نمای کلی از فیلترهای وفقی در شکل ۱ نشان داده شده است که در آن d(k) پاسخ دلخواه (یا سیگنال ورودی اولیه). y(k) خروجی فیلتر، x(k) سیگنال ورودی مرجع و e(k) سیگنال خطای سیستم می‌باشد. همچنین فرض می‌کنیم d(k) و x(k) ازلحاظ استاتیکی ایستا باشند. الگوریتم وفقی ضرایب فیلتر دیجیتالی را با کمینه کردن تابع سطح خطا (MSE) تنظیم می‌نماید.



شکل(۱) ساختار یک فیلتر وفقی دیجیتال

نکته‌ی مهم دیگر این است که تمام مباحث مربوط به الگوریتم LMS بر مبنای ایستان بودن ورودی استوار می‌باشد. در صورتیکه ورودی غیر ایستان باشد، یعنی خواص آماری آن بازمان تغییر کند، هرگز به نقطه بهینه نخواهیم رسید، بلکه در حوالی آن قرار خواهیم گرفت (مطابق نتایج بخش شبیه سازی). زیرا در این حالت شکل سطح عملکرد ثابت نمی‌باشد و مرتباً کاسته عملکرد یا به عبارتی مقدار مینیمم سطح عملکرد با زمان تغییر می‌کند [۸]. اگر تغییرات آماری ورودی بسیار سریع باشد، باید سرعت الگوریتم به نحوی باشد که بتواند آن را تعقیب کند [۹].

فیلترهای وفقی دارای چهار ساختار کاربردیمی‌باشند [۱۰و۱۱]:

۱) پیشگویی ۲) شناسایی سیستم ۳) فیلتر بندی معکوس ۴) حذف نویز

که به جهت جلوگیری از تکرار مکررات، از توصیف و شرح نحوه عملکرد هریک از کاربردها امتناع می‌گردد.

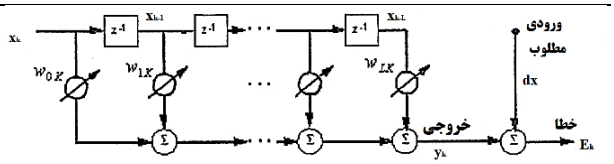
الگوریتم‌های وفقی: الگوریتم‌های وفقی روش‌هایی هستند که بر اساس آن‌ها می‌توان ضرایب فیلتر وفقی را به‌گونه‌ای تغییر داد که خروجی مطلوب حاصل گردد (مطابق شکل ۲). درواقع الگوریتم مشخص می‌کند که ضرایب مدل چه مقدار و در چه جهتی باید تغییر کنند تا درنهایت سیستم وفقی بتواند معیار مشخص‌شده را تأمین نماید.

برای تنظیم ضرایب فیلتر وفقی معمولاً معیار متوسط مربع خطا (MSE)را به کار می‌برند، یعنی ضرایب را به‌گونه‌ای تغییر می‌دهند که MSE مینیمم گردد. برای این کار الگوریتم‌های متعددی مطرح شده‌اند. آنچه در هر الگوریتم دنبال می شود، محاسبه‌ی بردار ضرایب است. به‌عبارت‌دیگر می‌توان گفت، در هر الگوریتم، مقصود محاسبه‌ی بردار وزن بهینه است که آن را با W یا Wopt نشان می‌دهند به‌گونه‌ای که معیار MSE را مینیمم کند.

خلاصه‌ای از الگوریتم LMS [۱۰،۱۲]: این الگوریتم که پرکاربردترین و پایه‌ای‌ترین الگوریتم تطبیقی است، به‌کرات در مقالات مختلف علمی در مورد آن بحث شده است ، لذا در این قسمت روابط مهم آن به‌طور خلاصه ذکر می‌شود.

۱. Active Noise Control

۲. Adaptive Filter



شکل(۲) نمایش سیستم وفقی با ورودی x

بردار وزن : w(n)

بردار نمونه‌های ورودی : x(n)

خروجی مطلوب : d(n)

خروجی فیلتر : y(n)

بردار به‌روزرسانی ضرایب : w(n+۱)

خروجی فیلتر:

$$y(n) = w^T(n)x(n) \qquad (۱)$$

تخمین خطا:

$$e(n) = d(n) - y(n) \qquad (۲)$$

به‌روزرسانی ضرایب:

$$w(n+۱) = w(n) + ۲\mu e(n)x(n) \qquad (۳)$$

خلا صه‌ای از الگوریتم Sing [۱۳]: این الگوریتم از LMS معمولی به د ست می‌آید، به‌نحوی‌که به‌جای e(n)، علامت آن جایگزین می شود. این تفاوت منجر به تغییر معادله به‌روزرسانی ضرایب به فرم زیر می‌شود:

$$w(n+۱) = w(n) + ۲\mu \, \text{sign}(e(n))x(n) \qquad (۴)$$

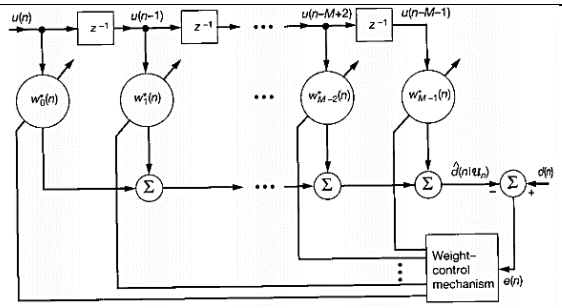
خلا صه‌ای از الگوریتم Signed-Regressor [۱۳]:این الگوریتم از LMS معمولی به د ست می‌آید، با این تفاوت که به‌جای بردار ورودی x(n)، علامت برداری x(n) جایگزین می شود.به‌نحوی‌که در آن تابع علامت به بردار x(n) به صورت عن صر به عن صر اعمال می شود. این تفاوت منجر به تغییر معادله به‌روزرسانی ضرایب به فرم زیر می‌شود:

$$w(n+۱) = w(n) + ۲\mu e(n)\text{sign}(x(n)) \qquad (۵)$$

خلا صه‌ای از الگوریتم Sing-Sign [۱۳]: همان‌طور که از نام آن می‌توان فهمید، ترکیبی از الگوریتم Sign و الگوریتم Signed-Regressor که منجر به نتایج زیر می‌شود:

$$w(n+۱) = w(n) + ۲\mu \text{sign}(e(n))\text{sign}(x(n)) \qquad (۶)$$

خلاصه‌ای از الگوریتم Steppest-Descent: الگوریتم شیب‌دارترین فرود، یک روش قدیمی و قطعی ا ست که ا ساس آن روش‌های مبتنی بر گرادیان تصادفی است و انطباق آن در جهت منفی گرادیان می‌باشد.



شکل(۳) ساختار فیلتر تطبیقی Transversal

برآیند سیگنال مطلوب داده‌شده توسط :$\hat{d}(n)$

$$\hat{d}(n) = w^H(n)x(n)$$

از آن جایکه:

$$x(n) = [x(n), x(n-۱), \dots, x(n-M+۱)]^T \qquad (۷)$$

و

$$w(n) = [w_۰(n), w_۱(n), \dots, w_{M-۱}(n)]^T \qquad (۸)$$

که بردار وزن فیلتر در زمان n است. بنابراین:

$$e(n) = d(n) - \hat{d}(n) = d(n) - w^H(n)x(n) \qquad (۹)$$

پس MSE در زمان n می‌شود:

$$J(n) = E\{|e(n)|^۲\} \qquad (۱۰)$$
$$= \sigma_d^۲ - w^H(n)p - p^H w(n) + w^H(n)Rw(n)$$

در رابطه آورده شده:

واریانس سیگنال مطلوب: $\sigma_d^۲$

همبستگی بین x(n) و P : d(n)

ماتریس همبستگی R : x(n)

زمانی که W(n) روی راه‌حل وینر (بهینه) تنظیم شود پس داریم:

$$w(n) = w_۰ = R^{-۱}p \qquad (۱۱)$$

و معادله بروز رسانی ضرایب به فرم زیر می‌شود :

$$w(n+۱) = w(n) + \mu(p - Rw(n)) \qquad (۱۲)$$

$$J(n) = J_{min} + (w(n) - R^{-۱}p)^T R(w(n) - R^{-۱}p) \qquad (۱۳)$$

۳-۱ صول سی ستم حذف فعال نویز یک مجرا (تک کاناله)

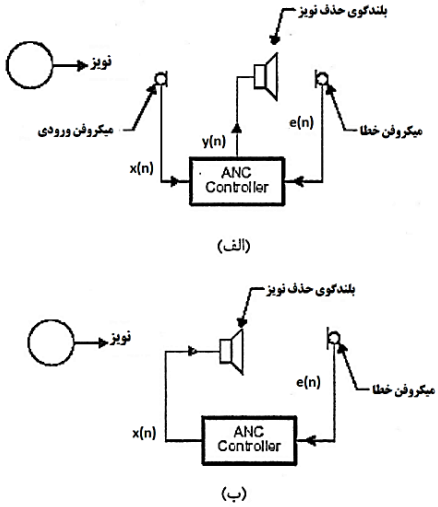
همانطور که در شکل ۱۰ م شاهده می‌نمایید، سی ستم‌های کنترل فعال نویز آکوستیکی را می‌توان به دودسته زیر تقسیم‌بندی کرد:

۱) سیستم کنترل فعال نویز پیشخور[۱]

۲) سیستم کنترل فعال نویز پسخور[۲]

در سیستم‌های ANC با کنترل پیشخور از دو سنسور برای اندازه‌گیری نویز اولیه (یا سیگنال مرجع) و سیگنال خطای باقیمانده استفاده می‌شود. در کاربردهایی که سیگنال مرجع در دسترس نمی‌باشد می‌توان از سیستم‌های ANC با کنترل پسخور استفاده کرد که فقط از یک سنسور جهت اندازه‌گیری سیگنال خطا استفاده می‌کند.

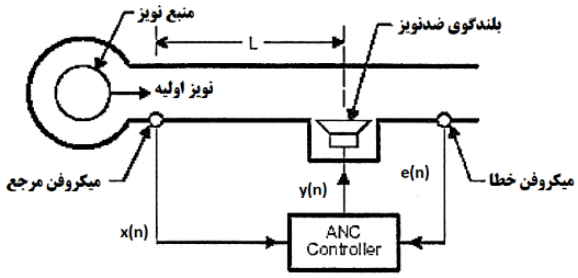
شکل ۱۲ نمایش دیاگرام بلوکی سیستم‌های کنترل فعال نویز پیشخور و پسخور است.



شکل (۴) الف- سیستم کنترل فعال نویز پیشخور ب- سیستم کنترل فعال نویز پسخور

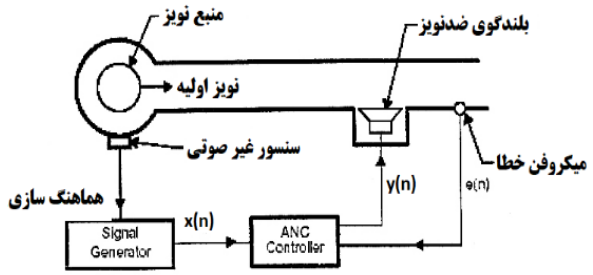
در این سیستم‌ها با دو نوع نویز، سروکار داریم:

۱) نویزهای باند پهن[۳]: برای حذف این‌گونه نویزها، نیاز به شناخت منبع نویز داریم تا بتوان سیگنال حذف‌کننده‌ی بهتری تولید کرد. نویز اولیه اندازه‌گیری شده به‌عنوان اطلاعات ورودی به الگوریتم وفقی وارد می شود. اگر اندازه و فاز نویز به‌درستی به‌وسیله‌ی کنترل‌کننده‌ی دیجیتالی مدل‌سازی شود، نویز اولیه به‌وسیله‌ی صدای تولید شده به کمک بلندگوی حذف‌کننده کاملاً خنثی می‌شود (شکل ۵).



شکل (۵) سیستم حذف فعال نویزهای باند پهن

۲) نویزهای باند باریک[۴]: برای حذف نویزهای باند باریک، تکنیک‌های فعالی ابداع شده است که کاربردهای بسیاری دارند. در این تکنیک‌ها به‌جای استفاده از یک میکروفون ورودی از یک سرعت سنج چرخش سیگنال[۵] استفاده می شود این سرعت سنج سیگنالی متناسب با سرعت چرخش یک مفصل تولید می کند که برای به دست آوردن فرکانس موج اولیه منبع نویز، استفاده می شود. زیرا تمامی نویزهای پریودیک، به‌وسیله‌ی ماشین‌های دوار که فرکانس چرخش ثابت دارند، ایجاد می‌شوند (شکل ۶).



شکل (۶) سیستم حذف فعال نویزهای باند باریک

۳-۱- نحوه عملکرد سیستم حذف فعال نویز تک کاناله پیشخور

بخش‌های اصلی یک سیستم ANC تک کاناله پیشخور عبارت‌اند از:

۱) میکروفن مرجع: نویز حاصل از منبع نویز را در ابتدای لوله گرفته و برای پردازش، به الگوریتم ANC می‌دهد.

۲) بلندگوی حذف‌کننده: سیگنال حذف‌کننده را در لوله پخش می‌کند.

۱. Feedforward

۲. Feedback

۳. Broadband

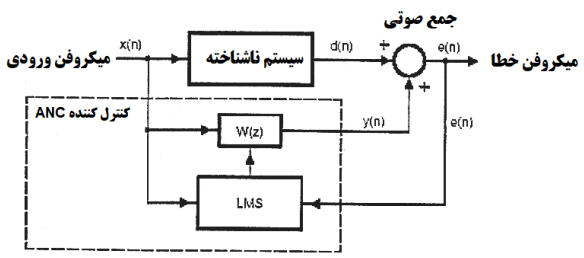
۴. Narrowband

۵. Tachometer Signal

۳) میکروفن خطا: میکروفن خطا در محلی قرار می‌گیرد که هدف سیستم، کاهش نویز صوتی در آن مکان است بنابراین در محل میکروفن خطا بیشترین کاهش نویز تحقق می‌یابد.

۴) پرداز شگر الگوریتم ANC: معمولاً یک فیلتر وفقی می‌باشد که به‌عنوان قلب سیستم، سیگنال‌های دریافتی را پردازش می‌کند.

در شکل ۷ نحوه‌ی کار سیستم ANC در حالت ایده‌آل نشان داده شده است. سیگنال نویز اولیه، x(n) به ورودی فیلتر وفقی وارد می شود. تابع انتقال سیستم ناشناخته (تابع انتقال محفظه لوله شکل، p(z)) شامل پاسخ صوتی لوله از میکروفن مرجع تا میکروفن خطا می‌باشد. سیگنال حاصل از عبور نویز اولیه در طول لوله (در محل بلندگو) سیگنال d(n) را تشکیل می‌دهد. الگوریتم ANC سیگنال y(n) را به صورتی تولید می‌کند که حاصل جمع صوتی آن با d(n) صفر یا حداقل گردد. نکته‌ی اساسی این است که با توجه به فاصله‌ی میکروفن مرجع از بلندگوی حذف‌کننده، یک تأخیر صوتی در مسیر لوله به وجود خواهد آمد. همچنین یک تأخیر الکتریکی نیز از زمان نمونه‌برداری نویز اولیه، اجرای الگوریتم ANC و ایجاد سیگنال ثانویه وجود دارد، که اگر این تأخیر از تأخیر صوتی بیشتر گردد، سیستم ANC غیر علی خواهد شد [۴].



شکل (۷) بلوک دیاگرام کلی سیستم ANC

سیستم‌های ANC دارای پاسخ باند پهن می‌توانند در کالبد یک شناسایی سیستم ناشناخته توضیح داده شوند. همانطوریکه در شکل ۱۵ می‌بینید، برای تشخیص سیستم ناشناخته (P(z))، سیستم ANC از یک فیلتر وفقی با بردار وزن W(z) استفاده می‌کند. P(z) نمایشی از محیط انتقال مابین سنسور ورودی و سنسور خروجی است. همانطوریکه ذکر شد، هدف فیلتر وفقی حداقل نمودن خطای باقیمانده می‌باشد. تبدیل Z از سیگنال خطا به‌صورت زیر به دست می‌آید:

$$E(z) = d(z) = y(z) = x(z)[P(z) + W(z)] \qquad (۱۴)$$

از آن جای که E(z) معرف سیگنال خطا و x(z) سیگنال ورودی و y(z) معرف خروجی فیلتر وفقی است. در حالت ایده آل بعد از همگرایی فیلتر وفقی، E(z) برابر صفر خواهد شد، پس:

$$W(z) = -P(z) \rightarrow y(n) = -d(n) \qquad (۱۵)$$

درنتیجه خروجی فیلتر وفقی((y(n)، دارای همان دامنه ولی با ۱۸۰ درجه اختلاف فاز است. هنگامی‌که d(n) و y(n) به‌طور آکوستیکی با همدیگر ترکیب می شوند، خطا صفر می شود. پس هر دو صدا همدیگر را خنثی می‌کنند.

همانطوریکه در شکل ۷ مشاهده می شود، سیگنال آکوستیکی حذف‌کننده به‌وسیله‌ی یک سیگنال الکتریکی که تحریک‌کننده‌ی یک بلندگو می‌باشد، ایجاد می‌گردد. بنابراین به علت استفاده از میکروفن‌های مرجع، خطا و بلندگوی حذف‌کننده، بایستی بعضی از توابع تبدیل، جهت واقعی‌تر کردن مدل شکل ۷ در نظر گرفته شوند. لذا ابتدا اثرات ناشی از مسیر ثانویه و سپس الگوریتم‌های مربوط ارائه خواهد شد.

۳-۲- اثرات مسیر ثانویه

در شکل ۱۳ سیگنال مرجع الکتریکی توسط میکروفن مرجع و سیگنال خطای الکتریکی با استفاده از میکروفن خطا به دست می‌آید. درنهایت صوت حذف‌کننده با استفاده از سیگنال الکتریکی که یک بلندگو را تحریک می‌کند، تولید می‌گردد. علامت جمع در شکل ۷ نمایش محیط آکوستیکی مابین بلندگوی حذف‌کننده و میکروفن خطاست. جاییکه نویز اولیه d(n) ، با سیگنال حذف‌کننده ،y(n) ،که خروجی فیلتر وفقی است جمع می شود. همانطوریکه در شکل ۸ مشاهده می شود، همانند x(n) که با عبور از p(z) تغییر می‌کند، سیگنال حذف‌کننده نیز با عبور از H(z) که در مسیر دوم قرار دارد، تغییر می‌کند. با احتساب نکات فوق می‌توان سیستم ANC را مشابه شکل ۸ در نظر گرفت که در آن تابع تبدیل مسیر ثانویه[۱](H(z)) را می‌توان به دو تابع تبدیل پشت سر هم تقسیم نمود:

$$H(Z)=R(Z).H'(Z) \qquad (۱۶)$$

در کاربرد کانال آکوستیک H'(Z) نشان‌دهنده تابع تبدیل سیستم بلندگو می‌باشد که شامل توابع تبدیل: مبدل D/A، فیلتر بازسازی[۲]، تقویت‌کننده‌ی توان، بلندگو و توابع تبدیل مسیر آکوستیکی از بلندگو تا نقطه‌ی تجمع است. در حالیکه R(z) تابع تبدیل سیستم میکروفن، شامل توابع تبدیل: مسیر آکوستیکی از نقطه‌ی تجمع تا میکروفن خطا، میکروفن خطا، پیش

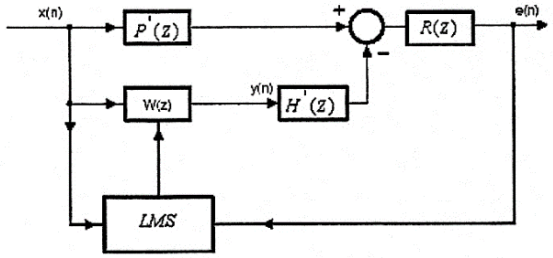
[۱]. Secondary path

[۲]. Reconstruction Filter

تقویت‌کننده، فیلتر ضد تاخوردگی[۱] و مبدل A/D را نشان می‌دهد. به‌طور مشابه، تابع تبدیل اولیه P(z) از سنسور ورودی تا سیگنال خطا می‌تواند به دو قسمت جداگانه تجزیه شود:

$$P(z) = R(z).P'(z) \qquad (۱۷)$$

که در آن P'(z) نشان‌دهنده‌ی تابع تبدیل محیط آکوستیکی ناشناخته از میکروفن مرجع تا نقطه‌ی تجمع می‌باشد. ضرایب فیلتر وفقی به‌رغم حضور توابع تبدیل ناشی از مبدل‌ها و فیلترها باید به یک مقدار مناسب جهت حداقل کردن سیگنال خطا همگرا شوند.



شکل (۸) دیاگرام بلوکی سیستم ANC

با توجه به شکل ۸ تبدیل Z سیگنال خطا به‌صورت زیر می‌باشد:

$$E(Z) = R(z)[P'(z) - H'(z)W(z)]X(z) \qquad (۱۸)$$

فرض کنید که درجه‌ی W(z) به‌اندازه‌ی کافی بالا باشد. پس از همگرایی فیلتر وفقی، خطای باقیمانده صفر می شود (یعنی E(z)=۰) و در حالت پایدار، تابع تبدیل فیلتر وفقی بهینه (W_{opt}) به‌صورت زیر خواهد بود:

$$W_{opt} = \frac{p`(z)}{H`(z)} \qquad (۱۹)$$

از رابطه‌ی (۱۹) می‌توان دریافت که فیلتر وفقی W(z) یک مدل سازی مستقیم از تابع آکوستیکی اولیه P`(z) به‌منظور تولید یک نویز حذف‌کننده و یک مدل‌سازی معکوس از H`(z) به‌منظور جبران سازی اثر مسیر ثانویه را انجام می‌دهد. ازآنجایی‌که R(z) در توابع تبدیل اولیه و ثانویه مشترک است، به‌راحتی می‌توان آن را به درون مدل منتقل کرد.

با استفاده از معادلات (۱۶) تا (۱۸) در حالت پایدار، تابع تبدیل فیلتر وفقی را می‌توان به‌صورت ساده‌تری بیان کرد. درنتیجه:

$$E(z)=[P(z)W(z)]X(z) \qquad (۲۰)$$

پس از همگرایی فیلتر وفقی، نویز باقیمانده صفر می شود. (E(z)=۰) درنتیجه خواهیم داشت:

$$W_{opt} = \frac{p(z)}{H(z)} \qquad (۲۱)$$

به‌عبارت‌دیگر فیلتر وفقی شامل مدل مستقیم، P(z)، و مدل معکوس، H(z)، می‌باشد. بنابراین با داشتن توابع تبدیل مسیرهای اولیه و ثانویه، قادر خواهیم بود که ضرایب بهینه را به‌منظور حداقل کردن خطای متوسط مربعات به دست آوریم.

از رابطه‌ی (۲۱) نتیجه می شود که تابع تبدیل W_{opt} به صورت یک نسبت می‌باشد. اگر بخواهیم فیلتر وفقی را با استفاده از یک فیلتر FIR تحقق بخشیم، به‌منظور تقریب $\frac{۱}{H(z)}$ باید از یک فیلتر با مرتبه‌ی بالا استفاده شود.

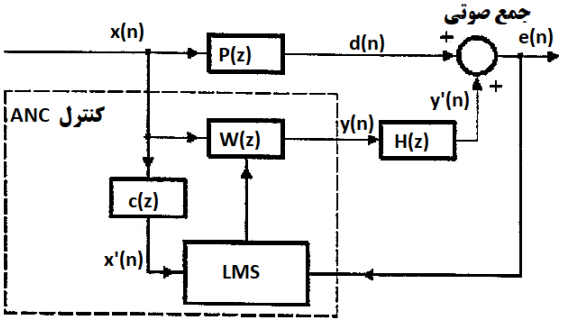
۴- الگوریتم FXLMS

به دلیل وجود تابع تبدیل مسیر ثانویه (H(z)) در سیستم ANC، بایستی الگوریتم LMS جهت دستیابی به همگرایی اصلاح گردد. برای جبران سازی اثر H(z) دو روش در [۱۴] پیشنهاد شده است:

۱) فیلتر $\frac{۱}{H(z)}$ به‌طور سری با H(z) در مسیر ثانویه و به‌منظور رفع اثر آن قرارداد.

۲) فیلتری کاملاً شبیه به H(z) (یعنی= C(z) در شکل (۱۰)) در مسیر سیگنال ورودی به فیلتر وفقی قرارداد.

چون عکس تابع انتقال H(z) جهت اجرای روش اول الزاماً وجود ندارد، لذا معمولاً از روش دوم که به معکوس H(z) نیاز ندارد، استفاده می شود. این الگوریتم به‌وسیله‌ی مورگان بیان شد که به آن الگوریتم FXLMS گویند [۱۴]. همچنین بعد از آن Burgess پیشنهاد کرد که از FXLMS در ANC استفاده شود [۱۵].



شکل(۹) دیاگرام بلوکی الگوریتم FXLMS

که در آن بردار به‌روزرسانی ضرایب به‌صورت زیر تعریف می‌شود:

۱. Antialiasing

$$W(n+1)=W(n)-\mu e(n)X(n)h(n) \quad (22)$$

جاییکه h(n) پاسخ ضربه H(z) است.

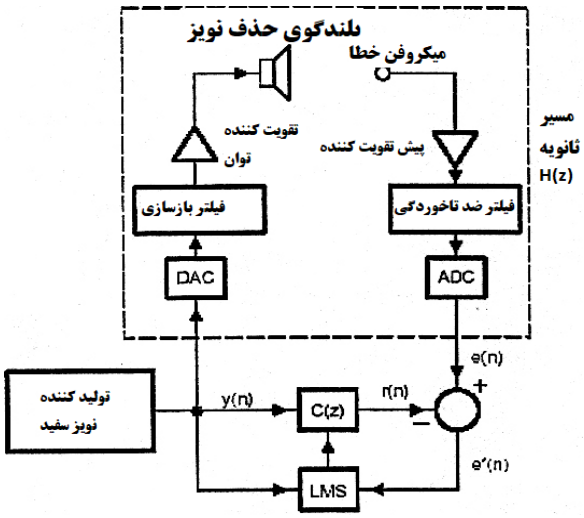
برای پایدار بودن الگوریتم FXLMS ضریب همگرایی μ باید در رابطه زیر صدق کند:

$$0 < \mu < \frac{2Re|\lambda_i|}{|\lambda_i^2|} \quad (23)$$

که در اینجا λ_i ها مقادیر ویژه‌ی ماتریس همبستگی می‌باشند. اگر مدل سازی مسیر ثانویه دقیق باشد C(z)=H(z) ماتریس همبستگی فوق یک ماتریس متقارن خواهد بود و همه‌ی مقادیر ویژه‌ی آن حقیقی و مثبت خواهد شد و مانند روش LMS می‌توان یک مقدار مثبت μ پیدا کرد که پایداری الگوریتم را تضمین کند. لیکن اگر مدل سازی دقیق نباشد دیگر C(z)=H(z) نخواهد بود و ماتریس همبستگی سیگنال فیلتر شده، متقارن نیست و تضمینی وجود ندارد که مقادیر ویژه‌ی ماتریس فوق حقیقی و یا دارای قسمت حقیقی با شند اگر قسمت حقیقی تنها یکی از مقادیر ویژه‌ی ماتریس فوق مثبت نباشد آنگاه نمی‌توان ضریب همگرایی پیدا کرد که در رابطه‌ی (۲۳) صدق کند و لذا الگوریتم در هر حالت ناپایدار خواهد بود.

به علت تأثیراتی از قبیل تغییر درجه حرارت و جریان هوا در مسیر دوم و کهنگی بلندگو، تابع H(z) ناشناخته و متغیر بازمان است. به‌واسطه‌ی این امر Erikson چندین تکنیک ارائه داده است [۱۶].

فرض کنید که H(z) تابعی ناشناخته و مستقل از زمان است. می‌توان H(z) را به‌وسیله‌ی تکنیک هایی از نوع off-line (همانند شکل ۹)، تخمین‌زد.



شکل(۱۰) دیاگرام بلوکی ساختار تعریف‌شده برای به دست آوردن تابع تبدیل مسیر ثانویه

مراحل این کار به‌صورت زیر خلاصه‌شده است [۵ و۱۶]:

۱) ابتدا باید سستی برای فعال کردن بلندگوی حذف‌کننده یک نمونه نویز سفید(y(n)) تولید کرد. که این نویز به‌عنوان ورودی الگوریتم وفقی و تابع c(z) نیز استفاده می‌شود.

۲) از طریق میکروفن خطا، e(n) به دست می‌آید.

۳) r(n) که پاسخ مدل وفقی است به‌صورت زیر محاسبه می‌شود:

$$r(n) = \sum_{i=0}^{M-1} c_i(n)y(n-i) \quad (24)$$

جاییکه $c_i(n)$، i امین ضریب فیلتر وفقی c(z) در زمان n و M درجه‌ی فیلتر است.

۴) e`(n) از تفاضل زیر محاسبه می‌شود:

$$e`(n)=e(n)-(r(n)) \quad (25)$$

۵) ضرایب فیلتر وفقی c(z) به‌وسیله‌ی الگوریتم LMS بهینه می‌شوند.

$$c_i(n-1) = c_i(n) + \mu e(n)y(n-i)$$

$$i = 0,1,\dots,M-1 \quad (26)$$

که μ، گام حرکت للگوریتم وفقی است، و برای همگرایی فیلتر $0 < \mu < \frac{1}{M.P_y}$ انتخاب می‌شود.

Py توان نویز سفید تولیدشده$(y(n))$ است.

۶) این فرآیند را در حدود ۱۰ ثانیه تکرار می‌کنیم. ضرایب فیلتر وفقی c(z) را ذخیره می‌کنیم و سپس از آن در مدل حذف نویز استفاده می‌کنیم.

بعدازاینکه مدل برون خط (off-line) کامل شد، مراحل انجام الگوریتم FX-LMS را که به‌قرار زیر است، انجام می‌دهیم:

۱) به‌وسیله‌ی میکروفن ورودی، سیگنال x(n) و از طریق میکروفن خطا، سیگنال e(n) به دست می‌آیند.

۲) سیگنال حذف‌کننده، y(n) به‌صورت زیر محاسبه می‌شود:

$$y(n) = \sum_{i=0}^{N-1} W_i(n)x(n-i) \quad (27)$$

که $w_i(n)$ ضرایب فیلتر وفقی W(Z) و N درجه‌ی فیلتر وفقی است.

۳) سیگنال حذف‌کننده، y(n)، ورودی بلندگوی سیستم است.

۴) X'(n) که فیلتر شده‌ی x(n) است، به‌صورت زیر محاسبه می‌شود:

$$x`(n) = \sum_{i=0}^{M1} c_i x(n-i) \quad (28)$$

۵) ضرایب فیلتر وفقی، W(Z) نیز از طریق الگوریتم FXLMS با رابطه‌ی زیر بهینه می‌شوند.

$$w_i(n-1) = w_i(n) - \mu e(n)x'(n-i) \quad (29)$$

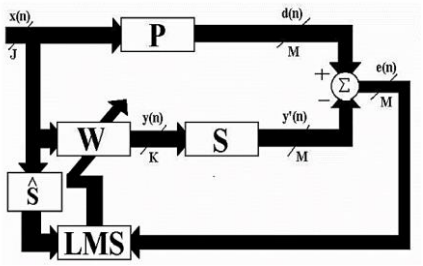
$$i = 0,1,\dots,N-1$$

۶) این فرآیند چندین بار تکرار می‌شود.

۵- اصول سیستم حذف فعال نویز در کابین خلبان (چند کاناله)

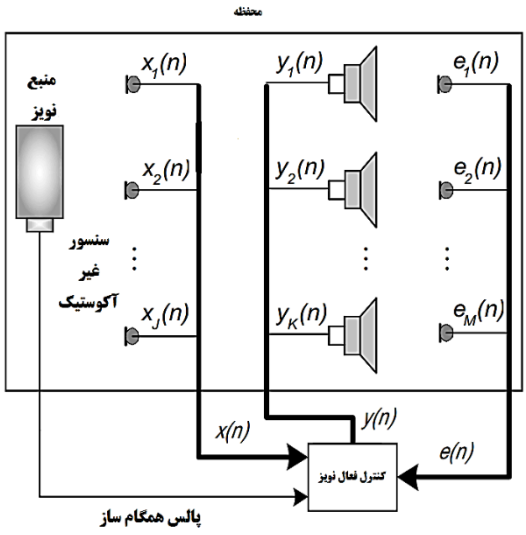
برای بیان اصول کار سیستم‌های ANC، یک سیستم ANC چند کاناله مورد بررسی قرار می‌گیرد و با اعمال فرضیاتی می‌توان همان روابط را برای یک سیستم ANC تک کاناله نیز مورداستفاده قرارداد.

شکل (۱۱) نمودار کلی سیستم ANC چند کاناله در محفظه مجهز به الگوریتم FXLMS با J میکروفن مرجع، K بلندگو و M میکروفن خطا



شکل(۱۲) بلوک دیاگرام توابع انتقال سیستم ANC چند کاناله مجهز به الگوریتم FXLMS

اصول کار یک سیستم ANC چند کاناله در حالت کلی مطابق با شکل ۱۱ و ۱۲ می‌باشد. در این سیستم از J میکروفن مرجع، M بلندگو موسوم به "منابع ثانویه" استفاده می‌گردد [۱۷]. نویز صوتی مزاحم که با عنوان "نویز



منبع اولیه" شناخته می‌شود، توسط میکروفن‌های مرجع دریافت می‌شود که به آن‌ها، "سیگنال‌های مرجع" گفته می‌شود و همچنین توسط میکروفن‌های خطا، سیگنال‌های خطای باقیمانده دریافت می‌گردد. هر یک از سیگنال‌های مرجع به همراه یکی از سیگنال‌های خطا به یک فیلتر وفقی ارسال می‌گردد. هرکدام از فیلترها با استفاده از یک الگوریتم وفقی (معمولاً LMS)، ضرایب خود را به صورتی تنظیم می‌کند که سیگنال خروجی فیلتر، دارای دامنه مساوی و فازی مخالف با سیگنال صوتی داشته باشد. این الگوریتم به صورتی کار می‌کند که مقدار خطای باقیمانده در میکروفن خطای مربوطه به کمترین مقدار ممکن خود همگرا گردد [۱۸]. با توجه به شکل ۱۱ و ۱۲، بردار سیگنال‌های خطا و ماتریس سیگنال‌های مرجع طبق روابط زیر بیان می‌گردد.

(۳۰)

$$e(n) = [e_1(n)\ \ e_2(n)\ \ \dots e_m(n) \dots\ \ e_M(n)]^T$$

$e_m(n)$ سیگنال حاصل‌شده از میکروفن خطای m ام می‌باشد.

(۳۱)

$$x(n) = [x^T{}_1(n)\ \ x^T{}_2(n)\ \ \dots\ \ X^T J(n)]^T$$

$x_j(n)$ بردار سیگنال مرجع j ام است که در رابطه (۳۲) گسترش داده‌شده است.

(۳۲)

$$x_j(n) = T[x_j(n)\ \ x_j(n-1)\ \ \dots\ \ x_j(n-N-1)]^T$$

ضرایب فیلتر های وفقی طبق رابطه (۳۳) تعریف شده است که در این رابطه، $W_{jk}(n)$ بردار ضرایب فیلتر وفقی بین j امین ورودی (سیگنال حاصل شده از میکروفن مرجع j ام) و k امین خروجی (سیگنال ارسال شده به بلندگوی k ام منبع ثانویه) می‌باشد:

$$W(n) = \begin{bmatrix} w_{11}(n) & w_{12}(n) & \cdots & w_{1K}(n) \\ w_{21}(n) & w_{22}(n) & \cdots & w_{2K}(n) \\ \vdots & \vdots & \ddots & \vdots \\ w_{J1}(n) & w_{J2}(n) & \cdots & w_{JK}(n) \end{bmatrix} \qquad (۳۳)$$

سیگنال مرجع X(n) که از رابطه (۳۱) حاصل شد، از فیلترهای W(n) که ضرایب آن در رابطه (۳۳) بیان گردید، عبور کرده و سیگنال راه‌انداز بلندگوها را طبق رابطه (۳۴) مهیا می‌سازد.

$$y(n) = W^T(n)X(n) \qquad (۳۴)$$

سیگنال راه‌انداز بلندگوها که حاصل از خروجی W(n)ها می‌باشد، به‌صورت رابطه (۳۵) نمایش داده‌شده است:

$$y(n) = [y_1(n) \quad y_2(n) \quad \dots \quad y_k(n) \quad \dots \quad y_K(n)] \quad (۳۵)$$

در رابطه فوق، $y_k(n)$ سیگنال پخش شده توسط بلندگوی kام است که طبق رابطه (۳۶) توضیح داده‌شده است:

$$y_k(n) = \sum_{j+1}^{J} w_{jk}^T(n).x_j(n) \qquad k = 1,2,\dots,K \qquad (۳۶)$$

سیگنال $y_k(n)$، بلندگوی k ام را راه‌اندازی می‌کند که درنتیجه یک موج صوتی که وظیفه حذف نویز صوتی در فضا را به عهده دارد، توسط این بلندگو تولید می‌شود.

با توجه به شکل ۱۲، نویز صوتی پس از عبور از محیط فیزیکی موجود بین منبع نویز و میکروفن خطا، به محل میکروفن خطا می‌رسد. اگر $P_{jm}(z)$ تابع انتقال[1] محیط فیزیکی بین میکروفن خطای m ام و میکروفن مرجع j ام برای J میکروفن مرجع و M میکروفن خطا باشد، $p_{jm}(n)$ پاسخ ضربه متناسب با تابع تبدیل یاد شده می‌باشد. نهایتاً تابع پاسخ ضربه محیط فیزیکی، یک ماتریس J×M خواهد بود که به صورت رابطه (۳۷) برای کل سیستم به دست می‌آید.

(۳۷)

$$P(n) = \begin{bmatrix} p_{11}(n) & p_{12}(n) & \cdots & p_{1M}(n) \\ p_{21}(n) & p_{22}(n) & \cdots & p_{2M}(n) \\ \vdots & \vdots & \ddots & \vdots \\ p_{J1}(n) & p_{J2}(n) & \cdots & p_{JM}(n) \end{bmatrix}$$

بنابراین با توجه به شکل (۲۳)، پس از عبور $x(n)$ از $P(n)$، بردار $d(n)$ نشان داده‌شده در رابطه (۳۸) و (۳۹) حاصل خواهد شد:

$$d(n) = P^T(n)X(n) \qquad (۳۸)$$

$$d(n) = [d_1(n) \quad d_2(n) \quad \dots \quad d_m(n) \quad \dots \quad d_M(n)] \quad (۳۹)$$

$d_m(n)$ نشان داده‌شده در رابطه (۳۹)، سیگنالی است که میکروفن خطای m ام در زمان خاموش بودن سیستم ANC، دریافت می‌کند و به نام "سیگنال دلخواه" موسوم است.

نکته بسیار مهم این است که در مدل‌سازی، باید اثرات بخش‌های فیزیکی موجود بین سیگنال‌های $y_k(n)$ و $e_m(n)$ را به‌وسیله تابع تبدیل $S_{km}(z)$ (بلوک S در شکل ۱۲) که با نام تابع تبدیل مسیر ثانویه معرفی می‌گردد، در نظر گرفت. این تابع تبدیل شامل مبدل آنالوگ به دیجیتال، فیلتر باز سازی[2]، تقویت‌کننده بلندگو، توابع تبدیل محیط فیزیکی مسیر صوتی از محل بلندگو تا میکروفن خطا، میکروفن خطا، پیش تقویت‌کننده میکروفن خطا، فیلتر ضد تاخوردگی[3] و مبدل دیجیتال به آنالوگ است.

که $y_k(n)$ سیگنال راه‌انداز بلندگوی kام و $e_m(n)$ سیگنال خطای به‌دست‌آمده از میکروفن mام می‌باشد. در این صورت ماتریس پاسخ ضربه توابع مذکور در سیستم چند کاناله به‌صورت رابطه (۴۰) تعریف می‌شود که در آن $s_{km}(n)$ پاسخ ضربه متناظر تابع انتقال $S_{km}(z)$ است.

(۴۰)

$$S(n) = \begin{bmatrix} s_{11}(n) & s_{12}(n) & \cdots & s_{1M}(n) \\ s_{21}(n) & s_{22}(n) & \cdots & s_{2M}(n) \\ \vdots & \vdots & \ddots & \vdots \\ s_{K1}(n) & s_{K2}(n) & \cdots & s_{KM}(n) \end{bmatrix}$$

برای جبران سازی اثرات فیزیکی فوق‌الذکر باید تخمین تابع $S_{km}(z)$، یعنی $\hat{S}_{KM}(z)$، در سیستم ANC لحاظ گردد.

در این صورت ماتریس تخمین پاسخ‌های ضربه مسیرهای ثانویه با K×M عنصر مشابه رابطه (۴۰) نشان داده می‌شود:

$$\hat{S}(n) = \begin{bmatrix} \hat{s}_{11}(n) & \hat{s}_{12}(n) & \cdots & \hat{s}_{1M}(n) \\ \hat{s}_{21}(n) & \hat{s}_{22}(n) & \cdots & \hat{s}_{2M}(n) \\ \vdots & \vdots & \ddots & \vdots \\ \hat{s}_{K1}(n) & \hat{s}_{K2}(n) & \cdots & \hat{s}_{KM}(n) \end{bmatrix} \qquad (۴۱)$$

که در آن $\hat{S}_{KM}(n)$ تخمین بردار پاسخ ضربه $s_{km}(n)$ است.

باوجود توابع انتقال ثانویه در مسیر سیگنال مرجع $x_j(n)$، سیگنال ورودی الگوریتم LMS سیگنال فیلتر شده $x'_j(n)$ خواهد بود:

$$x'_{jkm}(n) = \hat{s}_{km}(n) * x_j(n) \qquad (۴۲)$$

(k=1,2,...,K ، j=1,2,...,J ، m=1,2,...,M)

۱. Transfer Function

۲. Reconstruction Filter

۳. Antialiasing

به همین دلیل الگوریتم فوق، به الگوریتم Filtered-X LMS یا همان FXLMS مو سوم ا ست [۱۹]. بدین ترتیب با توجه به تعاریف بالا الگوریتم FXLMS چند کاناله برای به هنگام کردن ضرایب فیلترهای وفقی به دست می‌آید:

(۴۳)

$$w_{jk}(n+1) = w_{jk}(n) + \mu_{jk}.\{\sum_{m=1}^{M} x'_{jkm}(n).e_m(n)\}$$

که $k=1,2,\ldots,K$ و $j=1,2,\ldots,J$ و μ_{jk} پارامتر اندازه پله[1] می‌با شد که سرعت همگرایی الگوریتم وفقی را تنظیم می‌کند. بنابراین در یک سی ستم چند کاناله، ماتریس پارامترهای مذکور عبارت است از :

$$\mu = \begin{bmatrix} \mu_{11} & \cdots & \mu_{1K} \\ \vdots & \ddots & \vdots \\ \mu_{J1} & \cdots & \mu_{JK} \end{bmatrix} \quad (۴۴)$$

۶- تعیین تابع تبدیل محیط آکوستیکی

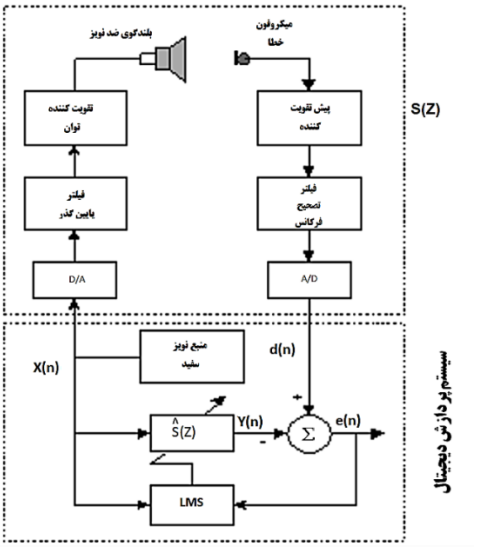
برای شبیه سازی یک سی ستم ANC چند کاناله، باید توابع انتقال م سیر ثانویه $S_{km}(z)$ تخمین زده شوند. در این بخش به روش پیاده سازی تخمین تابع انتقال مذکور پرداخته می‌شود.

یکی از م شکلات عمده در سی ستم چندکاناله، تخمین تابع تبدیل محیط به صورت تک کاناله ا ست که برای رفع این م شکل باید از روش چندکاناله بهره ج ست. در ضمن به‌ندرت پا سخ ضربه محیط آکو ستیکی مینیمم فاز ا ست درنتیجه امکان معکوس کردن تابع تبدیل وجود ندارد [۲۰] اما با ا ستفاده از تئوری "چند ورودی- چند خروجی[2]" امکان مهیاکردن معکوس فیلتر ها وجود دارد [۲۱]. برای محیط آکو ستیکی الگوریتم ME-LMS[3] برای پیاده‌سازی ماتریس فیلترهای FIR مورد استفاده قرار گرفت [۲۱]. این فیلترها قادر خواهند بود که همشنوایی را حذف نمایند و برای متعادل سازی پا سخ ضربه محیط آکو ستیکی مورد ا ستفاده قرار گیرد. اثبات شده ا ست که عملکرد روش‌های MINI و ME-LMS یکسان است. در ضمن متعادل‌سازی پا سخ ضربه محیط آکو ستیکی بستگی به طول‌موج صدای منتشر شده دارد [۲۳].

برای تخمین توابع انتقال موردنیاز در یک سی ستم ANC چندکاناله، رابطه (۴۱) با داشتن چهار فیلتر FIR به شکل رابطه (۴۵) کاهش پیدا می‌کند:

$$\hat{S}(n) = \begin{bmatrix} \hat{s}_{11} & \hat{s}_{12} \\ \hat{s}_{21} & \hat{s}_{22} \end{bmatrix} \quad (۴۵)$$

که $\hat{s}_{11}(n)$، $\hat{s}_{12}(n)$، $\hat{s}_{21}(n)$، $\hat{s}_{22}(n)$ به ترتیب پا سخ‌های ضربه مربوط به فواصل بین "میکروفن خطای اول و بلندگوی اول"، "میکروفن خطای دوم و بلندگوی اول"، "میکروفن خطای اول و بلندگوی دوم" و "میکروفن خطای دوم و بلندگوی دوم" می‌با شد. برای تخمین عملی توابع انتقال فوق در هر مرحله تنها از یک میکروفن و یک بلندگو ا ستفاده می شود. برای به د ست آوردن $\hat{s}_{11}(n)$ ابتدا توسط بلندگوی اول (منبع ثانویه اول) نویز سفید $x(n)$ که با تابع توزیع احتمال یکنواخت تو سط کامپیوتر تولید می شود در محیط پخش گردید [۲۱]. به‌طور هم‌زمان سیگنال $x(n)$ به فیلتر وفقی $\hat{S}(z)$ در شکل ۱۷ که از نوع FIR با درجه ۳۲ و مجهز به الگوریتم LMS می‌با شد، داده می شود. از طرف دیگر نویز دریافتی تو سط میکروفن خطا که حا صل عبور نویز صوتی از محیط فیزیکی می‌باشد بعد از عبور از تقویت‌کننده اولیه، فیلتر ضد تاخوردگی و A/D، سیگنال $d(n)$ را ایجاد می‌کند. از تفا ضل این سیگنال و سیگنال خروجی فیلتر ($y(n)$)، سیگنال خطای $e(n)$ برای تنظیم ضرایب فیلتر حا صل می‌گردد [۲۴]. در این پیاده سازی با همگرایی فیلتر وفقی، پا سخ ضربه م سیر ثانویه $\hat{s}_{11}(n)$ مطابق با شکل ۲۰ به د ست آمد.

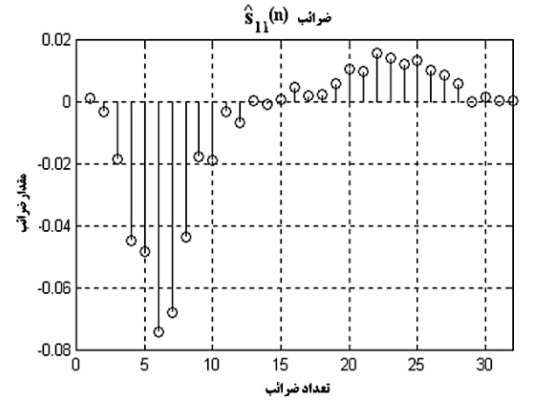


شکل (۱۳) روش پیاده‌سازی تخمین تابع مسیر ثانویه

۱. Step-Size Parameter

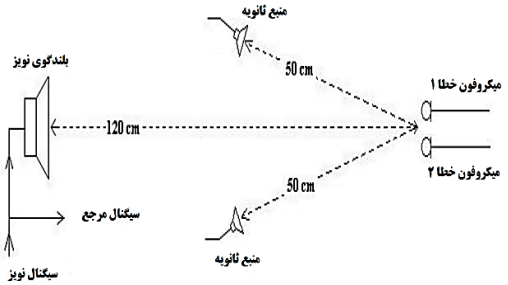
۲. Multiple Input/Output

۳. Multiple Error Least Mean Square

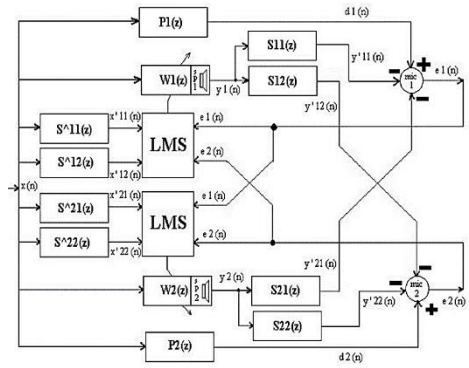


شکل (۱۴) پاسخ ضربه FIR تخمین زده شده برای تابع انتقال مسیر ثانویه

طریقه قرار گرفتن میکروفن‌ها و بلندگوها بصورت شکل ۱۵ می باشد:



شکل (۱۵) طریقه قرار گرفتن میکروفن‌ها و بلندگوها در داخل محفظه کابین خلبان برای یک سیستم ANC چند کاناله



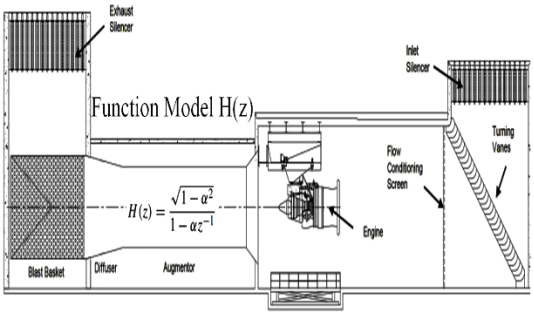
شکل (۱۶) بلوک دیاگرام شبیه‌سازی سیستم ANC چند کاناله

از رابطه (۴۵) دیدیم که در یک سیستم چند کاناله باید علاوه بر $\hat{s}_{11}(n)$ پاسخ ضربه‌های $\hat{s}_{12}(n)$ ، $\hat{s}_{21}(n)$ و $\hat{s}_{22}(n)$ نیز به روش فوق تخمین زده شود (شکل ۲۲). هرچند، در پیاده سازی فوق به دلیل تقارن فیزیکی محیط محفظه نسبت به محل بلندگوها و میکروفن‌های نصب شده و نزدیکی میکروفن‌های خطا به یکدیگر هر چهار پاسخ ضربه با دقت بسیار بالا شبیه به یکدیگر به دست آمد:

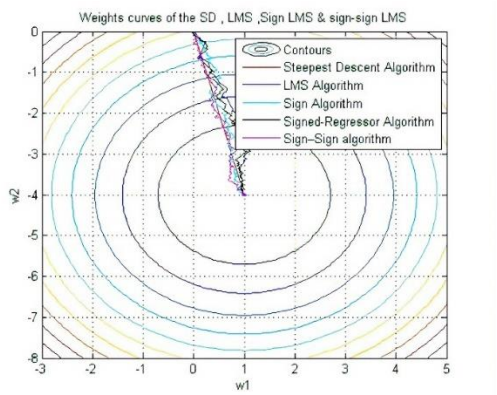
$$\hat{s}_{22}(n) \approx \hat{s}_{21}(n) \approx \hat{s}_{12}(n) \approx \hat{s}_{11}(n) \qquad (۴۶)$$

۶- شبیه‌سازی اولیه الگوریتم‌های *LMS* و *Steppest-Descent* برای کاربرد مورد نظر

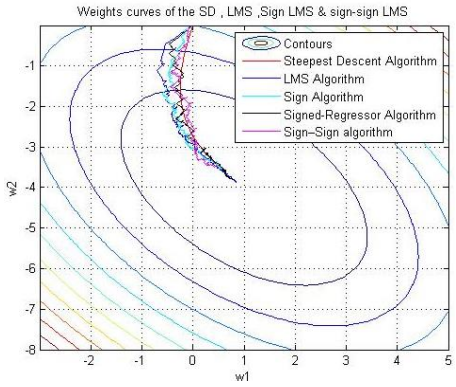
در این قسمت، تعدادی از الگوریتم‌های تطبیقی را در شرایط مختلف، برای حذف نویز یک مجرای آزمایش موتور جت هواپیما که در شکل ۶ آورده شده، مورد بررسی قرار می‌گیرد. تابع تبدیل پاسخ صوتی مجرای آزمون موتور جت، $H(z)$ فرض شده است. $H(z)$ با مقادیر مختلف α و μ شبیه‌سازی می‌گردد و نتایج شبیه‌سازی در شکل‌های ۱۷ تا ۲۲ رسم شده است.



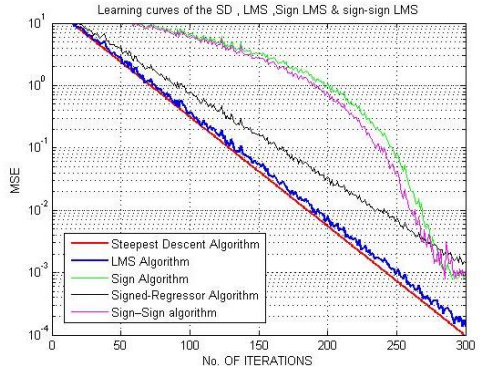
شکل (۱۷) مدل‌سازی یک تابع مجرا تونل آزمون موتور جت



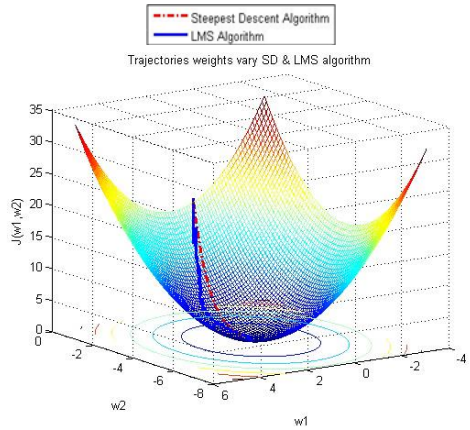
شکل (۱۸) شبیه سازی منحنی های وزن تعدادی از الگوریتم های تطبیقی (mu=۰،۰۱ و alfa=۰)



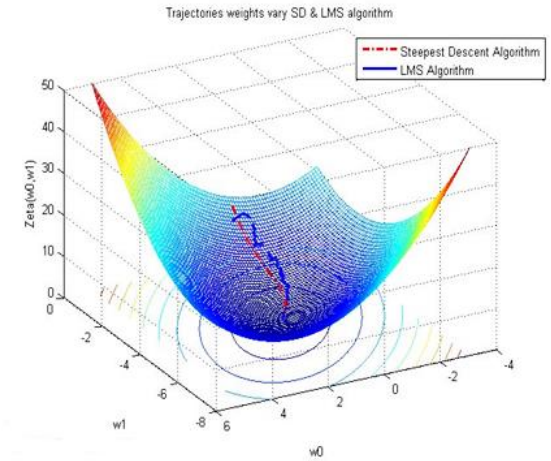
شکل (۱۹) شبیه سازی منحنی های وزن تعدادی از الگوریتم های تطبیقی (mu=۰،۰۱ و alfa=۰،۰۵)



شکل (۲۰) شبیه سازی منحنی های یادگیری تعدادی از الگوریتم های تطبیقی (alfa=۰ و mu=۰،۰۱)



شکل (۲۱) شبیه‌سازی مسیر وزن الگوریتم‌های LMS و SD (α=۰ و μ=۰،۰۱)



شکل (۲۲) شبیه‌سازی مسیر وزن الگوریتم‌های LMS و SD (α=۰،۰۵ و μ=۰،۰۱)

۷- نتایج شبیه‌سازی سیستم حذف فعال نویز در یک مجرا (تک کاناله)

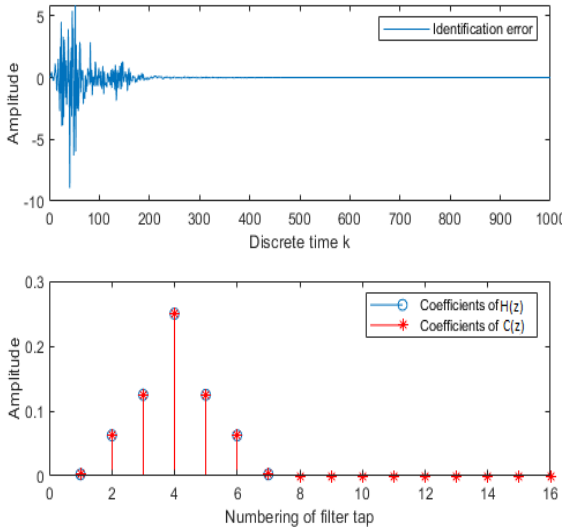
ما در این شبیه سازی مطابق با بلوک دیاگرام شکل (۱۶) از الگوریتم FXLMS و همچنین از فیلتر FIR برای مدل کردن P(z)، W(z)، H(z) و c(z) ا ستفاده می شود. در شبیه سازی، P(z) و H(z) را ندا شته، پس باید تابع تبدیل مسیر اولیه و مسیر ثانویه را مدل‌سازی گردد (شکل ۲۳).

اولین گام، تخمین زدن بلوک W(z) ا ست. بنابراین مدت شبیه سازی را بر روی ۱۰۰۰ نمونه[۱] تنظیم می‌کنیم و نویز سفیدی را به محرک فر ستاده می‌شود و در موقعیت سنسور اندازه‌گیری می‌گردد. سپس الگوریتم LMS را اعمال و فرآیند شنا سایی را آغاز می شود. حال نتایج تخمین زدن بلوک W(z) را بررسی می‌گردد.

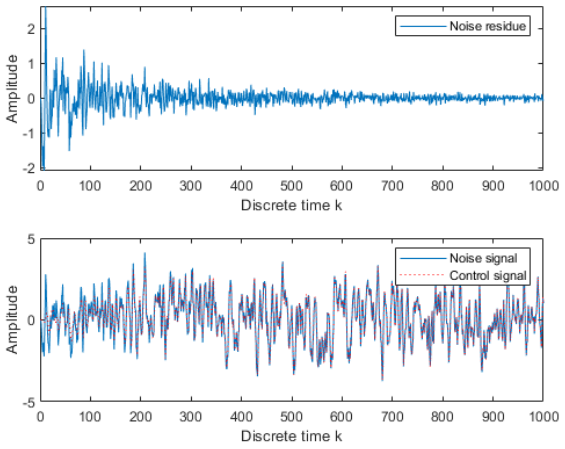
با تخمین H(z)، حال شبیه سازی سی ستم حذف فعال نویز را آغاز می شود. در عمل سی ستم حذف فعال نویز باید یک فرآیند تکرار شونده از اندازه‌گیری، کنترل و تنظیم با شد. نتایج سیستم حذف فعال نویز در ۱۰۰۰ نمونه به صورت شکل ۲۴ است.

با توجه به داده‌ها سیستم حذف فعال نویز تک کاناله توانسته نویز تک تُن را حدود ΔdB کاهش دهد.

[۱] Sample



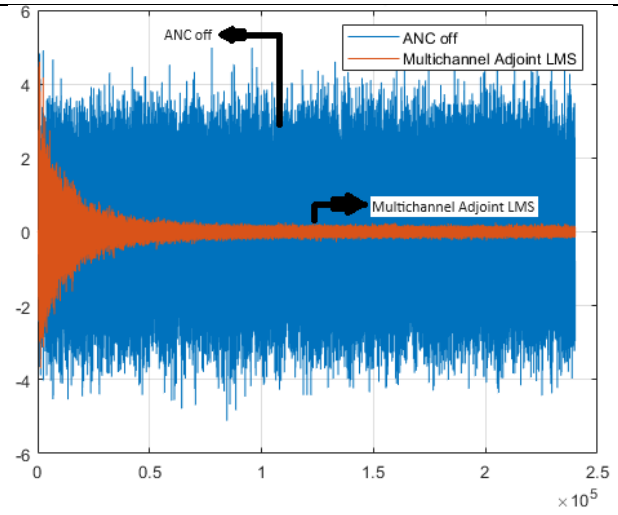
شکل (۲۳) تخمین مسیر ثانویه (H(z))



شکل(۲۴) شبیه‌سازی سیستم حذف نویز فعال(تک کاناله)

۸- نتایج شبیه‌سازی سیستم حذف فعال نویز در کابین خلبان و ناوبر (چند کاناله)

نتایج شبیه سازی سی ستم حذف فعال نویز در کابین خلبان و ناوبر (چندکاناله) با ۴ میکروفن خطا به شرح زیر است:



شکل(۲۵) شبیه‌سازی سیستم حذف نویز فعال(چند کاناله)

با محا سبه نتایج حا صل از شبیه سازی، سی ستم حذف فعال نویز در کابین خلبان و ناوبر (چندکاناله) توانسته نویز تک تُن را حدود $۱۰dB$ کاهش دهد.

۹- نتیجه‌گیری

سی ستم حذف فعال تک کاناله را به‌و سیله الگوریتم FXLMS (طبق شکل ۱۵) در متلب مدل سازی کردیم که لازمه این مدل سازی، شبیه سازی پا سخ صوتی مسیر اولیه و مسیر ثانویه و همچنین در گام بعد، تخمین زدن بلوک H(Z) بود. پس از تکمیل کردن فرآیند شبیه سازی روئیت شد که سی ستم حذف فعال تک کاناله، نویز تک تُن را حدود $۵dB$ کاهش می‌دهد. سپس سی ستم حذف فعال چند کاناله را شبیه سازی کردیم که نتایج آن به‌خوبی نشان داد که سی‌ستم حذف فعال چند کاناله، نویز تک تُن را حدود $۱۰dB$ کاهش داد. لذا نتیجه می‌گیریم که در مکان‌های حساس که نیاز به تمرکز اپراتور وجود دارد مانند کابین خلبان، کابین ناوبر، اتاق جراحی و غیره سیستم حذف فعال چند کاناله می‌تواند کاربردی باشد.

مراجع

[۱] Lam, Bhan, et al. "Active control of broadband sound through the open aperture of a full-sized domestic window." Scientific reports., vol. ۱۰, no ۱, pp. ۱-۷, ۲۰۲۰.

[۲] Li, Tao, et al. "Vehicle engine noise cancellation based on a multi-channel fractional-order active noise control algorithm." Machines ۱۰,۸ (۲۰۲۲): ٦۷۰.

[۳] Akhtar, Muhammad Tahir. "Developing a New Filtered-X Recursive Least Squares Adaptive Algorithm Based on a Robust Objective Function for Impulsive Active Noise Control Systems." Applied Sciences ۱۳,٤ (۲۰۲۳): ۲۷۱٥.

[٤] Sen M.Kuo and Dennis R.Morgan,"Active Noise Control: A Tutorial Revie
"proceeding,of the IEEE, Vol.۸۷, No.٦,June ۱۹۹۹.

[۵] Mori, Francesco, et al. "Experimental tests of a multichannel active noise control system for the cancellation of engine noise applied to the cabin of a tractor." Atti del ۲۸.

[٦] Shen, Xiaoyi, et al. "Adaptive-gain algorithm on the fixed filters applied for active noise control headphone." Mechanical Systems and Signal Processing ١٦٩ (٢٠٢٢): ١٠٨٦٤١.

[۷] Jiang, Yihang, et al. "An Integration Development of Traditional Algorithm and Neural Network for Active Noise Cancellation." ٢٠٢٢ IEEE ٣٢nd International Workshop on Machine Learning for Signal Processing (MLSP). IEEE, ٢٠٢٢.

[۸] Bakri, Khaled Jamal, et al. "On the behavior of a combination of adaptive filters operating with the NLMS algorithm in a nonstationary environment." Signal Processing ١٩٦ (٢٠٢٢): ١٠٨٤٦٥.

[۹] Ranjan, Rakesh, Bikash Chandra Sahana, and Ashish Kumar Bhandari. "Motion artifacts suppression from EEG signals using an adaptive signal denoising method." IEEE Transactions on Instrumentation and Measurement ٧١ (٢٠٢٢): ١-١٠.

[١٠] Gunia, Marco, et al. "Analysis and Design of a MuSiC-Based Angle of Arrival Positioning System." ACM Transactions on Sensor Networks ١٩,٣ (٢٠٢٣): ١-٤١.

[١١] S.M>kuo and C.chen , " Implementation of adaptive filters with the Tms٣٠c٢٥ or The TmS٣٢oc٣٠ , " in digital Signah processing Applications with The TMs٣٢٠ family , vol . ٣,p,pamichalis , Ed.englewood Cliffs , Nj: prentice Hall , ch.٧ , pp.١٩١-٢٧١،١٩٩٠.

[١٢] T.Kailath , " A View of Three decades of linear Filtering Theory , " IEEE Trams Inf. Theory , vol.It-٢٠,pp.١٤٥-١٨١,mar,١٩٧٤.

[١٣] Xie, Bei, and Tamal Bose. Partial update least-square adaptive filtering. Springer Nature, ٢٠٢٢.

[١٤] Morgan,"D.R." Analysis of Multiple Correlation Cancelation Loop With a Filter in the Auxiliary path,"IEEE Trans. on ASSP, Vol. ASSP –٢٨, NO .٤, PP. ٤٥٤-٤٦٧ August, ١٩٨٠.

[١٥] Burgess, J.C.,"Active Adaptive Sound Control in a Duct: A Computer Simulation,"J.Acoust. Soc. Am., Vol. ٧٠, No.٣, p.p.٧١٥-٧٢٦, Sept, ١٩٨١.

[١٦] Eriksson,L.J., "Development of the Filtered U Algorithm for Active Noise control, ".Acoust.Soc.Am.,Vol.٨٩,No.١,PP.٢٥٦-٢٦٥,January,١٩٩١.

[١٧]Douglas E. Melton and R. A. Greiner, "Adaptive feed-forward multiple-input, multiple-output active noise control ",IEEE, ١٩٩٧

[١٨] Gong, Chen, et al. "Statistical analysis of multichannel FxLMS algorithm for narrowband active noise control." Signal Processing ٢٠٠ (٢٠٢٢): ١٠٨٦٤٦.

[١٩] B. Farhang Boroujeny. "Adaptive Filters Theory & Applications", National University of Singapore, John Wiley & Sons, ١٩٩٨.

[٢٠] Mourjopouslos, "On the variation and invertibility of room impulse response functions". J. Sound and Vibration, ١٠٢(٢), p.p. ٢١٧-٢٢٨, ١٩٨٥.

[٢١] William G. Gardner, "٣-D Audio using Loudspeakers", Kluwer Academic Publishers, ١٩٩٨.

[٢٢] Elliott and Nelson, "Multiple-point Equalization in a room using adaptive Digital Filters", J. Audio Engineering Society, ٣٧(١١), p.p. ٨٩٩-٩٠٧, ١٩٨٩.

[٢٣] Nelson, P.A., F. Orduna Bustamante and H. Mamada, "Inverse Filter design and equalization zone in multichannel sound reproduction", IEEE Trans. Speech and Audio Proc., ٣(٣), p.p. ١٨٥-١٩٢, ١٩٩٥.

[٢٤] Nelson, Curtis, Elliott and Bullmore, "The minimum power output of free-field point sources and the active control of sound", journal of sound and vibration, ١١٦, ٣٩٧-٦٨٧, ١٩٨٧.

پژوهش‌های نوین در مهندسی برق و الکترونیک هوایی
شماره ۱، جلد ۱، زمستان ۱۴۰۴
https://www.mreea.ir

Presenting a Novel Method Based on Current-Mode Logic to Improve the Speed and Power Consumption of Logic Gates

Reza Malmir[۱*], Mohammadreza Ghaznavi Ghoushchi[۱]

[۱] Department of Engineering, Shahed University, Tehran, Iran

[*] ghaznavi@shahed.ac.ir

(Recived times: ۲۰۲٤/Sep/۰۸, Accept time: ۲۰۲٤/Nov/۱۹)

Abstract

Current-mode logics have become an attractive option for circuit design due to significant advantages such as low power consumption, stable power consumption over a wide frequency range, immunity to common-mode noise, and higher output swing, particularly in low-voltage wired and wireless applications. This paper presents a novel design called Folded Multiple-Valued Current-Mode Logic (FMVCML) for implementing logic functions with more than two inputs. The circuit is designed by folding fully differential pairs, replacing NMOS and PMOS differential pairs, and employing appropriate current mirrors between blocks. This design enables the gates to operate at a voltage equal to that required by a standard current-mode logic inverter (approximately ۰٫٦V). The paper details the circuit analysis, optimization, and implementation approaches of the design. Post-layout simulation results using a standard ۱۸۰nm CMOS technology show that in the implementation of a multiplier gate, the power consumption is reduced by ۲۲٪, ۱٦٪, and ۲٤٪ compared to conventional Current-Mode Logic (CML), Multiple-Valued Current-Mode Logic (MVCML), and Folded Multiple-Valued Current-Mode Logic (FMVCML), respectively. Furthermore, the Power-Delay Product (PDP) of the proposed logic is reduced by ٥۳٪, ۹٫۸٪, and ۲۳٪ compared to CML, MVCML, and FMVCML, respectively. Simulations in newer PTM ٤٥nm and PTM ۲۲nm technologies confirm the performance improvement of the proposed method.

Keyword:

Modern Research Electrical and Electronic Avionic
Vol.۱, No.۱, Winter ۲۰۲٤
https://www.mreea.ir

ارائه روشی نوین مبتنی بر منطق مد جریان به منظور بهبود سرعت و توان مصرفی دروازه‌های منطقی

رضا مالمیر[۱]، محمدباقر غزنوی قوشچی[۱]

[۱]دانشکده فنی و مهندسی، دانشگاه شاهد، تهران، ایران

* ghaznavi@shahed.ac.ir

(تاریخ ارسال مقاله: ۱۴۰۳/۰۶/۱۸ تاریخ پذیرش مقاله: ۱۴۰۳/۰۸/۲۹)

واژگان کلیدی

منطق مد جریان
منطق مد جریان چند دنباله
آینه جریان
طراحی کم مصرف ولتاژ پایین

چکیده

منطق‌های مد جریان به دلیل مزایای چشمگیری همچون مصرف توان پایین، ثبات مصرف توان در طیف وسیعی از فرکانس‌ها، ایمنی در برابر نویز مشترک و نوسان خروجی بیشتر، به‌ویژه در کاربردهای ولتاژ پایین بی سیم و با سیم، به یکی از گزینه‌های جذاب در طراحی مدارها تبدیل شده‌اند. در این مقاله، یک طراحی نوین به نام منطق مد جریان چندگانه تاشوی درهم برای اجرای توابع منطقی با بیش از دو ورودی ارائه می شود. این مدار با استفاده از تا زدن جفت‌های کاملاً تفاضلی و جایگزینی جفت‌های دیفرانسیل NMOS و PMOS و همچنین بهره‌گیری از آینه‌های جریان مناسب بین بلوک‌ها طراحی شده است. این طراحی باعث می شود که دروازه‌ها با ولتاژی برابر با ولتاژ مورد نیاز یک معکوس‌کننده معمولی در منطق مد جریان (حدود ۰.۶ ولت) عمل کنند. در این مقاله، جزئیات تحلیل مدار، بهینه سازی، و رویکردهای پیاده سازی طراحی برر سی شده است. نتایج شبیه سازی‌های پس از چیدمان با استفاده از فناوری استاندارد سی‌ماس با ابعاد ۱۸۰ نانومتر نشان می‌دهد که در پیاده‌سازی دروازه ضرب‌کننده[۱]، توان مصرفی در مقایسه با منطق مد جریان معمولی، منطق مد جریان چند دنباله و منطق مد جریان چند دنباله تاشوی به ترتیب ۲۲٪، ۱۶٪ و ۲۴ ٪ کاهش یافته است. علاوه بر این، مولفه حاصلضرب تأخیر در توان[۲] در منطق پیشنهادی نسبت به منطق‌های مد جریان، منطق مد جریان چند دنباله و منطق مد جریان چند دنباله تاشوی به ترتیب ۵۳٪، ۹.۸٪ و ۲۳٪ کاهش یافته است. شبیه سازی در تکنولوژی‌های جدید PTM ٤٥nm و PTM ۲۲nm بهبود عملکرد روش پیشنهادی را تایید می‌کنند.

۱. AND gate

۲. Power Delay Product

۱– مقدمه

منطق‌های مد جریان به دلیل م صرف توان پایین، سرعت بالا و ثبات عملکرد در ولتاژهای پایین، به‌ویژه در کاربردهای بی سیم و با سیم، ب سیار جذاب ه ستند. با گ سترش روزافزون برنامه‌های مبتنی بر پردازش سیگنال دیجیتال، نیاز به مدارهای مجتمع(IC) با سرعت بالا و دقت بیشتر به شدت اح ساس می شود. از جمله کاربردهای مهم این IC ها می‌توان به پردازش سیگنال‌های ت صویری و صوتی، مبدل‌های دیجیتال به آنالوگ (DAC) و مبدل‌های آنالوگ به دیجیتال (ADC) اشاره کرد.

در این IC ها، مدارهای آنالوگ و دیجیتال معمولاً به صورت مشترک در یک سی ستم پیاده سازی می شوند. یکی از چالش‌های ا صلی در این سی ستم‌ها، تأثیر نویز مدارهای دیجیتال بر عملکرد مدارهای آنالوگ ا ست. نویز نا شی از سوئیچینگ در بلوک‌های دیجیتال می‌تواند از طریق زیرلایه و خطوط تغذیه به مدارهای آنالوگ منتقل شود، که این مو ضوع می‌تولند دقت و کارایی مدارهای آنالوگ را کاهش دهد. به‌ویژه در مدارهای با وضوح بالا، نویز تولیدی تو سط منطق سنتی سی‌ماس می‌تواند م شکل ساز با شد و به همین دلیل، ا ستفاده از سبک‌های منطقی جایگزین با کاهش نویز سوئیچینگ ضروری است.

یکی از موفق‌ترین سبک‌های منطقی برای حل این م شکل، منطق مد جریان است. این نوع منطق عملکردی مشابه دیجیتال دارد اما با ویژگی‌هایی که م صرف توان ثابت را در فرکانس‌های مختلف و نویز سوئیچینگ کم به همراه دارد [۱].

با کاهش ولتاژ تغذیه، توان م صرفی کاهش یافته و نو سانات خروجی کمتر می شود [۲]. به دلیل کاهش نویز منبع تغذیه در منطق مد جریان، این نوع مدار ها محبوبیت زیادی پیدا کرده‌اند [۳] و به ویژه در کاربردهای دقیق سیگنال مختلط و سی ستم‌های پر سرعت مورد ا ستفاده قرار می‌گیرند. در مدارهای سیگنال مختلط، منطق مد جریان به طور موثری نویز سوئیچینگ و نویز دیجیتال القاشده به مدارهای آنالوگ را کاهش می‌دهد [۴].

با پی شرفت تکنولوژی و افزایش کاربرد د ستگاه‌های قابل حمل و و سایل الکترونیکی ثلبت، نیاز به مدارها و سی ستم‌های با ورودی‌های بالا افزایش یافته است. در دستگاه‌های قابل حمل، ثابت شده است که کاهش ولتاژ تغذیه به طور چ شمگیری م صرف توان را کاهش می‌دهد. کاهش ولتاژ تغذیه علاوه بر کاهش اتلاف توان، نو سان منطقی خروجی را نیز کاهش می‌دهد. از آنجا که ولتاژ تغذیه با م صرف توان و سرعت سی ستم ارتباط م ستقیمی دارد، سیستم‌های الکترونیکی پیشرفته وابسته به بهینه‌سازی ولتاژ تغذیه هستند.

این چالش‌ها و نیازها منجر به تقا ضای بی شتر برای طراحی‌های با ولتاژ پایین و کارایی بالا در سی ستم‌های الکترونیکی مدرن شده ا ست. منطق مد جریان، با توجه به ویژگی‌های منح صر به فرد خود، همچنان به عنوان یک گزینه جذاب برای طراحی مدارهای پر سرعت و با دقت بالا مورد توجه طراحان قرار دارد[۸-۵].

مقاله به شرح زیر سازماندهی شده است. در بخش دوم ادبیات تحقیق بیان و مدل پی شهادی در بخش سوم معرفی و برر سی شده ا ست. تحلیل و نتایج شبیه‌سازی و مقایسه با کارهای پیشین در بخش چهارم گنجانده شده است. در بخش آخر نتیجه‌گیری بیان شده است.

۲– ادبیات تحقیق

توان مصرفی منطق مد جریان در رابطه (۱) نمایش داده شده است.

$$POWER = V_{DD} * I_{SS} \quad (۱)$$

با توجه به رابطه (۱) توان م صرفی در منطق مد جریان م ستقل از فرکانس می‌باشد. مقایسه چهار ساختار منطق مد جریان، منطق سی‌ماس، منطق مد جریان چند دنباله و منطق پیشنهادی به ازای فرکانس‌های مختلف در شکل ۱(الف) نشان داده شده است.

۳– منطق‌های مد جریان متداول

۳-۱- منطق مد جریان معمولی[۱]

منطق مد جریان، از یک شبکه NMOS متصل به ترانزیستورهای PMOS که در ناحیه مقاومتی بایاس شده‌اند، برای پیاده‌سازی دروازه‌های منطقی بهره می‌برد. در این نوع منطق، مسیر جریان منبع جریان، بسته به ورودی‌ها، به گونه‌ای هدایت می‌شود که جریان از یکی از بارهای PMOS عبور کند و به این ترتیب، منطق مورد نظر پیاده‌سازی می‌شود.

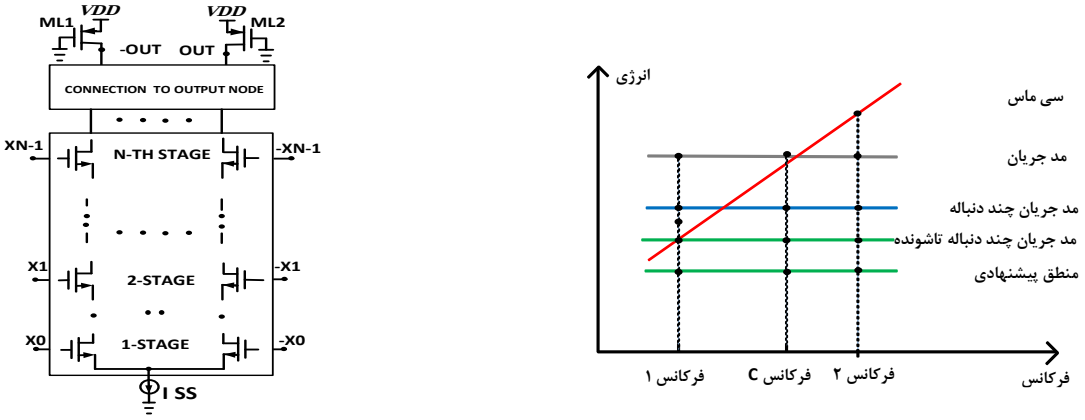
ساختار کلی منطق مد جریان در شکل ۱(ب) نمایش داده شده است. در ساختار منطق مد جریان، به ازای هر ورودی یک طبقه به طبقات پشته افزوده می‌گردد.

علاوه بر این، در پیاده‌سازی مدارهای پیچیده، زمانی که تعداد ورودی‌ها افزایش می‌یابد، طبقات پایین‌تر که به زمین نزدیک‌تر هستند ممکن است وارد ناحیه مقاومتی[۲] شوند. برای جلوگیری از این مشکل، استفاده از تغییر دهنده‌های سطح[۳] ضروری است.

با توجه به محدود بودن ولتاژ منبع تغذیه، در این منطق نمی‌توان دروازه‌هایی[۴] با تعداد ورودی بالا[۵] طراحی نمود. همچنین با انقباض تکنولوژی و کاهش ولتاژ منبع تغذیه به حدود زیر یک ولت این محدودیت در منطق مد جریان افزایش یافته است.

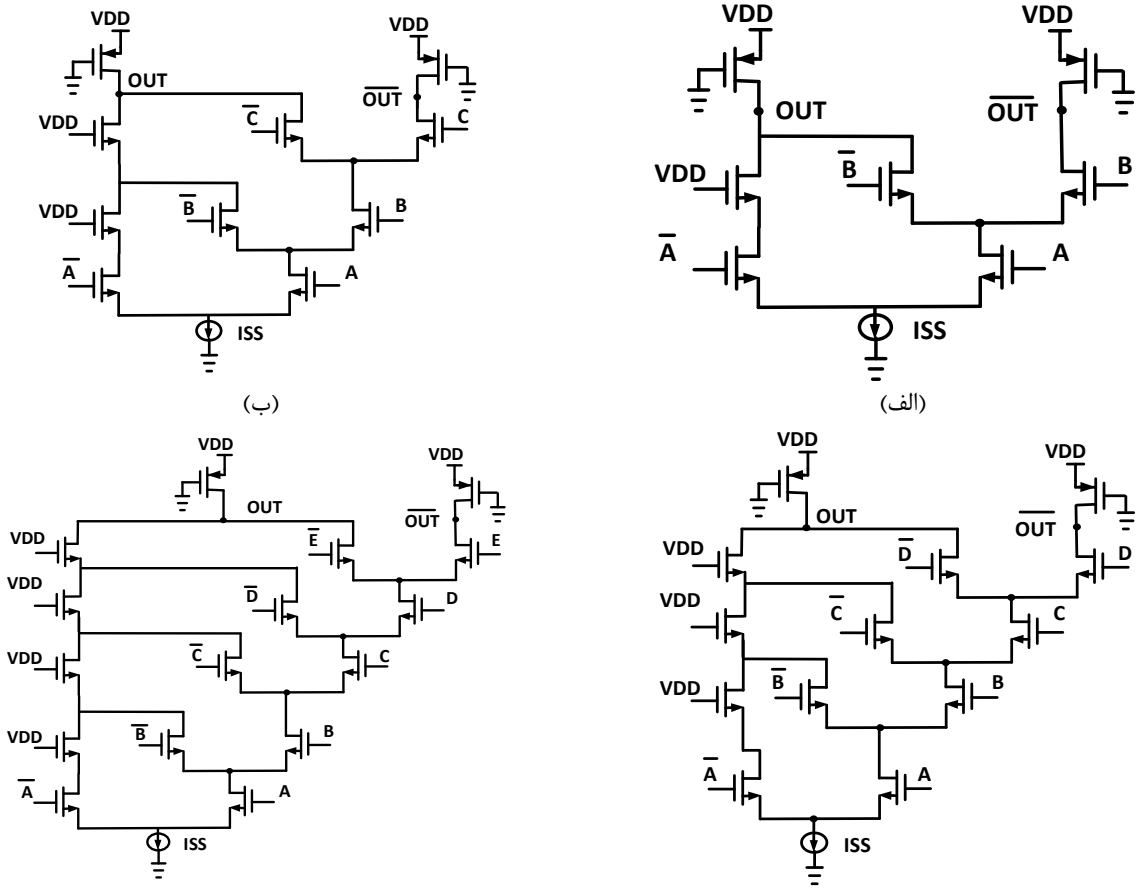
در منطق مد جریان به ازای N ورودی به N+۲ طبقه نیاز است. به عنوان مثال دروازه منطقی AND(NAND) دو، سه، چهار و پنج ورودی به ترتیب به ترتیب به چهار، پنج، شش و هفت طبقه پشته نیاز دارد. دروازه AND برای ورودی‌های گفته شده در شکل ۲ نمایش داده‌شده‌است. این بدان معناست که طراحی دروازه‌ها و زیر سیستم‌های پیچیده کم‌ولتاژ[۶] در این منطق به طور ذاتی ممنوع می‌گردد [۹]. افزایش ولتاژ منبع تغذیه با افزایش تعداد ورودی‌ها بزرگترین نقطه ضعف منطق مد جریان و مانع اصلی در استفاده از این منطق در مدارهای امروزی می‌باشد. با توجه به ویژگی‌های منطق مد جریان، در سالهای اخیر تلاشهای زیادی برای کاهش تعداد طبقات پشته و در نتیجه

۱. Conventional SCL FFMA
۲. riode
۳. Level shifter
۴. Gate
۵. Fan-in
۶. Low VDD



(ب) (الف)

شکل ۱. الف) مشخصه توان مصرفی منطق مد جریان، منطق سی ماس، منطق مد جریان چند دنباله و منطق مدجریان چند دنباله تاشونده در فرکانسهای مختلف. ب) ساختار کلی منطق مد جریان با N ورودی.



(ب) (الف)

(د) (ج)

شکل ۲: مدار دروازه AND الف) با دو ورودی ی) با سه ورودی ج) با چهار ورودی د) با پنج ورودی

ساخت دروازه‌های منطقی با تعداد ورودی‌های بالا بر بستر ساختار منطق مد جریان صورت گرفته ا ست. منطق مد جریان در مدار مالتی‌پلک سر[۱] با سه ورودی با موفقیت در [۱۰] پیاده سازی گردیدها ست. در ادامه به روش‌هایی می‌پردازیم که منجر به کاهش توان مصرفی در منطق مد جریان شده است.

۱. MUX

۲-۳- ساختار سه دنباله[۲]

با توجه به نیاز پیچیدگی و افزایش ورودی‌ها در مدارهای دیجیتالی، روش‌های جدیدی برای کاهش ولتاژ تغذیه مورد نیاز و همچنین افزایش سرعت مدار پیشنهاد شده‌اند. یکی از این روش‌ها تکنیک دنباله سه گانه است که به عنوان یک راه‌حل برای کاهش مصرف توان از طریق کاهش یک طبقه از طبقات پشته در مدارهای دیجیتالی در [۱۱] معرفی شده است. این تکنیک روی D-latch و مالتی‌پلکسر در [۱۲] اعمال شد.

.مزیت اصلی این روش کاهش نیاز به ولتاژ تغذیه است

با توجه به اینکه ساختار دنباله سه‌گانه یک طبقه از طبقات پشته را با استفاده از جریان دنباله سوم کاهش می‌دهد، این روش می‌تواند منجر به طراحی مدارهای دیجیتالی با عملکرد بهتر شود. با این حال، وجود حساسیت در انتخاب اندازه دقیق ترانزیستورها و افزایش چند برابر ابعاد ترانزیستور میانی، محدودیت‌هایی در کاربرد این روش ایجاد می‌کند.

از نکات مهمی که باید در نظر گرفته شود، افزایش ظرفیت خازنی ناشی از بزرگ‌تر شدن ابعاد ترانزیستورهای میانی است. این افزایش منجر به افزایش خازن‌های ذاتی ترانزیستور (پارازیتیک) می‌شود که در نهایت سرعت مدار را کاهش می‌دهد.

با توجه به این محدودیت‌ها، استفاده از منطق سه دنباله محدود به طراحی دروازه‌های با تعداد ورودی کم می‌باشد. همچنین، این منطق در پیاده‌سازی دروازه‌های پیچیده و بزرگ ناتوان است.

۳-۳- ساختار منطق مد جریان چند دنباله

منطق مد جریان چند دنباله یک نوع پیشرفته از منطق مد جریان است که بر اساس ساختار منطق مد جریان معمولی توسعه یافته است. برای پیاده‌سازی این منطق، ابتدا مدار مورد نظر در منطق مد جریان معمولی پیاده‌سازی می‌شود. سپس، زوج‌های تفاضلی در یک سطح که به دنباله یک زوج تفاضلی در سطح بالاتر خود متصل هستند، تا شده و با زوج‌های تفاضلی PMOS جایگزین می‌شوند. در نهایت، منابع جریان مناسب در نقاط تاشده قرار می‌گیرند تا جریان مداری به درستی تنظیم شود. در منطق مد جریان چند دنباله، هر دو بلوک NMOS و PMOS به کار گرفته می‌شوند و این امر امکان پیاده‌سازی دروازه‌های منطقی با ولتاژ تغذیه پایین‌تر نسبت به منطق مد جریان معمولی را فراهم می‌کند. شکل ۳(الف) ساختار این منطق را به تصویر می‌کشد. در شکل ۳(ب) دروازه منطقی AND (NAND) با پنج ورودی که این منطق تنها یک سطح از سطوح پشته را کاهش داده نمایش داده شده است.

در این نوع منطق، با تغییر در ساختار شبکه NMOS، عمق مدار (تعداد طبقات پشته) کاهش می‌یابد. این کاهش باعث می‌شود که برای پیاده‌سازی دروازه‌ها به ولتاژ منبع تغذیه کمتری نیاز باشد. منطق مد جریان چند دنباله در مقایسه با منطق سه دنباله عملکرد بهتری داشته و توانسته است دروازه‌ها را به‌صورت سیستماتیک و گام به گام با ولتاژ تغذیه پایین‌تری پیاده‌سازی کند [۱۳].

با این وجود، یکی از چالش‌های اصلی در این ساختار، وابستگی آن به تازدن زوج‌های تفاضلی با توجه به اتصال به زوج کاملا تفاضلی در یک سطح بالاتر است. با افزایش تعداد ورودی‌ها و پیچیدگی مدار، امکان تازدن سطوح مختلف مدار کاهش می‌یابد و در برخی موارد حتی غیرممکن می‌شود. به همین دلیل، با افزایش تعداد ورودی‌ها و پیچیدگی مدار، ولتاژ تغذیه نیز باید افزایش یابد تا عملکرد صحیح مدار تضمین شود.

۴-۳- منطق مد جریان چند دنباله تاشونده

منطق مد جریان چند دنباله تاشونده به عنوان یک نسخه بهبود یافته از منطق مد جریان توسعه یافته است. این منطق، تمام ویژگی‌های مثبت منطق مد جریان مانند ثابت بودن مصرف توان در فرکانس‌های مختلف و ایمنی در برابر نویز را حفظ کرده و در عین حال مشکل اساسی آن، یعنی افزایش ولتاژ تغذیه با افزایش تعداد ورودی‌ها را مرتفع ساخته است. در این منطق، برخلاف منطق مد جریان که با افزایش تعداد ورودی‌ها، عمق مدار افزایش می‌یافت، تعداد بلوک‌های کنار هم (عرض منطق) افزایش می‌یابد. این تغییر ساختاری باعث می‌شود ولتاژ تغذیه ثابت بماند.

در ساختار منطق مد جریان چند دنباله تاشونده، برای هر ورودی، یک بلوک منطقی با عمق ثابت (سه طبقه) استفاده می‌شود. برای هدایت جریان بین بلوک‌ها، از آینه‌های جریان بهره گرفته می‌شود و با افزایش تعداد ورودی‌ها، تنها تعداد بلوک‌ها افزایش می‌یابد بدون آن‌که نیاز به افزایش ولتاژ تغذیه باشد. این ساختار امکان پیاده‌سازی دروازه‌های منطقی با ولتاژ تغذیه بسیار پایین، معادل با ولتاژ مورد نیاز یک معکوس‌کننده[۳] معمولی در منطق مد جریان (حدود ۰.۶ ولت) را فراهم می‌کند. به این ترتیب، این منطق توابع منطق OR(NOR)را با کمترین ولتاژ تغذیه پیاده‌سازی می‌کند [۱۴]. در شکل ۴(الف) ساختار کلی منطق چند دنباله تاشونده نمایش داده شده است. همان‌طور که مشاهده می‌شود، برای هر ورودی یک بلوک منطقی به همراه یک آینه جریان به طراحی اضافه می‌شود، در حالی که عمق منطق ثابت باقی می‌ماند. این ویژگی یکی از مزیت‌های کلیدی این منطق محسوب می‌شود.

در شکل ۴(ب)، پیاده‌سازی دروازه منطقی AND(NAND) یا در این ساختار نشان داده شده است. در این طراحی، عمق منطق به مراتب کمتر از سایر منطق‌هایی است که تاکنون مورد بررسی قرار گرفته‌اند. مهم‌تر از آن، عمق منطق در این ساختار ثابت است و به تعداد ورودی‌ها و پیچیدگی تابع دروازه منطقی وابسته نیست. این امر، این ساختار را از نظر عمق منطق بسیار کارآمد و در کمترین حالت ممکن قرار می‌دهد.

با این حال، به دلیل استفاده از تعداد بلوک‌های سری متعدد، نیاز به استفاده از آینه‌های جریان بیشتر وجود دارد.

این مسئله منجر به کاهش سرعت عملکرد دروازه‌های منطقی در این طراحی می‌شود. به عبارت دیگر، اگرچه عمق لاجیک در این ساختار حداقل است، اما افزایش تعداد آینه‌های جریان می‌تواند تأثیر منفی بر توان مصرفی و سرعت کل مدار داشته باشد.

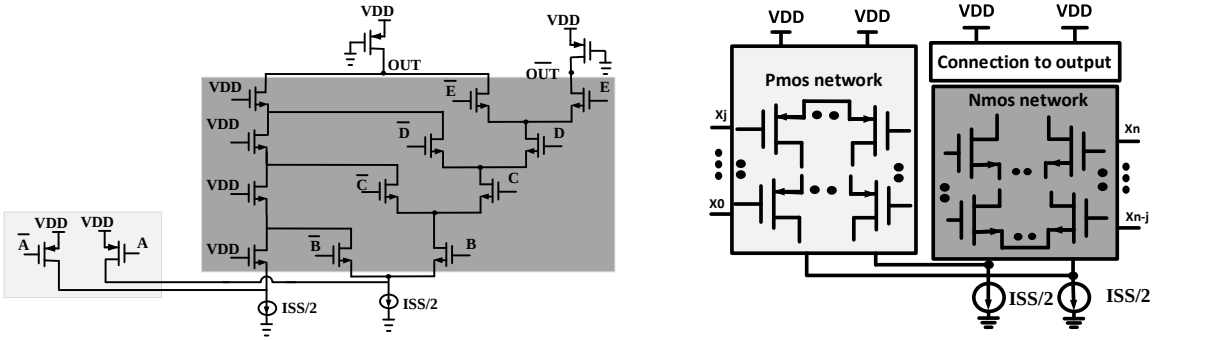
نیاز به پیاده‌سازی دروازه‌های منطقی پیچیده با کمترین ولتاژ تغذیه و بالاترین سرعت ممکن، انگیزه اصلی انجام این تحقیق بوده است. هدف این

۲. Triple tail

[۳] Inverter

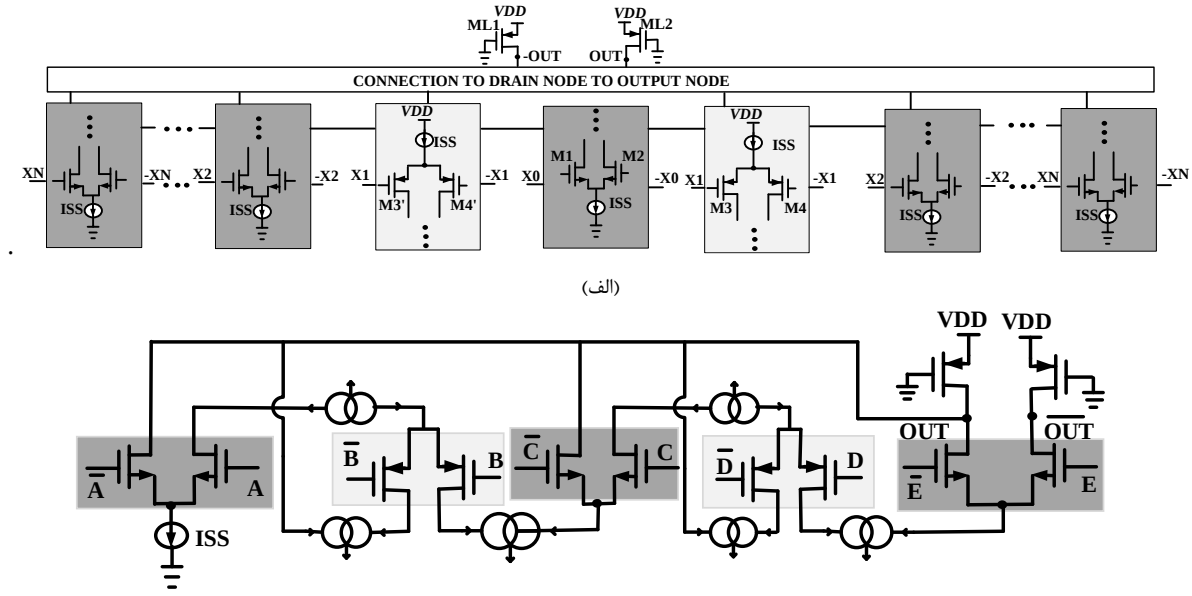
تحقیق ارائه راه‌حلی است که بتواند تمامی توابع منطقی را با کمترین ولتاژ تغذیه پیاده‌سازی کند، بدون آن‌که عملکرد مدار از نظر سرعت به شدت کاهش یابد.

در این مقاله، یک طرح جامع برای پیاده‌سازی توابع منطقی بر اساس منطق مد جریان ارائه شده است که ولتاژ تغذیه‌ای معادل ولتاژ تغذیه یک معکوس‌کننده معمولی (حدود ۰.۶ ولت) نیاز دارد. این رویکرد نه تنها باعث کاهش مصرف توان مدارهای منطقی می‌شود، بلکه باعث افزایش بهره‌وری و کاهش نویز سوئیچینگ نیز می‌گردد. به علاوه، با حفظ ویژگی‌های اصلی



(ب) (الف)

شکل ۳. الف) ساختار کلی منطق مد جریان چند دنباله ب) دروازه منطقی AND (NAND) با ۵ ورودی.



(الف)

(ب)

شکل ۴: الف) ساختار کلی منطق مد جریان چند دنباله تاشونده ب) دروازه منطقی AND(NAND) با ۵ ورودی.

منطق مد جریان، از جمله ثابت ماندن مصرف توان در فرکانس‌های مختلف و مقاومت در برابر نویز، این طرح امکان پیاده‌سازی دروازه‌های پیچیده با سرعت بالا و ولتاژ تغذیه پایین را فراهم می‌کند

۴– منطق پیشنهادی

در منطق مد جریان و ساختارهای مبتنی بر این تکنولوژی مانند سه دنباله، چند دنباله و چند دنباله تاشونده، عملکرد اصلی این منطق‌ها بر مبنای کنترل و هدایت مسیر جریان از طریق شبکه‌های NMOS یا ترکیبی از NMOS و PMOS است. جریان عبوری از این شبکه‌ها و شاخه‌های بار PMOS ، منطق مورد نظر را استخراج می‌کند. به عبارت دیگر، همه این منطق‌ها از مکانیزم مشترکی برای انتخاب و کنترل مسیر جریان بهره می‌برند.

منطق پیشنهادی ساختارمند و بر اساس یک روندنما قابل اجرا برای هر نوع دروازه منطقی می‌باشد. روندنما منطق پیشنهادی در شکل ۵ ارائه شده است.

مراحل پیاده‌سازی به صورت زیر است:

گام نخست: تابع بولی مورد نظر در ابتدا به صورت پایه در منطق مد جریان معمولی پیاده‌سازی می‌شود [۹]. این مرحله به عنوان پایه برای مراحل بعدی به کار می‌رود.

گام دوم: منطق مد جریان چند دنباله برای مدار حاصل از گام اول پیاده‌سازی می‌شود [۱۳]. این مرحله با هدف کاهش تعداد طبقات پشته انجام می‌شود. کاهش طبقات پشته موجب کاهش ولتاژ تغذیه مورد نیاز و افزایش کارایی مدار می‌شود.

گام سوم: در این مرحله، سطح اول از سطوح پشته مدار حاصله از گام دوم نگه داشته شده و بقیه سطوح تابانده و به یک بلوک دوم منتقل می‌شوند. برای برقراری مسیر جریان و ارتباط بین بلوک‌ها، از آینه جریان استفاده می‌شود.

گام چهارم: در این مرحله، در بلوک دوم مجدداً منطق مد جریان چند دنباله پیاده‌سازی می‌شود. در این حالت، تلاش می‌شود تا تعداد طبقات پشته در بلوک دوم کاهش یابد. اگر پس از اجرای این گام، تعداد طبقات در بلوک دوم بیشتر از سه طبقه باشد، به گام سوم برمی‌گردیم و مراحل را تکرار می‌کنیم.

در نهایت، اگر تعداد طبقات در آخرین بلوک به سه طبقه برسد، تابع بولی مورد نظر با کمترین ولتاژ ممکن و کمترین تعداد بلوک‌ها پیاده‌سازی شده است. این روش منجر به کاهش مصرف توان و بهبود کارایی کلی مدارهای دیجیتال و آنالوگ می‌شود.

ساختار کلی منطق پیشنهادی، که در شکل ۶ نمایش داده شده است، در ادامه به منظور بررسی عملکرد منطق پیشنهادی دروازه AND(NAND) پیاده‌سازی شده که در نهایت یک مقایسه بین منطق‌های مطرح شده و منطق پیشنهادی برای ارزیابی انجام گردد.

برای پیاده‌سازی دروازه منطقی AND(NAND) با پنج ورودی در منطق پیشنهادی و بر اساس روندنما ارائه شده، مراحل زیر طی شده است:

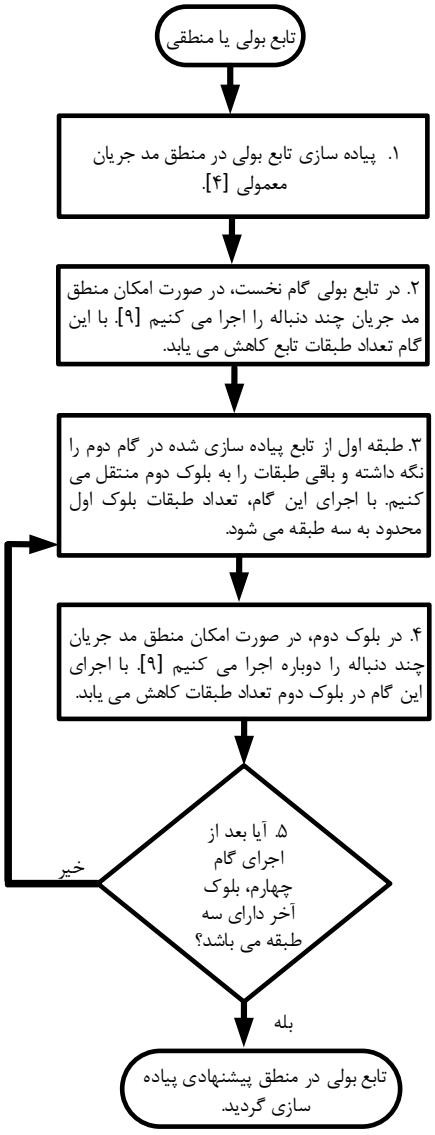
معمولی پیاده‌سازی شده است. این پیاده‌سازی در شکل ۲(د) نمایش داده شده است. این مرحله پایه‌ای برای ادامه مراحل به شمار می‌رود.

گام دوم: در این گام، منطق مد جریان چند دنباله برای دروازه AND(NAND) حاصل از گام اول اجرا می‌شود. هدف این گام کاهش تعداد طبقات پشته است که به کاهش ولتاژ تغذیه منجر می‌شود. نتیجه این پیاده‌سازی در شکل ۳(ب) نمایش داده شده است.

گام اول: تابع منطقی AND(NAND) ابتدا در منطق مد جریان

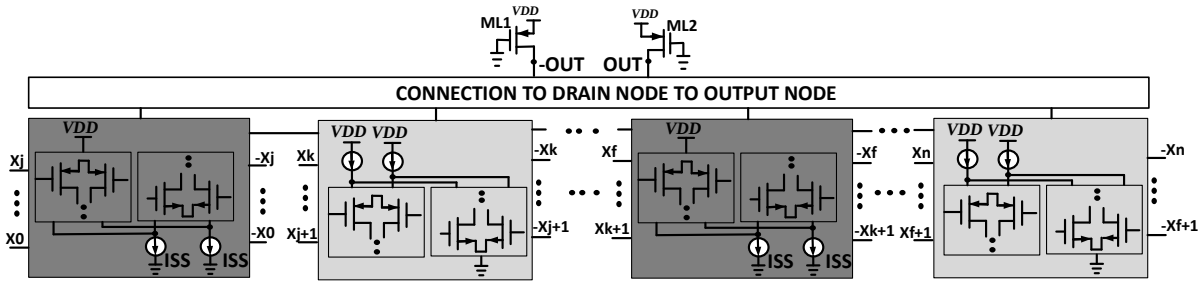
گام سوم: در این مرحله، اولین طبقه از طبقات پشته در بلوک اول نگه داشته می‌شود و سایر طبقات تابیده شده و به بلوک دوم منتقل می‌گردند. برای حفظ مسیر جریان بین بلوک‌ها، از آینه جریان مناسب استفاده می‌شود. این انتقال و تاشدن مدار در شکل ۷(الف) نمایش داده شده است.

گام چهارم: در بلوک دوم، منطق مد جریان چند دنباله دوباره اجرا می‌شود. این گام موجب کاهش یک طبقه از پشته مدار می‌شود و در شکل ۷(ب) نشان داده شده است.



شکل ۵: روندنما منطق پیشنهادی

گام پنجم: بررسی جمله شرطی در روندنما می‌باشد. در این گام با بررسی شرط مشخص می‌گردد که بلوک دوم بیش از سه طبقه دارد. بنابراین باید به گام سوم بازگشته، یک سطح از طبقات را در این بلوک نگه داشته و بقیه طبقات را به بلوک سوم منتقل کنیم. در بلوک سوم نیز منطق مد جریان چند دنباله پیاده‌سازی می‌شود. این گام در شکل ۷(ج) نمایش داده شده است.



شکل ۶: ساختار کلی منطق پیشنهادی

در نهایت، پس از بررسی دوباره شرط، با توجه به اینکه عمق بلوک سوم سه سطح است، شرط تأیید می‌شود و پیاده‌سازی دروازه منطقی AND(NAND) در منطق پیشنهادی به اتمام می‌رسد.

در پیاده‌سازی دروازه AND(NAND) بر اساس منطق پیشنهادی، سطح ولتاژ تغذیه حدود ۰.۶ ولت است، که به دلیل کاهش تعداد طبقات پشته و استفاده از تکنیک‌های تاشوندگی، این ولتاژ به کمترین حد ممکن رسیده است. این در حالی است که در منطق مد جریان معمولی با هفت طبقه پشته، ولتاژ تغذیه حدود ۱.۴ولت و در منطق مد جریان چند دنباله با شش طبقه، ولتاژ تغذیه حدود ۱.۲ ولت می‌باشد. بنابراین، هر دو منطق پیشنهادی و منطق مد جریان چند دنباله تاشونده در مقایسه با سایر روش‌ها ولتاژ تغذیه کمتری دارند.

نکته مهم دیگری که در طراحی این مدارها قابل توجه است، تعداد بلوک‌های منطقی مورد استفاده است. منطق پیشنهادی برای پیاده‌سازی دروازه AND(NAND) از سه بلوک منطقی بهره می‌برد، در حالی که منطق مد جریان چند دنباله تاشونده نیاز به پنج بلوک دارد. استفاده از بلوک‌های بیشتر به معنای استفاده بیشتر از آینه‌های جریان است که در نهایت منجر به افزایش مصرف توان و کاهش سرعت مدار می‌شود.

از طرفی، با توجه به کاهش ابعاد طراحی در فناوری‌های مدرن و محدودیت‌های فضا، استفاده بیشتر از بلوک‌ها و ترانزیستورها به معنی نیاز به مساحت بیشتری برای طراحی یک دروازه است، که یکی از عاملهای مهم در طراحی‌های امروزی به شمار می‌آید.

نتایج شبیه‌سازی‌ها نشان می‌دهد که منطق پیشنهادی از نظر مصرف توان، ولتاژ تغذیه، سرعت مدار و مساحت طراحی نسبت به منطق‌های مد جریان معمولی و چند دنباله تاشونده عملکرد بهتری دارد. این بهبود در عملکرد به ویژه در کاربردهای ولتاژ پایین و سیستم‌های با محدودیت فضا بسیار ارزشمند است.

۴-۱ محاسبه ولتاژ مد مشترک در منطق پیشنهادی

در مدارهای مد جریان، نوسان خروجی یا ولتاژ سوئیچینگ به صورت زیر تعریف می‌شود:

$$V_{SW}=2.R_L.V_{DD} \quad (۲)$$

در منطق پیشنهادی برای دروازه AND(NAND) که شامل سه بلوک است، رفتار بلوک‌ها با توجه به نوع ترانزیستورهای ورودی (PMOS) یا (NMOS) متفاوت است. دو حالت اصلی برای تحلیل ولتاژ مد مشترک وجود دارد:

حالت اول: بلوک‌های با ورودیPMOS

در این حالت، جریان عبوری از شاخه‌های سمت راست و چپ $ISS/2$ است. بنابراین ولتاژ مد مشترک (VCM) برای بلوک‌های با ورودی PMOS به شکل زیر محاسبه می‌شود:

$$V_{CM} = (R_L.I_{SS})/4=V_{SW}/8 \quad (۳)$$

حالت دوم: بلوک‌های با ورودیNMOS

برای بلوک‌های با ورودی NMOS ، جریان عبوری از شاخه‌ها همچنان برابر با $ISS/2$ است، اما ولتاژ مد مشترک به صورت زیر تغییر می‌کند:

$$V_{CM} = V_{DD}- (R_L.I_{SS}) /4 =V_{DD} - (V_{SW}) /8 \quad (۴)$$

برای اجرای صحیح منطق در هر دو بلوک با ورودی‌های NMOS و PMOS، ولتاژ مد مشترک نهایی بر اساس رابطه‌ی (۵) تنظیم می‌شود. این رویکرد امکان پیاده‌سازی دقیق در بلوک‌هایی با ورودی NMOS و PMOS را فراهم می‌کند و به پایداری ولتاژ مد مشترک کمک می‌کند.

۴-۲ محاسبه ولتاژ تغذیه

برای بدست آوردن ولتاژ منبع تغذیه در ساختار مدار پیشنهادی، دو حالت مجزا باید در نظر گرفته شود. یکی برای بلوک‌هایی با ورودی‌های NMOS و دیگری برای بلوک‌هایی با ورودی‌های PMOS. در هر حالت، ولتاژ منبع تغذیه (V_{DD}) به پارامترهای ولتاژ سوئیچینگ، ولتاژ آستانه(V_{TH}) ، و ولتاژ اوردرایو (V_{OV}) بستگی دارد.

حالت اول: بلوک‌های با ورودی NMOS

در این بلوک ولتاژ منبع از طریق روابط زیر بدست می‌آید.

$$V_{DS.N} \geq V_{DS.SAT} \quad (۵)$$

$$V_{DS.ISS} = V_{CM.N} - V_{GS.N} \geq V_{DS.ISS.SAT} \quad (۶)$$

$$V_{DD} \geq \frac{V_{SW}}{8} + V_{GS} + V_{DS.SAT} \quad (۷)$$

$$V_{DD} > \frac{V_{SW}}{8} + 2V_{OV} + V_{TH} \quad (۸)$$

حالت دوم: بلوک‌های با ورودی PMOS

در این حالت نیز باید ولتاژ منبع تغذیه از طریق روابط مشابه، اما برای ترانزیستورهای PMOS محاسبه شود. ولتاژ درین-سورس برای PMOS و جریان‌های مرتبط به گونه‌ای تنظیم می‌شود که ترانزیستورهای PMOS در ناحیه فعال باقی بمانند.

در این بلوک ولتاژ منبع از طریق روابط زیر بدست می‌آید.

$$|V_{DS1M}| \geq |V_{DS1M.SAT}| \quad (۹)$$

$$V_{DS.1M} = V_{DD} - (V_{CM.P}) > V_{DS1M.SAT} \quad (۱۰)$$

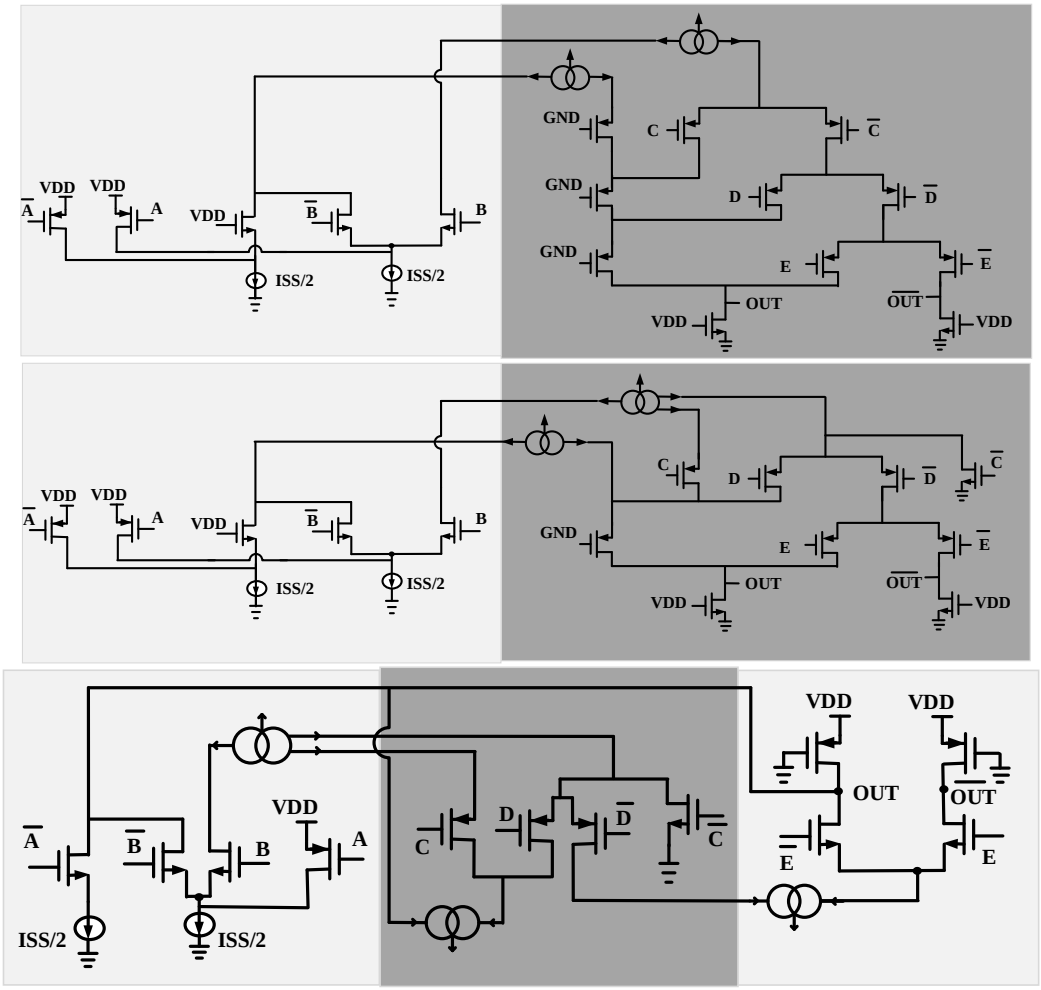
$$V_{DSM} = V_{DD} - (\frac{V_{SW}}{8} + V_{GS}) > V_{DSM.SAT} \quad (۱۱)$$

$$V_{DD} > \left(\frac{V_{SW}}{8} + V_{GS}\right) + V_{DSM.SAT} \quad (۱۲)$$

$$V_{DD} > \left(\frac{V_{SW}}{8} + 2V_{OV} + V_{TH}\right) \quad (۱۳)$$

با توجه به روابط (۸) و (۱۵)کمترین ولتاژ مورد نیاز منبع تغذیه برابر رابطه (۱۴) می‌باشد.

$$\frac{V_{SW}}{8} + 2V_{OV} + V_{TH} \quad (۱۴)$$



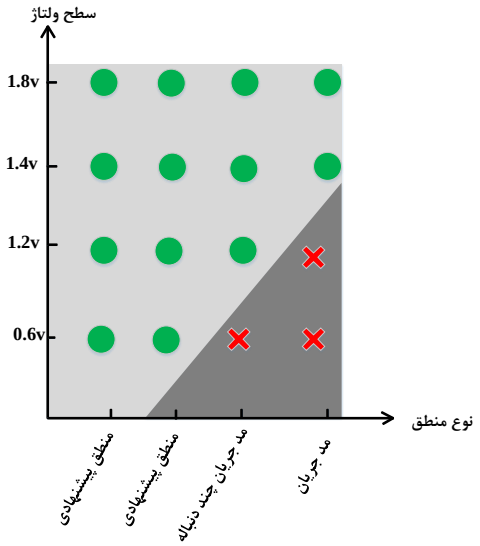
شکل ۷. پیاده سازی دروازه منطقی AND(NAND) در منطق پیشنهادی الف) گام سوم ب) گام چهارم ج) گام آخر.

۴-۳ توان مصرفی

برای محاسبه توان مصرفی دروازه در منطق پیشنهادی، از رابطه‌ی (۱۵) یعنی ضرب ولتاژ منبع تغذیه در مجموع جریان‌هایی که از منبع تغذیه به سمت زمین جاری هستند، استفاده می‌شود. این جریان‌ها از هر بلوک در مدار عبور می‌کنند. بنابراین، با توجه به اینکه هر بلوک یک مسیر جریان از منبع تغذیه به سمت زمین دارد، تعداد مسیرهای جریانی برابر با تعداد بلوک‌ها خواهد بود. این فرمول نشان می‌دهد که هرچه تعداد بلوک‌ها بیشتر باشد یا جریان هر بلوک بیشتر باشد، توان مصرفی نیز افزایش می‌یابد.

$$P_T = \sum V_{DD} \times I_{SS} \qquad (۱۵)$$

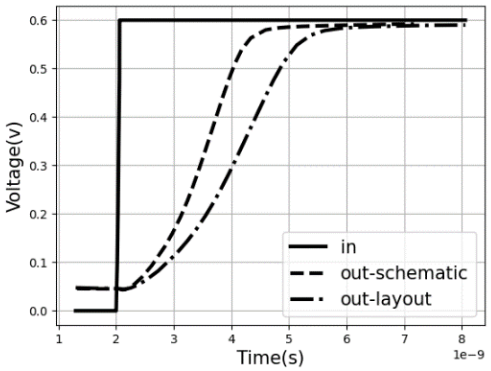
محدوده عملیاتی برای اجرای دروازه AND(NAND) به ازای ولتاژهای مختلف در منطق‌های مد جریان، مد جریان چند دنباله، منطق مد جریان چند دنباله تاشونده و منطق پیشنهادی در شکل ۸ نمایش داده شده است.



شکل ۸: مقایسه منطق‌های مد جریان، مد جریان چند دنباله، منطق مد جریان چند دنباله تاشونده و منطق پیشنهادی در اجرای دروازه AND(NAND).

۵- شبیه‌سازی منطق پیشنهادی و مقایسه با منطق‌های مختلف

با توجه به بررسی‌های انجام شده و نتایج شکل ۸ تنها منطق پیشنهادی و منطق مد جریان چند دنباله تاشونده توانایی پیاده سازی دروازه AND(NAND) با سه، چهار و پنج ورودی در کمترین مقدار ولتاژ را دارند. در نتیجه، نتایج شبیه‌سازی پیاده‌سازی این دروازه در دو منطق گفته شده در
جدول ۱ نمایش داده شده است. با توجه به شبیه سازی‌های انجام شده در تمامی موارد، منطق پیشنهادی نسبت به منطق مد جریان چند دنباله تاشونده دارای پرتری یا از نظر سرعت و یا از نظر توان مصرفی دارد.



شکل ۹. الف شبیه سازی نمادین و جانمایی دروازه AND(NAND) در منطق پیشنهادی.

نتایج شبیه سازی نمادین[1] و بعد از جانمایی[2] دروازه AND(NAND) در منطق پیشنهادی در شکل ۹ نمایش داده شده است.

با توجه به این مهم که حداقل ولتاژ تغذیه برای دروازه‌های منطقی در منطق مد جریان بستگی به تعداد ورودی‌های منطقی مدار دارد [۱۵]. با توجه به اینکه از روش منطق مد جریان چند دنباله در منطق پیشنهادی استفاده می‌گردد، نتایج شبیه‌سازی بین منطق پیشنهادی و منطق مد جریان چند دنباله در شکل ۱۰(الف) نمایش داده شده‌است. منطق مد جریان چند دنبلله در بهترین حللت به ولتاژ ۱.۲ ولت برای عملکرد صحیح دروازه منطقی نیاز دارد در حالیکه منطق پیشنهادی با ۰.۶ ولت به درستی عمل می‌کند. به منظور بررسی دقیق‌تر عملکرد منطق پیشنهادی نسبت به سایر منطق‌های بحث شده، نتایج شبیه سازی دروازه AND(NAND) با پنج ورودی در نمایش داده شده‌است. همانطور که انتظار می‌رود منطق پیشنهادی عملکرد بهتری نسبت به سایر منطق‌های ارائه شده دارد.

در این بررسی، دروازه منطقی AND(NAND) در چهار ساختار مختلف :منطق مد جریان معمولی، منطق مد جریان چند دنباله، منطق مد جریان چند دنباله تاشونده، و منطق پیشنهادی پیاده‌سازی شده است. هر چهار ساختار تحت شرایط ورودی و ولتاژ یکسان مورد ارزیابی قرار گرفته‌اند.

در بررسی توان مصرفی منطق پیشنهادی نسبت به منطق مد جریان معمولی، منطق مد جریان چند دنباله و منطق مد جریان چند دنباله تاشونده توان مصرفی را ۲۲ ، ۱۶ و ۲۴درصد کاهش داده است.

برای بررسی دقیق‌تر عملکرد این منطق ها، عامل توان در تأخیر[3] (PDP) مورد ارزیابی قرار گرفته است. این عامل نشان‌دهنده ترکیبی از توان مصرفی و تأخیر مدار است که یکی از مهم‌ترین معیارها در طراحی مدارهای دیجیتال با کارایی بالا می‌باشد. کاهش در این عامل به معنای بهبود هم‌زمان در بهره‌وری انرژی و سرعت مدار است.

نتایج این ارزیابی نشان می‌دهد که عامل توان در تأخیر، منطق پیشنهادی نسبت به منطق مد جریان، منطق مد جریان چند دنباله و منطق چند دنباله تاشونده به ترتیب ۵۳ درصد و ۹.۸ درصد و ۲۳درصد کاهش یافته است. این موضوع نشان‌دهنده کارایی بالاتر منطق پیشنهادی در شرایط مختلف می‌باشد، به ویژه برای کاربردهایی که بهینه‌سازی توان و سرعت هم‌زمان اهمیت دارد.

۵-۱ تحقق منطق پیشنهادی در نمونه‌های دیگر

دروازه‌های منطقی، زنجیر تولید کننده رقم نقلی ۸ بیتی [4] در شکل ۱۱(الف) نمایش داده‌شده است. بلوک پایه زنجیره تولید رقم نقلی ۸ بیتی در منطق پیشنهادی و منطق مد جریان پیاده‌سازی و مقایسه شده‌است. برای پیاده‌سازی منطق پیشنهادی طبق روندنمای ارائه شده در شکل ۵ اقدام شده‌است. بلوک پایه از دروازه تولید کننده رقم نقلی هشت بیتی در منطق مد جریان و منطق پیشنهادی در شکل ۱۱(ب) و (ج) نمایش داده شده است. دروازه تولید کننده رقم نقلی یک بیتی که همان بلوک پایه از دروازه تولید کننده رقم نقلی هشت بیتی می‌باشد، در منطق مد جریان دارای پنج طبقه و حداقل ولتاژ یک ولت برای منبع تغذیه می‌باشد.

در اجرای دروازه تولید کننده رقم نقلی یک بیتی در منطق پیشنهادی با توجه به اینکه در این منطق برای اجرای هر دروازه‌ای تعداد طبقات در بلوک‌ها تابت (برابر با سه طبقه) می‌باشد، در نتیجه ولتاژ منبع تغذیه برابر ۰.۶ ولت می‌باشد.

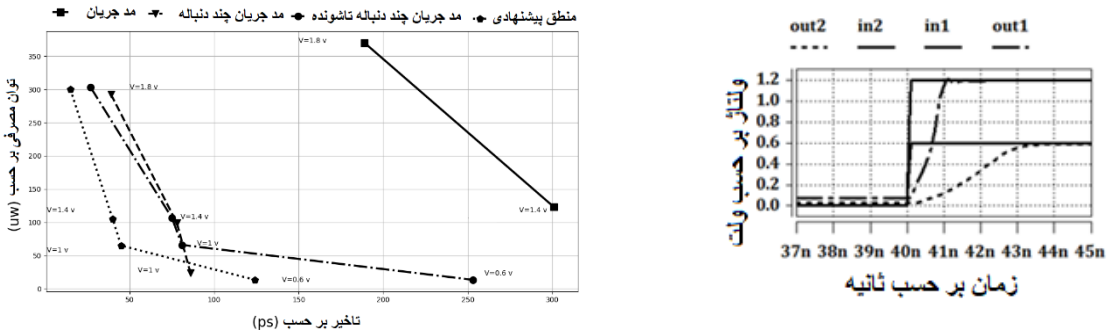
برای ساخت دروازه تولید کننده رقم نقلی هشت بیتی، نیاز به هشت دروازه‌های تولید کننده رقم نقلی یک بیتی و چیدمان متوالی آنها می باشد. در جدول ۲ تأخیر و توان مصرفی متوسط دروازه تولید کننده رقم نقلی هشت بیتی در دو منطق مقایسه شده است.

---

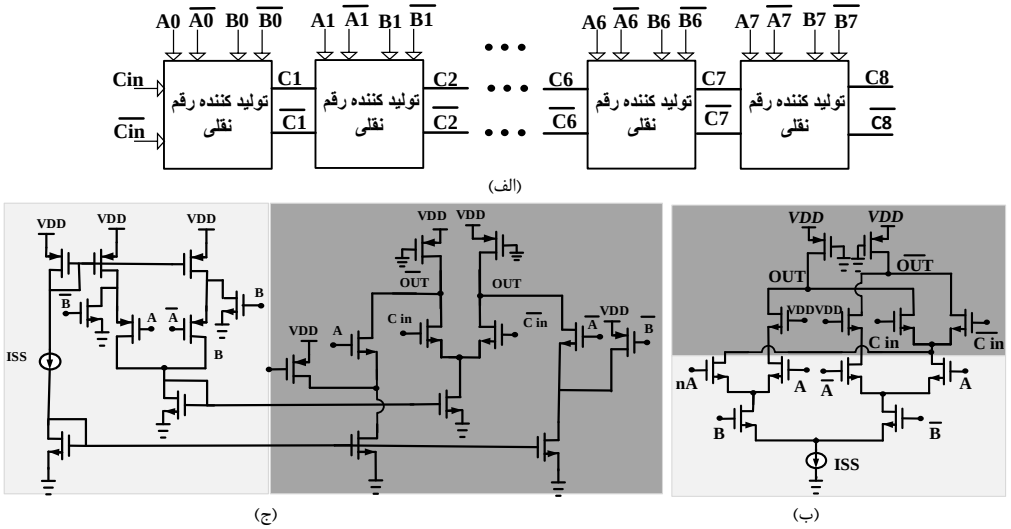
۱. Symbolic
۲. Layout
۳. Power-Delay Product
۴. ۸-bit Carry generator chain

جدول ۱: مقایسه منطق پیشنهادی با منطق مد جریان چند دنباله تاشونده در پیاده‌سازی دروازه AND(NAND).

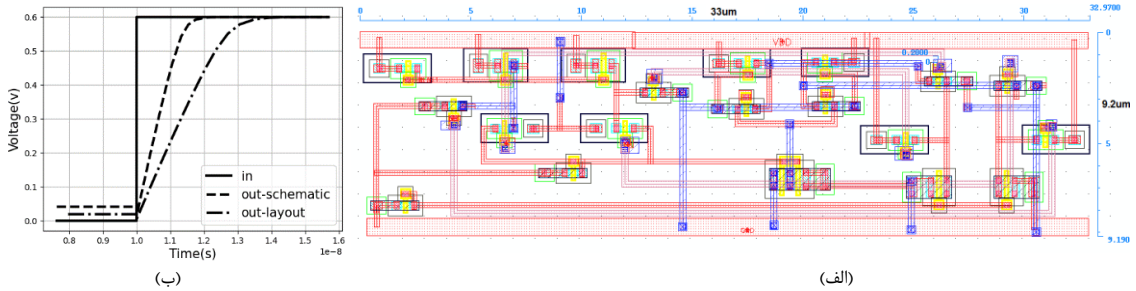
دروازه منطقی AND(NAND)		۱۸۰ نانومتری		۴۵ نانومتری		۲۲ نانومتری	
		مد جریان چند دنباله تاشونده	منطق پیشنهادی	مد جریان چند دنباله تاشونده	منطق پیشنهادی	مد جریان چند دنباله تاشونده	منطق پیشنهادی
دروازه با سه ورودی	توان مصرفی (uW)	۱.۹۶	۱.۸۸	۱.۱	۰.۵۸۰	۱.۵۵	۰.۲۵۳
	تاخیر (ps)	۹۰۵.۴	۸۳۸.۱	۲۹۸.۵	۴۲۸.۴	۱۱۸۰	۷۸۸
	تاخیر * توان (fJ)	۱.۷۸	۱.۵۸	۰.۳۳	۰.۲۵	۱.۸۳	۰.۲
دروازه با چهار ورودی	توان مصرفی (uW)	۲.۱۸	۰.۹۰۲	۰.۸۴	۰.۷۹	۰.۸۴	۰.۲۱
	تاخیر (ps)	۱۸۰۲	۱۳۲۵	۲۹۳۳	۳۱۶.۷	۱۴۸۸	۶۷۷
	تاخیر * توان (fJ)	۳.۹۳	۱.۲۰	۲.۴۵	۰.۲۵	۱.۲۵	۰.۱۴
دروازه با پنج ورودی	توان مصرفی (uW)	۱.۸۷	۰.۴۴۷	۰.۷۸	۰.۹۷	۰.۷۹	۰.۲۶
	تاخیر (ps)	۶۵۳.۹	۶۳۰.۳	۱۹۸۱	۲۲۸.۵	۷۱۸	۸۴۵
	تاخیر * توان (fJ)	۱.۲۲	۰.۲۸۲	۱.۵۴	۰.۲۲	۰.۵۷	۰.۲۲



شکل ۱۰ الف) نتایج شبیه سازی دروازه AND(NAND) در منطق مد جریان چند دنباله و در منطق پیشنهادی ب) مقایسه منطق پیشنهادی با سایر منطق‌های مد جریان



شکل ۱۱. الف) بلوک رقم نقلی ۸ بیتی ب) بلوک پایه مدار رقم نقلی در منطق مد جریان ج) بلوک پایه مدار رقم نقلی در منطق پیشنهادی.



شکل ۱۲. جانمایی و نتایج شبیه سازی جانمایی و نمادین در منطق پیشنهادی الف) جانمایی رقم نقلی یک بیتی ب) نتایج جانمایی و نمادین رقم نقلی یک بیتی.

جدول ۲. مقایسه بلوک سازنده رقم نقلی هشت بیتی در منطق‌های مد جریان و پیشنهادی(در تکنولوژی ۱۸۰ نانو متری).

تولید کننده رقم نقلی	تعداد ترانزیستور	توان مصرفی (uW)	تأخیر (ns)	PDP (fJ)
منطق مد جریان	۱۲۱	۱۰۹.۱	۳۲۱۷.۹	۳۵۱.۲
منطق پیشنهادی	۱۵۳	۱۹.۷	۵۹۷.۷	۱۱.۸

۵-۲ مقایسه و بررسی جانمایی و شبیه‌سازی نمادین و بعد از جانمایی

در شبیه‌سازی دروازه تولید کننده رقم نقلی برای بررسی اثرات خازن‌ها و مقاومت‌های مسیر نسبت به حالت نمادین، نتایج بعد از جانمایی این دروازه نیز بررسی گردیده‌است. در شکل ۱۲(الف) جانمایی تولید کننده رقم نقلی یک بیتی[۱] و در شکل ۱۲(ب) نتایج و مقایسه شبیه سازی نمادین و بعد از جانمایی رقم نقلی یک بیتی در منطق پیشنهادی نمایش داده شده است.

این دروازه در تکنولوژی ۱۸۰ نانومتری شبیه سازی گردیده است و مساحت اشغال شده توسط دوراره رقم نقلی یک بیتی برابر با ۳۰۳.۶ μm^2 می‌باشد.

۶- جمع‌بندی

در این مقاله، منطق پیشنهادی امکان طراحی دروازه‌های توابع منطقی را با کمترین ولتاژ ممکن، معادل ولتاژ مورد نیاز برای یک معکوس‌کننده در منطق مد جریان(۰.۶ ولت)، فراهم می‌کند. کاهش سطح ولتاژ عملیاتی دروازه‌ها مستقیماً به کاهش توان مصرفی آنها منجر می شود. در مقایسه با دیگر منطق‌ها، توان مصرفی دروازه AND(NAND) در منطق پیشنهادی به ترتیب در مقایسه با منطق مد جریان، منطق مد جریان چند دنباله، و منطق مد جریان چند دنباله تا شونده به میزان ۲۲ در صد، ۱۶ در صد، و ۲۴در صد کاهش یافته است.

به منظور بررسی جامع‌تر، هر دو عامل توان و تأخیر نیز تحلیل شده و عامل توان-تأخیر در منطق‌های مختلف ارزیابی شد. نتایج نشان می‌دهد که عامل توان-تأخیر در منطق پیشنهادی نسبت به منطق مد جریان، منطق مد جریان چند دنباله، و منطق مد جریان چند دنباله تا شونده به ترتیب ۵۳ در صد، ۹.۸ در صد، و ۲۳ در صد بهبود یافته است.

علاوه بر این، مقایسه بلوک پایه دروازه تولید کننده رقم نقلی بین منطق پیشنهادی و منطق مد جریان نشان می‌دهد که منطق پیشنهادی به طور چشمگیری توان مصرفی کمتری را استفاده می‌کند، که این ویژگی آن را به گزینه‌ای کارآمدتر از نظر مصرف انرژی در طراحی مدارهای منطقی تبدیل می‌نماید.

منابع

[۱] I. Savidis, S. Kose, and E. G. Friedman, "Power noise in TSV-based ۳-D integrated circuits," *IEEE Journal of Solid-State Circuits*, vol. ٤٨, no. ٢, pp. ٥٨٧-٥٩٧, ٢٠١٢.

[۲] A. Tajalli, E. J. Brauer, Y. Leblebici, and E. Vittoz, "Subthreshold source-coupled logic circuits for ultra-low-power applications," *IEEE Journal of Solid-State Circuits*, vol. ٤٣, no. ٧, pp. ١٦٩٩-١٧١٠, ٢٠٠٨.

[۳] F. Centurelli, G. Scotti, and G. Palumbo, "٠,٥-V Frequency Dividers in Folded MCML Exploiting Forward Body Bias: Analysis and Comparison," *Electronics*, vol. ١٠, no. ١٢, p. ١٣٨٣, ٢٠٢١.

[۴] M. Anis, M. Allam, and M. Elmasry, "Impact of technology scaling on CMOS logic styles," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. ٤٩, no. ٨, pp. ٥٧٧-٥٨٨, ٢٠٠٢.

[۵] S. Fan, Z. Wang, H. Xu, H. Xu, W. Zhen, and X. Zheng, "A ٢٠٠-Gb/s ٧٠-GHz-bandwidth ٢: ١ analog multiplexer in ١٣٠-nm SiGe BiCMOS process," *IEICE Electronics Express*, p. ٢١,٢٠٢٤٠٠٩٩, ٢٠٢٤.

[۶] J. Schoepfel, T. T. Braun, J. Hellwig, H. Rücker, and N. Pohl, "A ٧٩ GHz SiGe Doherty Power Amplifier Suitable for Next-Generation Automotive Radar," *IEEE Journal of Microwaves*, ٢٠٢٤.

[۷] M. Sokol, Pavol Galajda, Jan Saliga, and Patrik Jurik, "Design of AD Converters in ٠,٣٥ µm SiGe BiCMOS Technology for Ultra-Wideband M-Sequence Radar Sensors.," *Sensors 24*, no. ٩ ٢٨٣٨, ٢٠٢٤.

[۸] Y. Wenger, H. J. Ng, F. Korndörfer, B. Meinerzhagen, and V. Issakov, "Differential-mode power detection for built-in self-test of SiGe automotive radar transceiver front ends," *IEEE Transactions on Microwave Theory and Techniques*, ٢٠٢٤.

[۹] M. Alioto and G. Palumbo, *Model and design of bipolar and MOS current-mode logic: CML, ECL and SCL digital circuits*. Springer Science & Business Media, ٢٠٠٦.

[۱۰] M. Alioto and G. Palumbo, "Power-delay optimization of D-latch/MUX source coupled logic gates," *International Journal of Circuit Theory and Applications*, vol. ٣٣, no. ١, pp. ٦٥-٨٦, ٢٠٠٥.

[۱۱] K. Gupta, N. Pandey, and M. Gupta, *Model and design of improved current mode logic gates*. Springer, ٢٠٢٠.

[۱۲] M. Alioto and G. Palumbo, "Feature-Power-aware design techniques for nanometer MOS current-mode logic gates: a design framework," *IEEE Circuits and Systems Magazine*, vol. ٦, no. ٤, pp. ٤٢-٦١,٢٠٠٦.

[۱۳] M. B. Ghaznavi-Ghoushchi and S. A. H. Ejtahed, "MTCML: Analysis, design and optimization of an alternative shallow-depth multiple-tail current mode logic," *Microelectronics Journal*, vol. ٦٧, pp. ٥٧-٧٠, ٢٠١٧.

[۱۴] G. Palumbo and G. Scotti, "A Multi-Folded MCML for Ultra-Low-Voltage High-Performance in Deeply Scaled CMOS," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. ٦٧, no. ١٢, pp. ٤٦٩٦-٤٧٠٦, ٢٠٢٠.

[۱۵] M. Rafiee and M. Ghaznavi-Ghoushchi, "Design of low-voltage shallow-depth differential source coupled logic using feedback and feedforward techniques," *Microelectronics Journal*, vol. ٨٦, pp. ١٤٠-١٤٩, ٢٠١٩.

۱. bit Carry generator chain

In the name of God

Journal of

Modern Researches In AVIONIC

Vo١. ١/No. ١/٢٠٢٤

Belongs to: Shahid Sattari Aeronautical University of Science and Technology (SSAUT)

Manager in charge Dr. B. Hadian

Editor in chief: Dr. J. Mazloum

Manager: Dr. GH. Sarlak

Editors: Dr. M. J. Rezaei

Typeset & publish SSAUT Publication

Address: Tehran- Azadi Square- Mehrabad neighborhood- Shamshiri Blvd.

Postal Code: ١٣٨٤٦-٦٣١١٣

Tel/Fax: ٠٠٩٨-٢١-٦٦١٩٣٥٣٩

Website: www.mreea.ir

E-mail: mreea.sttari@gmail.com

Indexed in:

Editorial Board (In alphabet order)

Dr. H. Radmanesh

Dr. S. M. Mousavi

Dr. F. Hossein Babaei

Dr. G. Babamalek Gharepetian

Dr. M. H. Moayeri

Journal

Modern Research in Electrical and Electronics Aviation Engineering

Vol. 1, No. 1, Winter 2025

Fuzzy Bitrate Control for Multiview HEVC Video 1

(Farhad Raufmehr, Atiyeh Hosseini, Mehdi Rezaei)

Interpretation of MOS Transistor Performance Trade-offs in Analog and RF Circuits Using the Inversion Coefficient and the EKV Model 11

(Gholamreza Khademevatan, Ali Jalali)

Design of a Surface Wave Duplexer Based on Tensor Impedance Surfaces with a CPW-Fed Launcher 28

(Mojtaba Mighani, Rasoul Kord)

A New Routing and Allocation Algorithm in Flexible Optical Networks 37

(Yaghoub Khorasani)

Active noise control using adaptive filters, implemented in a single-channel duct and a multi-channel cockpit 45

(Ebrahim Shafiei and etc)

Presenting a Novel Method Based on Current-Mode Logic to Improve the Speed and Power Consumption of Logic Gates 60

(Reza Malmir, Mohammadreza Ghaznavi Ghoushchi)