



دوره دوم، شماره ۱، پاییز ۱۴۰۴

تشخیص بیماری ام اس از روی تصاویر OCT با استفاده از الگوریتم های یادگیری ماشین و بهبود دقت با ترکیب طبقه بندی های مختلف ۱
(مریم ابوطالبیان، نسرین دخت باطنی پور)

تاثیر پارامتر پیچش بر نشست لیتیوم درون نانوفیبرهای کربنی در حالت نیم سلول ۸
(سید علی حسینی)

ارائه الگوریتم چند مسیره جدید برای کاهش پراکندگی طیف در شبکه های نوری منعطف ۱۶
(یعقوب خراسانی، ابراهیم چگینی)

بررسی اثرات ظرفیت زدن تکنولوژی بر عملکرد ترانزیستورهای اثر میدانی نیمه هادی اکسید فلز (MOSFET) با استفاده از پارامتر کلیدی ضریب وارونگی ۲۳
(غلامرضا خادم وطن، علی جلالی)

طراحی ضرب کننده های تقریبی کم مصرف مبتنی بر فناوری اسپینترونیک MTJ/FinFET برای کاربرد های پردازش تصویر ۳۶
(بهرنگ هادیان سیاهکل محله)

طراحی تقویت کننده سه طبقه با روش جبران سازی کسکود میلر و کنترل جریان میرایی ۵۰
(محسن روشنایی، اکبر اصغرزاده)



اعضاء هیئت تحریریه (به ترتیب حروف الفبا)

دکتر فرامرز حسین بابائی

دکتر میثم بیات

دکتر حمید رضا دلیلی اسکوئی

دکتر سید محمدرضا موسوی میرکلائی

دکتر علیرضا ملکی جوان

دکتر حمید رادمشی

دکتر گوهر ورامینی

دکتر کیورک باباملک قره‌پتیان



فصلنامه علمی-پژوهشی

پژوهش‌های نوین در مهندسی برق و الکترونیک هوایی

دوره دوم/شماره ۱/پاییز ۱۴۰۴

صاحب امتیاز: دانشگاه علوم و فنون هوایی شهید ستاری

مدیر مسئول: دکتر بهرنگ هادیان سیاهکل محله

سرمدیر: دکتر جلیل مظلوم

مدیر اجرایی: دکتر غلامرضا سرلک

ویراستار فنی: مهندس علیرضا مشایخ

چاپ و صحافی: انتشارات دانشگاه علوم و فنون هوایی شهید ستاری

نشانی: تهران-میدان آزادی-مهرآباد جنوبی-انتهای خیابان شمشیری

کد پستی: ۱۳۸۴۶-۶۳۱۱۳

تلفکس: ۰۲۱-۶۶۱۹۳۵۳۹

نشانی تارنما: www.mreea.ir

نشانی پست الکترونیک: mreea.editorial@ssau.ac.ir

دبیرخانه‌ی نشریه در ویرایش ادبی مطالب آزاد است.
مطالب ارائه شده لزوماً نظر اعضای هیئت تحریریه را منعکس نمی‌کند.

این نشریه در تارنماهای زیر نمایه می‌شود:

سخن سردبیر

به نام خدا

خوانندگان محترم؛

با افتخار و خرسندی، شماره جدید نشریه «پژوهش‌های نوین در مهندسی برق و الکترونیک هوایی» را به شما تقدیم می‌کنیم. این نشریه به عنوان یک منبع معتبر علمی، هدف خود را ترویج و انتشار دستاوردهای نوین و کاربردی در زمینه مهندسی برق و الکترونیک هوایی قرار داده است.

در این نشریه، مقالات منتخب از محققان و پژوهشگران برجسته ارائه شده است که به بررسی چالش‌ها و نوآوری‌های اخیر در این حوزه می‌پردازند. موضوعاتی از جمله طراحی و تحلیل سیستم‌های الکترونیکی و مخابراتی پیشرفته، فناوری‌های نوین در ناوبری هوایی و کاربردهای هوش مصنوعی در بهینه‌سازی عملکرد سیستم‌های الکترونیک هوایی به تفصیل مورد بررسی قرار می‌گیرند.

ما بر این باوریم که تبادل دانش و تجربیات میان پژوهشگران، کلید پیشرفت علمی و تکنولوژیکی است. لذا از شما دعوت می‌کنیم تا با ارائه نظرات و پیشنهادات خود، ما را در بهبود کیفیت نشریه یاری کنید.

امیدواریم مقالات این شماره، الهام‌بخش پژوهشگران و دانشجویان بوده و به ارتقاء سطح علمی و عملی در حوزه مهندسی برق و الکترونیک هوایی کمک نماید.

با احترام،

جلیل مظلوم

سردبیر نشریه «پژوهش‌های نوین در مهندسی برق و الکترونیک هوایی»

فهرست مقالات

- تشخیص بیماری ام اس از روی تصاویر OCT با استفاده از الگوریتم های یادگیری ماشین و بهبود دقت با ترکیب طبقه بندهای مختلف ۱
- تاثیر پارامتر پیچش بر نشست لیتیوم درون نانوفیبرهای کربنی در حالت نیم سلول ۸
- ارائه الگوریتم چند مسیره جدید برای کاهش پراکندگی طیف در شبکه های نوری منعطف ۱۶
- بررسی اثرات ظریفتر شدن تکنولوژی بر عملکرد ترانزیستورهای اثر میدانی نیمه هادی اکسید فلز (MOSFET) با استفاده از پارامتر کلیدی ضریب وارونگی ۲۳
- طراحی ضرب کننده های تقریبی کم مصرف مبتنی بر فناوری اسپینترونیک MJT/FinFET برای کاربردهای پردازش تصویر ۳۶
- طراحی تقویت کننده سه طبقه با روش جبران سازی کسکود میلر و کنترل جریان میرایی ۵۰



Diagnosis of MS from OCT Images Using Machine Learning Algorithms and Improving Accuracy by Combining Different Classifiers

Maryam Aboutalebian¹, Nasrindokht Batenipour^{2*}

1. Department of Biomedical Engineering, NT.C., Islamic Azad University, Tehran, Iran

2. Department of Electrical Engineering, NT.C., Islamic Azad University, Tehran, Iran

Key words:

Multiple Sclerosis
Machine Learning
OCT
Confusion Matrix

Abstract

Given the importance of maintaining the health of personnel in high-risk environments (such as space missions) and the need to improve health monitoring systems in the aerospace electrical and electronic engineering industries, this study focuses on multiple sclerosis (MS). For disease diagnosis, the Johns Hopkins Hospital database was used, containing optical coherence tomography (OCT) images of the right retina from 35 subjects (21 MS patients and 14 healthy individuals) collected over a 10-year period. After preprocessing the images and extracting relevant features, three different classifiers were applied to categorize the subjects into healthy and MS groups. Confusion matrices were obtained for the Random Forest (RF), Support Vector Machine (SVM), and K-Nearest Neighbors (KNN) classifiers, and the classification accuracy for each was calculated. The results showed that the RF classifier achieved the highest accuracy (85%), while KNN had the lowest (57%). The SVM classifier achieved an accuracy of 71%. Finally, a hybrid ensemble method based on majority voting was applied to combine the predictions of the three classifiers. The results indicated that by integrating the classifiers, an overall accuracy of 91% could be achieved. These findings are consistent with those reported in recent similar studies.



تشخیص بیماری ام‌اس از روی تصاویر OCT با استفاده از الگوریتم‌های یادگیری ماشین و بهبود دقت با ترکیب طبقه‌بندی‌های مختلف

مریم ابوطالبیان^۱، نسرين دخت باطنی پور^{۲*}

۱. گروه مهندسی پزشکی، واحد تهران شمال، دانشگاه آزاد اسلامی، تهران، ایران، maryam.aboutalebian@iau.ir

۲. گروه مهندسی برق، واحد تهران شمال، دانشگاه آزاد اسلامی، تهران، ایران، batenind@gmail.com

چکیده

واژگان کلیدی

با توجه به اهمیت سلامتی کارکنان در شرایط پرخطر (مانند مأموریت‌های فضایی) و ضرورت بهبود سامانه‌های نظارت بر سلامت در صنایع حوزه مهندسی برق و الکترونیک هوافضا، در این تحقیق بیماری مولتیپل اسکلروزیس (ام‌اس) مورد بررسی قرار گرفته است. برای تشخیص این بیماری از پایگاه داده بیمارستان جانز هاپکینز استفاده شد که حاوی تصاویر توموگرافی انسجام نوری (OCT) از شبکه‌های چشم راست ۳۵ نفر (۲۱ بیمار مبتلا به ام‌اس و ۱۴ فرد سالم) در طول مدت ۱۰ سال است. پس از پیش پردازش تصاویر و استخراج ویژگی‌ها، از سه طبقه‌بند مختلف جهت دسته‌بندی افراد در دو گروه سالم و بیمار استفاده شد. ماتریس درهم ریختگی برای سه طبقه‌بند جنگل تصادفی (RF)، ماشین بردار پشتیبان (SVM) و K-نزدیکترین همسایه (KNN) استخراج و دقت تشخیص بیماری برای هریک محاسبه گردید. نتایج نشان داد طبقه‌بند RF با دقت ۸۵٪، بیشترین دقت و KNN با ۵۷٪ کمترین دقت را دارد. طبقه‌بند SVM به دقت ۷۱٪ رسید. در نهایت با استفاده از روش‌های ترکیبی پیش‌بینی آنها به کمک رأی اکثریت ادغام گردید. نتایج نشان داد که با ترکیب این سه طبقه‌بند می‌توان به دقت ۹۱٪ رسید. این دقت‌ها با نتایج مطالعات مشابه اخیر مطابقت دارد.

مولتیپل اسکلروزیس
یادگیری ماشین
توموگرافی انسجام نوری
ماتریس درهم ریختگی

۱- مقدمه

به اعصاب بدن ایجاد می‌شود. در این بیماری سامانه ایمنی بدن به غلاف حفاظتی فیبرهای عصبی (میلین) حمله می‌کند و باعث ایجاد مشکلات ارتباط بین مغز و بقیه‌ی قسمت‌های بدن می‌شود. یکی از اثرات شایع این بیماری حمله به قسمت ماکولا^۲ در شبکه‌ی چشم و آسیب به سلول‌های گانگلیون

بیماری ام‌اس یا مالتیپل اسکلروزیس یا مالتیپل اسکلروز^۱ یکی از شناخته‌شده‌ترین بیماری‌های خودایمنی است که در اثر حمله سامانه ایمنی

^۲ Macula

^۱ MS: Multiple Sclerosis

در این تحقیق، به بررسی روش های تشخیص بیماری ام اس با استفاده از تکنیک های OCT می پردازیم و سپس با استفاده از یادگیری ماشین، دقت تشخیص بیماری را افزایش می دهیم. همچنین می توان از این روش برای تشخیص بیماری از راه دور توسط پزشک استفاده نمود. بهره وران این پروژه می توانند کلیه سازمان های پزشکی و پزشکان درگیر با تشخیص و درمان بیماری ام اس باشند. علاوه بر آن سازمان های غیر پزشکی که این بیماری در عملکرد شغلی آنها اختلال ایجاد می کند نیز می توانند جهت تشخیص زودهنگام بیماری از این پروژه بهره برداری کنند. نتایج این تحقیق در بهبود عملکرد و طراحی بهینه سامانه های نظارت سلامت در شرایط پرخطر (مانند مأموریت های فضایی)، در حوزه مهندسی برق و الکترونیک هوافضا اهمیت ویژه ای دارد.

بدین منظور، در بخش های بعدی پس از بیان روش اجرای تحقیق، مراحل استخراج ویژگی و طبقه بندی داده ها با استفاده از روش های جنگل تصادفی (RF)، ماشین بردار پشتیبان (SVM)، نزدیکترین همسایه (KNN) و ترکیب آنها بررسی می شود.

۲- روش تحقیق

در این تحقیق از دیتاهای موجود در پایگاه های داده وبسایت بیمارستان جانز هاپکینز استفاده می شود و مطالعه مقطعی و مطالعه طولی بر روی آن ها انجام می شود. در مطالعه مقطعی تعدادی بیمار ام اس (شامل زن و مرد) و تعدادی فرد سالم (شامل زن و مرد) مورد مطالعه قرار می گیرند. در مطالعه طولی بیماران ام اس در چندین ویزیت تا تکمیل پیگیری ۱۰ ساله مورد ارزیابی قرار می گیرند. شرکت کنندگان هیچ بیماری چشمی یا هیچ سابقه آسیب شناسی شبکیه یا شرایط سامانه ای که بتواند بر عملکرد بینایی تأثیر بگذارد، ندارند.

داده ها از چشم راست ۳۵ نفر با استفاده از یک سامانه OCT طیفی به دست آمد. از ۳۵ نفر، ۲۱ نفر مبتلا به ام اس تشخیص داده شدند و ۱۴ نفر دیگر افراد سالم بودند. تمام تصاویرها غربالگری شدند و مشخص شد که ادم ماکولا میکروکیستیک (یک آسیب شناسی که گاهی در افراد مبتلا به ام اس یافت می شود) وجود ندارد. محدوده سنی ۲۰ تا ۵۶ سال بود. به صورت دستی خطوط هشت لایه رتینا در تصاویر شناسایی و برای اعتبارسنجی روش های

شبکیه^۱ است. ماکولا بخشی از شبکیه است که بیشترین حساسیت به نور را دارد و موجب دید مستقیم و واضح می شود. با آسیب این بخش بیمار در انجام کارهایی که نیاز به بینایی دقیق دارند نظیر خواندن و رانندگی دچار مشکل می شود. هر چه میزان پیشرفت بیماری ام اس بیشتر باشد شدت آسیب وارد شده به شبکیه چشم بیشتر و ضخامت لایه فیبرهای عصبی شبکیه^۲ بیمار کمتر می شود [۱].

بیماران ام اس در اکثر مواقع دچار اختلال در بینایی و حتی نابینایی می شوند. از هر ۱۰ بیمار مبتلا به ام اس ۷ نفر در مقطعی دچار نوریت بینایی می شوند. نوریت بینایی یا التهاب عصب بینایی بیماری است که منجر به از دست دادن ناگهانی بینایی می شود. این بیماری به طور معمول در سنین ۲۰ تا ۵۰ سالگی و در زنان حدود ۲ برابر بیشتر از مردان اتفاق می افتد. بنابراین تشخیص زود هنگام بیماری ام اس و درمان بیمار بسیار مهم می باشد. بویژه برای متخصصینی که مشاغل حساس دارند و این بیماری می تواند انجام وظایف شغلی آن ها را تحت تأثیر قرار دهد. از جمله خلبانان و کارشناسان مانیتورینگ سامانه حمل و نقل هوایی.

توموگرافی انسجام نوری یا OCT^۳ یک روش پیشرفته تصویربرداری غیر تهاجمی از اجزای چشم به ویژه شبکیه است. در این روش برای گرفتن عکس های مقطعی از شبکیه چشم از امواج نوری استفاده می شود. با استفاده از تصاویر OCT، چشم پزشک می تواند هر یک از لایه های متمایز شبکیه و لایه فیبرهای عصب بینایی را ببیند و ضخامت لایه فیبرهای عصبی شبکیه را اندازه گیری کند. لذا استفاده از تصاویر OCT برای تشخیص زودهنگام بیماری های چشمی مانند ام اس بسیار مفید است [۲، ۳]. مطالعاتی که در این زمینه انجام شدند روش هایی را برای تقسیم بندی خودکار لایه های ماکولا و مقایسه ویژگی های لایه های عصبی در تصاویر OCT ارائه کردند و از این اطلاعات برای تشخیص بیماری استفاده نمودند [۴، ۵]. برخی تحقیقات برای تشخیص زودهنگام بیماران ام اس از اندازه گیری ضخامت لایه فیبرهای عصبی شبکیه در تصاویر OCT استفاده نمودند [۶]. نتایج تحقیقات نشان داد که تصاویر OCT در کنار سایر تست های بالینی نقش مهمی در تشخیص شدت بیماری های مرتبط با از بین رفتن عصب از جمله بیماری ام اس دارند [۷]. جهت استخراج ویژگی های تصاویر OCT می توان از الگوریتم های مختلف یادگیری ماشین و شبکه های عصبی استفاده نمود [۸-۱۴].

^۳ Optical Coherence Tomography

^۱ RGCs: Retinal Ganglion Cells

^۲ RNFL: Retinal Nerve Fiber Layer

بخش بندی خودکار استفاده شد. در جدول (۱) خلاصه ای از داده ها نمایش داده شده است.

جدول (۱): ویژگی داده ها

میانگین سن (انحراف معیار)	تعداد (زن/ مرد)	مجموعه داده
۳۹/۴۹ (۱۰/۹۴)	۳۵ (۶ / ۲۹)	کل مجموعه
۳۵/۷۷ (۱۳/۰۳)	۱۴ (۲ / ۱۲)	مجموعه اعضای سالم
۴۱/۹۷ (۸/۷۷)	۲۱ (۴ / ۱۷)	مجموعه بیماران ام اس

این پروژه در ۴ مرحله کلی انجام می شود:

گام اول) جمع آوری داده: در این مرحله، از دیتاهای موجود در پایگاه های داده وبسایت بیمارستان جانز هاپکینز استفاده می شود. مجموعه داده ها شامل ۳۵ تصویر است که با استفاده از سامانه OCT اسپکترا لیس^۱ انجام شده است. از مجموع این ۳۵ تصویر، ۱۴ تصویر مربوط به افراد سالم^۲ و ۲۱ تصویر مربوط به بیماران مبتلا به ام اس^۳ است. در این تصاویر خطوط هشت لایه رتینا به صورت دستی شناسایی شده است. این مجموعه داده ها شامل فرمت های خام و پردازش شده است.

گام دوم) پیش پردازش: استفاده از فیلتر میانه^۴ برای یکدست سازی تصویر و حذف نویزهای ضربه ای (فرکانس بالا) اهمیت دارد. جایگزین کردن میانه در هر پنجره عکس باعث می شود تا مقادیری که از میانه دورترند حذف شوند و عکس به چیزی که بیشتر در آن تکرار شده شبیه می شود. می توان گفت که فیلتر میانه به بلوری شدن عکس کمک می کند و جزئیات را از بین می برد.

گام سوم) استخراج ویژگی: در این مرحله عملیات پردازش تصاویر انجام می شود و با استفاده از الگوریتم های الگوهای محلی باینری (LBP)^۵ و مومنت زرنیک^۶ ویژگی های تصاویر استخراج می شود.

گام چهارم) در مرحله طبقه بندی، سه روش یادگیری ماشین آموزش داده شدند. برای هر یک پارامترهای استاندارد تنظیم شدند؛ به عنوان مثال، در جنگل تصادفی^۷ از معیار گینی برای تقسیم بندی استفاده شد و تعداد درخت ها^۸ برابر ۱۰۰ تنظیم گردید تا پوشش مناسبی از فضای ویژگی ها فراهم شود. در ماشین بردار پشتیبان^۹ از هسته گاوسی (RBF) با پارامترهای C و Y مناسب استفاده شد. روش K-نزدیکترین همسایه^{۱۰} نیز با مقدار k = ۵ و معیار فاصله اقلیدسی اعمال گردید. علاوه بر طبقه بندی منفرد روش های ترکیبی نیز مورد استفاده قرار گرفت؛ در این شیوه، پیش بینی های RF، SVM و KNN با روش رأی اکثریت ترکیب شدند تا تصمیم نهایی گرفته شود. کلیه مدل ها با اعتبارسنجی متقاطع مبتنی بر تفکیک داده های بیماران انجام شد تا از هم پوشانی نمونه ها در آموزش و ارزیابی جلوگیری گردد. باید شامل این بخش های اصلی باشد: چکیده، کلمات کلیدی، مقدمه، مطالب اصلی، نتیجه و مراجع. سایر بخش ها مثل سپاسگزاری، ضمایم و زیرنویس ها اختیاری است. این بخش ها باید در آخر مقله و قبل از مراجع قرار گیرند.

۳- پیاده سازی و تحلیل نتایج حاصل

به منظور پیاده سازی روش تشخیص بیماری ابتدا باید ویژگی های تصاویر OCT برای افراد سالم و بیمار مجموعه داده ها استخراج شوند. ابتدا برای هر تصویر چندین مرحله پیش پردازش انجام می شود:

۱- خواندن تصویر: تصویر از فایل خوانده می شود.

۲- تبدیل به سطح خاکستری: تصویر به سطح خاکستری تبدیل می شود تا فرآیند پیش پردازش ساده تر شود.

۳- تعادل سازی هسته ای: برای بهبود کیفیت تصویر، تعادل سازی هسته ای اعمال می شود.

۴- فیلتر میانگین حاشیه ای: برای کاهش نویز و حفظ لبه های تصویر، فیلتر میانگین حاشیه ای با اندازه ۳×۳ اعمال می شود.

^۶ Zernike Moments

^۷ N estimator

^۸ RF: Random Forest

^۹ SVM: Support Vector Machine

^{۱۰} KNN: K-Nearest Neighbors

^۱ Spectralis

^۲ Healthy control

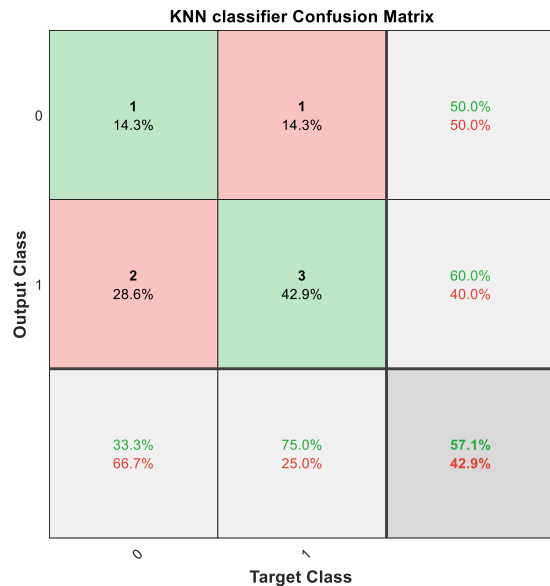
^۳ MS

^۴ Median filter

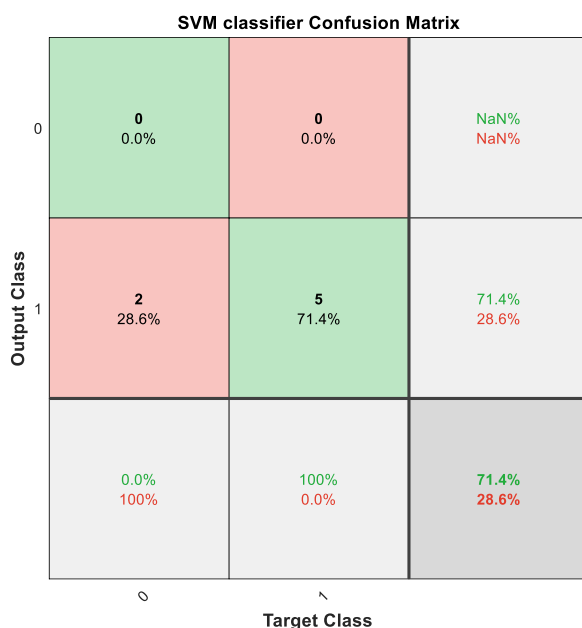
^۵ LBP: Local Binary Patterns

۵- استخراج ویژگی‌ها با استفاده از روش‌های الگوهای محلی باینری (LBP)

و مومنت زرنیک



شکل (۱): ماتریس درهم ریختگی برای طبقه بند KNN

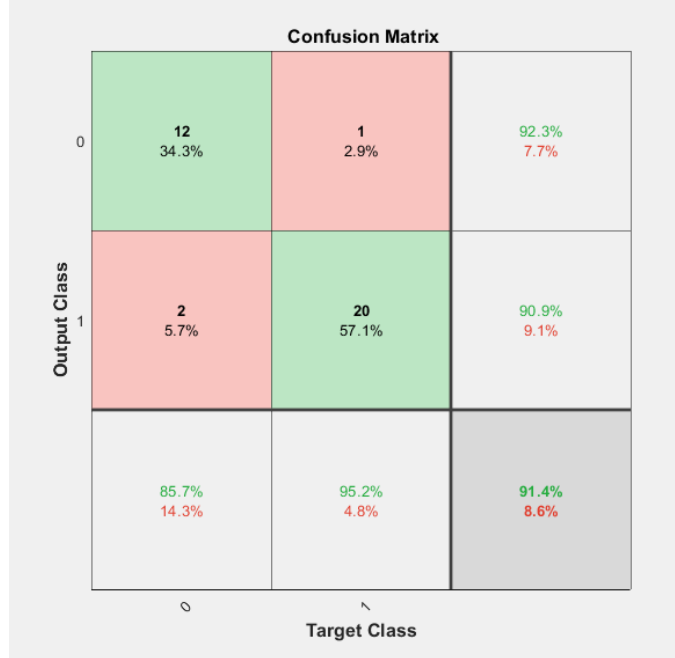


شکل (۲): ماتریس درهم ریختگی برای طبقه بند SVM

سپس الگوهای مختلف یادگیری ماشین پیاده سازی می‌شوند. برخی تصاویر مجموعه داده ها به منظور آموزش مدل یادگیری ماشین و برخی دیگر برای ارزیابی استفاده می‌شوند. نتایج حاصل از طبقه بندیهای مختلف بصورت ماتریس درهم ریختگی بیان می‌شود. در این ماتریس، خروجی روش یا صفر است (کلاس صفر یعنی افراد سالم) یا یک است (کلاس یک یعنی افراد بیمار). در ماتریس درهم ریختگی وقتی یک فرد بیمار به درستی بیمار تشخیص داده شود و یک فرد سالم به درستی سالم تشخیص داده شود، نتیجه با رنگ سبز و در زمینه سبز نوشته شده است. وقتی نتیجه تشخیص اشتباه است یعنی فرد سالم به اشتباه بیمار تشخیص داده شود و یا فرد بیمار به اشتباه سالم تشخیص داده شود، با رنگ قرمز و در زمینه قرمز نوشته شده است. شکل‌های ۱ و ۲ و ۳ به ترتیب ماتریس درهم ریختگی برای طبقه بندیهای KNN، SVM و جنگل تصادفی (ترکیب چند درخت تصمیم‌گیری^۱) را نشان می‌دهند.

در شکل ۱ مشاهده می‌شود که طبقه بند KNN یک فرد سالم را به درستی سالم تشخیص داده است و ۳ فرد بیمار را به درستی بیمار تشخیص داده است. درحالی‌که ۲ فرد سالم به اشتباه بیمار تشخیص داده شده اند و یک فرد بیمار به اشتباه سالم تشخیص داده شده است. احتمال اینکه فرد سالم درست تشخیص داده شود ۳۳/۳٪ است و احتمال اینکه فرد بیمار درست تشخیص داده شود ۷۵٪ است. افرادی که سالم تشخیص داده شده اند به احتمال ۵۰٪ این تشخیص درست است و افرادی که بیمار تشخیص داده شده اند به احتمال ۶۰٪ تشخیص درست است و واقعا بیمار هستند. در مجموع ۴ تشخیص از ۷ تشخیص درست بوده است و دقت کلی این طبقه بند ۵۷/۱٪ است.

^۱ DT: Decision Tree

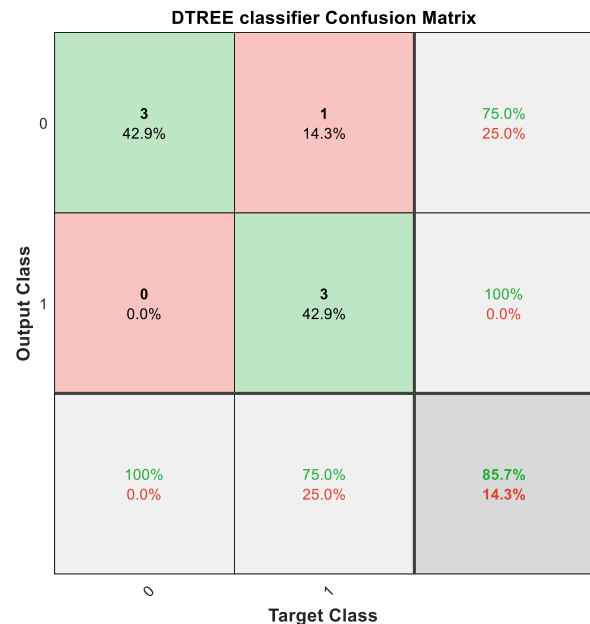


شکل (۴): ماتریس در هم ریختگی حاصل از ترکیب طبقه بندها

در نهایت با ترکیب طبقه بندها به دقت پیش بینی صحیح ۹۱/۴٪ رسیدیم. این دقت ها با نتایج مطالعات مشابهی که به تازگی انجام شده اند مطابقت دارد؛ برای نمونه، کافاکلی اوغلو و همکاران (۲۰۲۲) با روش RF و حذف ویژگی به دقت تشخیص حدود ۷۵٪ تا ۸۰٪ دست یافتند و خدابنده و همکاران (۲۰۲۳) با SVM دقت حدود ۸۸٪ را گزارش کرده اند [۱۵، ۱۶].

۴- نتیجه

در این مطالعه که بر روی مجموعه داده های پایگاه های داده وبسایت بیمارستان جانز هاپکینز انجام شد، مطالعات مقطعی و طولانی مدت بر روی داده های بیماران مبتلا به ام اس (شامل زن و مرد) و افراد سالم (شامل زن و مرد) انجام شده است. در مطالعه طولانی مدت، بیماران مبتلا به ام اس در چندین ویزیت مختلف تا پیگیری ۱۰ ساله مورد بررسی قرار گرفته اند و مجموعه ای از تصاویر توموگرافی انسجام نوری (OCT) از شبکیه چشم راست ۳۵ نفر بررسی شده است. تصاویر به صورت دستی خطوط هشت لایه رتینا را شناسایی کرده اند و برای اعتبارسنجی از روش های بخش بندی خودکار استفاده شده است. پس از استخراج ویژگی ها از داده ها، طبقه بندی انجام شده و دقت طبقه بندی مختلف برای تشخیص بیماری ام اس استخراج گردید. ابتدا دقت طبقه بندی RF، KNN و SVM به صورت جداگانه به ترتیب



شکل (۳): ماتریس در هم ریختگی برای طبقه بند DT

ماتریس در هم ریختگی برای طبقه بندهای SVM و جنگل تصادفی را می توان به طور مشابه تحلیل نمود. نتایج نشان می دهد دقت این طبقه بندها به ترتیب ۷۱/۴٪ و ۸۵/۷٪ بوده است.

پس از ارزیابی جداگانه هر یک از طبقه بندها، در مرحله نهایی با استفاده از طراحی انسمبل (Bagging و Boosting)، نتایج حاصل از ترکیب این سه طبقه بند مورد بررسی قرار گرفت. شکل ۴ ماتریس در هم ریختگی حاصل را نشان می دهد. نتایج پیش بینی ها به شرح زیر است:

۱. درستی مثبت (TP): پیش بینی کلاس ۱ زمانی که واقعاً کلاس ۱ بوده است ۵۷/۱٪ است.
۲. نادرستی مثبت (FP): پیش بینی کلاس ۱ زمانی که واقعاً کلاس ۰ بوده است ۵/۷٪ است.
۳. نادرستی منفی (FN): پیش بینی کلاس ۰ زمانی که واقعاً کلاس ۱ بوده است ۲/۹٪ است.
۴. درستی منفی (TN): پیش بینی کلاس ۰ زمانی که واقعاً کلاس ۰ بوده است ۳۴/۳٪ است.

- Biology and Medicine*, vol. 246, no. 20, pp. 2170-2183, 2021.
- [12] M. Ortiz *et al.*, "Diagnosis of multiple sclerosis using optical coherence tomography supported by artificial intelligence," *Multiple Sclerosis and Related Disorders*, vol. 74, p. 104725, 2023.
- [13] J. Saeidian *et al.*, "Automated assessment of the smoothness of retinal layers in optical coherence tomography images using a machine learning algorithm," *BMC medical imaging*, vol. 23, no. 1, p. 21, 2023.
- [14] A. Montolio, J. CEGONino, E. Garcia-Martin, and A. Perez Del Palomar, "Comparison of machine learning methods using spectralis OCT for diagnosis and disability progression prognosis in multiple sclerosis," *Annals of biomedical engineering*, vol. 50, no. 5, pp. 507-528, 2022.
- [15] B. Ciftci Kavaklioglu *et al.*, "Machine learning classification of multiple sclerosis in children using optical coherence tomography," *Multiple Sclerosis Journal*, vol. 28, no. 14, pp. 2253-2262, 2022.
- [16] Z. Khodabandeh *et al.*, "Discrimination of multiple sclerosis using OCT images from two different centers," *Multiple Sclerosis and Related Disorders*, vol. 77, p. 104846, 2023.
- ۸۵٪، ۵۷٪ و ۷۱٪ بدست آمد که نشان داد روش RF نسبت به SVM و KNN دقت بیشتری دارد. سپس برای افزایش دقت تشخیص، از ترکیب طبقه‌بندها استفاده شد که نتیجه آن رسیدن به دقت نهایی ۹۱٪ بود.
- ## مراجع
- [1] G. Xu, R. N. Weinreb, and C. K. Leung, "Retinal nerve fiber layer progression in glaucoma: a comparison between retinal nerve fiber layer thickness and retardance," *Ophthalmology*, vol. 120, no. 12, pp. 2493-2500, 2013.
- [2] S. Aumann, S. Donner, J. Fischer, and F. Müller, "Optical coherence tomography (OCT): principle and technical realization," *High resolution imaging in microscopy and ophthalmology: new frontiers in biomedical optics*, pp. 59-85, 2019.
- [3] S. B. Rutkove, "Clinical measures of disease progression in amyotrophic lateral sclerosis," *Neurotherapeutics*, vol. 12, no. 2, pp. 384-393, 2015.
- [4] I. Ghorbel, F. Rossant, I. Bloch, S. Tick, and M. Paques, "Automated segmentation of macular layers in OCT images and quantitative evaluation of performances," *Pattern Recognition*, vol. 44, no. 8, pp. 1590-1603, 2011.
- [5] Q. Li *et al.*, "DeepRetina: layer segmentation of retina in OCT images using deep learning," *Translational vision science & technology*, vol. 9, no. 2, pp. 61-61, 2020.
- [6] C. K. S. Leung *et al.*, "Diagnostic assessment of glaucoma and non-glaucomatous optic neuropathies via optical texture analysis of the retinal nerve fibre layer," *Nature Biomedical Engineering*, vol. 6, no. 5, pp. 593-604, 2022.
- [7] E. López-Varela, N. Barreira, N. O. Pascual, E. G. Ben, S. R. Cid, and M. G. Penedo, "Fully automatic segmentation of the choroid in non-EDI OCT images of patients with multiple sclerosis," *Procedia Computer Science*, vol. 207, pp. 726-735, 2022.
- [8] M. Siger, M. Owidzka, M. Świderek-Matysiak, W. Omulecki, and M. Stasiotek, "Optical coherence tomography in the differential diagnosis of patients with multiple sclerosis and patients with MRI nonspecific white matter lesions," *Sensors*, vol. 21, no. 21, p. 7127, 2021.
- [9] F. J. Dongil-Moreno *et al.*, "Diagnosis of multiple sclerosis using optical coherence tomography supported by explainable artificial intelligence," *Eye*, vol. 38, no. 8, pp. 1502-1508, 2024.
- [10] K. Hartmann, B. Neyazi, C. A. Dumitru, A. Haghikia, I. E. Sandalcioğlu, and K.-P. Stein, "Extravascular optical coherence tomography of cerebral vessel walls in vivo," *Plos one*, vol. 18, no. 5, p. e0276307, 2023.
- [11] D. Le, T. Son, and X. Yao, "Machine learning in optical coherence tomography angiography," *Experimental*



The Effect of Tortuosity Parameter on Lithium Deposition Inside Carbon nanofibers in Half-Cell Mode

Seyed Ali Hoseini¹

1. Department of electrical and computer engineering, University of Tehran, Tehran, Iran

Key words:

Battery
Scaffold
Lithium-ion
Simulation
Insulating-
materials
Anode

Abstract

The study of important and influential parameters of the lithium-ion batteries' performance is of great importance. Modeling and simulation of the structures requires a deep understanding of the relationships governing the performance of these batteries. One of the most effective and influential parameters in the performance of batteries is the tortuosity parameter and the preferential accumulation of lithium in conductive structures. For this purpose, three types of carbon nanofiber scaffolds with different structural tortuosity were modeled, and for the first time, the tortuosity parameter in these structures was calculated through simulation. Then, for all of these three structures, the configuration of the lithium-ion half-cell was modeled, and the dispersion of lithiation in these structures was discussed and examined. The simulation results revealed that increasing the structural tortuosity will cause a non-uniform distribution of lithium in carbon nanofibers, and the lower the tortuosity parameter, the more uniformly lithium is distributed in the conductive structures.

* Corresponding author's E-mail: ali.hoseini@ut.ac.ir



تأثیر پارامتر پیچش بر نشست لیتیوم درون نانوفیبرهای کربنی در حالت نیم سلول

سید علی حسینی^{۱*}

۱. مدرس دانشکده مهندسی برق و کامپیوتر، دانشگاه تهران، تهران، ایران

چکیده

واژگان کلیدی

باتری

داربست

لیتیوم-یون

شبیه سازی

مواد عایق

آند

بررسی پارامترهای مهم و تاثیرگذار بر روی عملکرد باتری های لیتیوم یون از اهمیت بسیار ویژه ای برخوردار است. مدل سازی و شبیه سازی ساختارهای مورد استفاده مستلزم شناخت عمیق از روابط حاکم بر عملکرد این باتری ها است. یکی از پارامترهای بسیار موثر و تاثیر گذار در عملکرد باتری ها پارامتر پیچش و تجمع ترجیحی لیتیوم در ساختارهای رسانا است. بدین منظور سه نوع داربست از جنس نانوفیبرهای کربنی با پیچش ساختاری متفاوت مدل سازی شد و برای اولین بار پارامتر پیچش در این ساختارها از طریق شبیه سازی محاسبه گردید. سپس برای هر سه این ساختار ها پیکربندی نیم سلول لیتیوم یونی مورد مدل سازی قرار گرفت و میزان پراکندگی نشست لیتیوم در این ساختارها بحث و بررسی شد. نتایج شبیه سازی آشکار کرد که افزایش پیچش ساختاری سبب توزیع غیر یکنواخت لیتیوم در نانوفیبرهای کربنی خواهد شد و هر چه پارامتر پیچش مقدار کمتری داشته باشد لیتیوم به صورت یکنواخت تری در ساختارهای رسانا توزیع می گردد.

۱- مقدمه

دارد. علاوه بر این، لیتیوم فلزی دارای کمترین پتانسیل اکسیداسیون و کاهش الکتروشیمیایی است ($V = 3/04$ در مقایسه با الکتروود استاندارد هیدروژن) [۱۱]. علیرغم افزایش ظرفیت و در نتیجه افزایش چگالی انرژی الکتروود، لیتیوم فلزی معایب خاص خود را دارد [۱۲]. از جمله این ایرادات می توان به رشد دندریت های لیتیومی و احتمال اتصال کوتاه به دلیل سوراخ شدن جداکننده، و در نتیجه بازده کولمبیک پایین و کاهش ظرفیت اشاره کرد [۱۳]. از آنجایی که در سمت کاتد، بیشتر مواد فعال رایج مورد استفاده اکسیدهای فلزی هستند که اغلب دارای رسانایی الکتریکی پایینی هستند. استفاده از روش های مرسوم ساخت الکتروود، باعث کاهش چگالی توان الکتروود می شود. در چنین روش هایی برای تهیه الکتروود، مواد فعال، بایندهای پلیمری و

با استفاده روز افزون از وسایل نقلیه الکتریکی، تجهیزات الکترونیکی قابل حمل، اینترنت اشیا، هواپیماهای بدون سرنشین و غیره، نیاز به دستگاه های ذخیره انرژی با کارایی بالا و عمر طولانی [۱]–[۳] و چگالی انرژی بالا به خوبی تشخیص داده شده است. با پیشرفت تکنولوژی، شدت و اهمیت این نیاز بیش از پیش آشکار می شود. در میان دستگاه های ذخیره سازی انرژی، باتری های لیتیوم یونی یکی از کارآمدترین گروه ها هستند که ظرفیت بالا و عملکرد طولانی مدت را نشان می دهند. یکی از تنگناها برای دستیابی به باتری هایی با چگالی انرژی بالا [۴]، عمر طولانی [۵] و ایمنی مناسب، طراحی الکترودهای کاتد و آند کارآمد و استفاده از مواد با کارایی بالا است [۶]–[۸]. در سمت آند، فلز لیتیوم با ظرفیت 3863 mAh/g [۹]، [۱۰] بالاترین ظرفیت را در مقایسه با مواد آندی معمولی مانند گرافیت (۱۰ برابر بیشتر)

$$\tau = \frac{\langle L_g \rangle}{L_s} \quad (1)$$

که در آن τ پارامتر پیچ خوردگی است، $\langle L_g \rangle$ طول مسیر متوسط و L_s مسیر خط مستقیم در طول محیط است. در تحقیقی که توسط چن و همکاران انجام شد [۲۰]، سه نوع الکتروود با پیچ خوردگی متفاوت با استفاده از نانوصفحات اکسید گرافن ایجاد شد و میزان تجمع ترجیحی لیتیوم در سطح بالای ساختار الکتروود مورد بررسی قرار گرفت. مطابق نتایج این تحقیق با افزایش پیچش در داربست های رسانا میزان بالانشینی ترجیحی لیتیوم که یک پدیده مضر است افزایش می یافت.

ما در این مطالعه در ابتدا سه نوع داربست از جنس نانو فیبرهای کربنی با پیچ خوردگی متفاوت را در نرم افزار شبیه سازی کامسول^۷ ایجاد کرده و اثر پارامتر پیچ خوردگی بر توزیع میدان های الکتریکی، فلاکس یونی لیتیوم و یکنواختی نشست لیتیوم در این داربست ها را مورد بررسی قرار دادیم.

با حل معادله لاپلاس (رابطه ۲) و در نظر گرفتن شرایط مرزی دیریکله^۸ برای هر سه داربست متخلخل شامل نانو فیبرهای کربنی کاملاً الاین، نیمه الاین و درهم تنیده (غیر الاین) ابتدا شار لاپلاسی^۹ محاسبه شد. شکل (۱) هندسه هر سه داربست را در حالت بدون شار و همراه با شار نشان می دهد. به وضوح قابل مشاهده است که با تغییر مورفولوژی از داربست کاملاً الاین به نیمه الاین و درهم تنیده، پیچیدگی مسیر عبور یون ها افزایش یافته و به تبع آن سطح پیچ خوردگی نیز افزایش می یابد. برای انجام این شبیه سازی و محاسبه شار لاپلاسی^{۱۰} از فیزیک مربوط به معادلات ریاضی^{۱۱}، زیر شاخه معادلات لاپلاس^{۱۱} استفاده شده است.

رابطه ۲ معادله لاپلاس را نشان می دهد که برای هر سه ساختار متخلخل حل شد تا پارامتر شار موثر یا به عبارتی F_{eff} به دست آید. با انتگرال گیری از شار بر روی جمع کننده جریان و با استفاده از رابطه ۳، مقدار شار موثر (F_{eff}) برای هر سه داربست استخراج شد. از آنجایی که پارامتر شار موثر مطابق با رابطه ۴ برابر است با تخلخل (ε) تقسیم بر پیچ خوردگی (τ) و با توجه به اینکه

افزودنی های رسانا همگی به صورت دوغاب^۱ در می آیند و با آرایش تصادفی و فشرده روی جمع کننده جریان^۲ پوشانده می شوند که مسیری پرپیچ و خم و با پیچ خوردگی^۳ بالا برای یون ها و الکترون ها ایجاد می کند. کاهش سرعت یون ها و الکترون ها و افزایش طول دیفیوژن^۴ آنها در ساختار الکتروود، چگالی توان الکتروود را بدتر می کند [۱۴]. یکی از راه حل های موثر برای غلبه بر این مشکلات، استفاده از داربست های سه بعدی در ساختار الکتروود است که می توانند رسانا [۱۵]، [۱۶] و یا غیر رسانا [۱۷] باشند. به طور کلی در داربست های سه بعدی به دلیل وجود تخلخل^۵، یک ساختار شبکه ای سه بعدی پر از الکتروولیت و به صورت به هم پیوسته تشکیل می شود که منجر به انتقال سریع یون ها و افزایش نفوذ آنها می شود. در این صورت الکترون ها نیز مسیر کوتاهتر و با مقاومت کمتری از محل واکنش تا جمع کننده جریان خواهند داشت. علاوه بر این، یکپارچگی داربست و عدم وجود مواد افزودنی رسانا و بایندهای پلیمری باعث بهبود طول عمر الکتروود می شود. در سمت آند، توزیع غیر یکنواخت میدان الکتریکی در داخل الکتروود باعث رشد ناخواسته دندریت های لیتیومی می شود و استفاده از داربست های رسانا می تواند باعث توزیع یکنواخت تر میدان الکتریکی در داخل الکتروود و کاهش رشد دندریت های لیتیوم شود. برای اینکه بتوانیم به الکتروودهای با کارایی بالا دست یابیم، درک پارامترهای مؤثر بر کارایی الکتروود مهم است [۱۵]. یکی از مهمترین پارامترهایی که بر عملکرد الکتروودها تأثیر می گذارد، میزان پیچ خوردگی است که پیچیدگی مسیر یون و انتقال جرم در ساختارهای متخلخل را نشان می دهد. هر چه پیچ خوردگی مسیر بیشتر باشد، میزان پیچ و خم آن بالاتر خواهد بود. در نتیجه، به نظر می رسد که معماری ریزساختارها و مورفولوژی نانو ساختارهای الکتروود تأثیر زیادی بر این پارامتر داشته باشد.

۲- محاسبه پارامتر پیچش در داربست های رسانا

به طور کلی وقتی یک فاز جامد در محیط متخلخل وجود دارد، مسیر جریان را از حالت مستقیم منحرف می کند [۱۸]. پیچ خوردگی هندسی^۶ به عنوان نسبت بین متوسط طول مسیرهای هندسی به فاصله خط مستقیم بین این مسیرها تعریف می شود [۱۹] (رابطه ۱).

^۷ COMSOL

^۸ Dirichlet boundary condition

^۹ Laplacian flux

^{۱۰} Mathematics

^{۱۱} Laplace's equation

^۱ Slurry

^۲ Current collector

^۳ Tortuosity

^۴ diffusion length

^۵ Porosity

^۶ Geometric tortuosity

میزان تخلخل برای هر سه داربست مشخص است می‌توان برای هر سه داربست، میزان پارامتر پیچ خوردگی را نیز محاسبه نمود.

شار لایلا سین محاسبه شده در قسمت (د) برای داربست کاملاً الاین، (ه) نیمه الاین و (و) درهم تنیده نشان داده شده است.

$$-\nabla \cdot \nabla(u) = 0 \quad \text{رابطه (۲)}$$

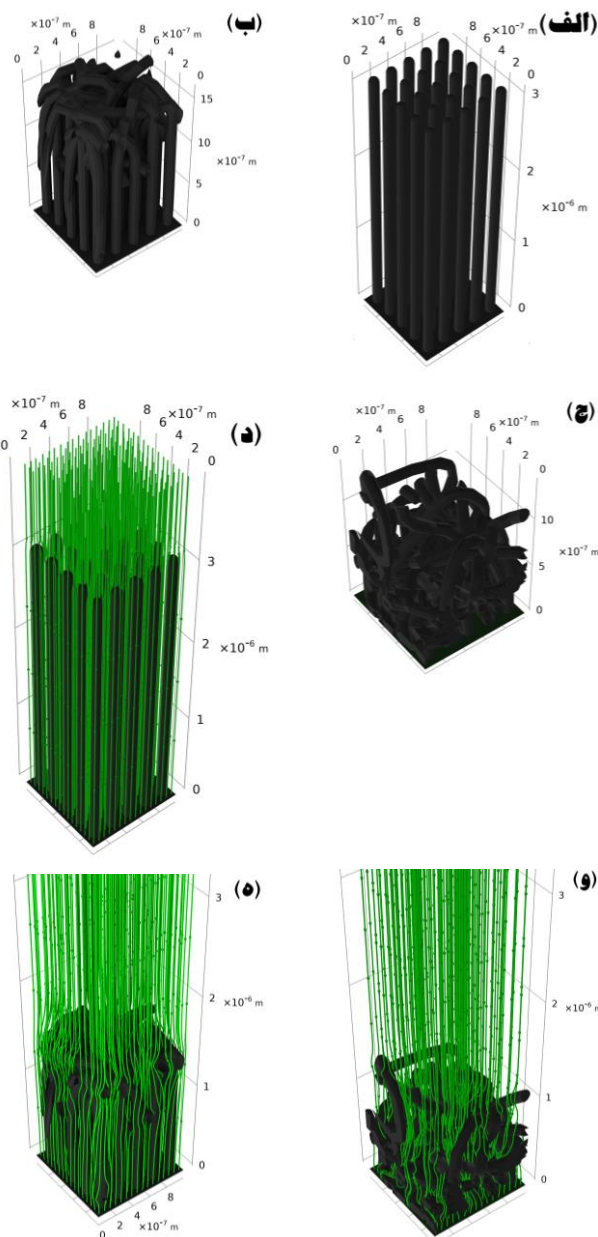
$$F_{eff} = L_{elec} \oint_A -\nabla u \cdot n \, dA \quad \text{رابطه (۳)}$$

$$F_{eff} = \frac{\varepsilon}{\tau} \quad \text{رابطه (۴)}$$

مقدار پارامتر پیچ خوردگی برای داربست کاملاً الاین برابر $\tau = 1/0.1$ محاسبه شد که نشان‌دهنده یک مسیر تقریباً بدون مانع برای رسیدن یون‌ها به عمق الکتروود و سایت‌های فعال واکنش است. برای داربست نیمه الاین، مقدار پیچ خوردگی $1/11$ محاسبه شد که نسبت به داربست کاملاً الاین افزایش یافته است و نشان‌دهنده افزایش پیچیدگی مسیر عبور یون‌ها می‌باشد. برای داربست درهم تنیده نیز، مقدار پیچ خوردگی $1/47$ محاسبه شد. همانطور که انتظار می‌رفت بیشترین مقدار پیچ خوردگی برای داربست درهم تنیده است. پارامتر پیچ خوردگی محاسبه شده به شدت به مورفولوژی سازه‌ها وابسته است. نتایج شبیه‌سازی ساختار سازه‌ها و محاسبه میزان پیچ خوردگی در آنها نشان می‌دهد که با تغییر ساختار از داربست کاملاً الاین به نیمه الاین و درهم تنیده پارامتر پیچ خوردگی در آنها افزایش می‌یابد.

۳- مدل سازی باتری نیم سلول

برای هر سه داربست، مدل‌سازی نیم سلول انجام شد که در آن نانو فیبرهای کربنی در پایین به عنوان میزبان لیتیوم (کاتد) و فویل فلزی لیتیوم به عنوان آند در بالای سلول قرار گرفتند. برای الکترولیت از محلول یک مولار نمک LiPF_6 در حلال آلی حاوی اتیلن کربنات (EC) و دی متیل کربنات (DMC) با نسبت حجمی یک به یک (۱:۱ v/v) استفاده شد. برای جلوگیری از اتصال کوتاه الکترودهای کاتد (CNFs) و آند (ورق لیتیوم)، از یک جداکننده استفاده شد. محلول الکترولیت اعمال شده برای شبیه‌سازی، یکی از الکترولیت‌های بسیار رایج و مورد استفاده در شرایط تجربی و عملی برای باتری‌های لیتیوم یون است. برای انجام این شبیه‌سازی از فیزیک باتری‌های لیتیوم یون^۱ به همراه فیزیک انتقال گونه‌های رقیق شده^۲ به صورت کوپل شده استفاده شد. تصاویر مش بندی صورت گرفته برای انجام این شبیه



شکل (۱): (الف) ساختار داربست‌های کاملاً الاین، (ب) نیمه الاین و (ج) درهم تنیده را نشان می‌دهد. با حل معادله لاپلاس برای این ساختارها،

^۲ Transport of Diluted Species

^۱ Lithium-Ion Battery

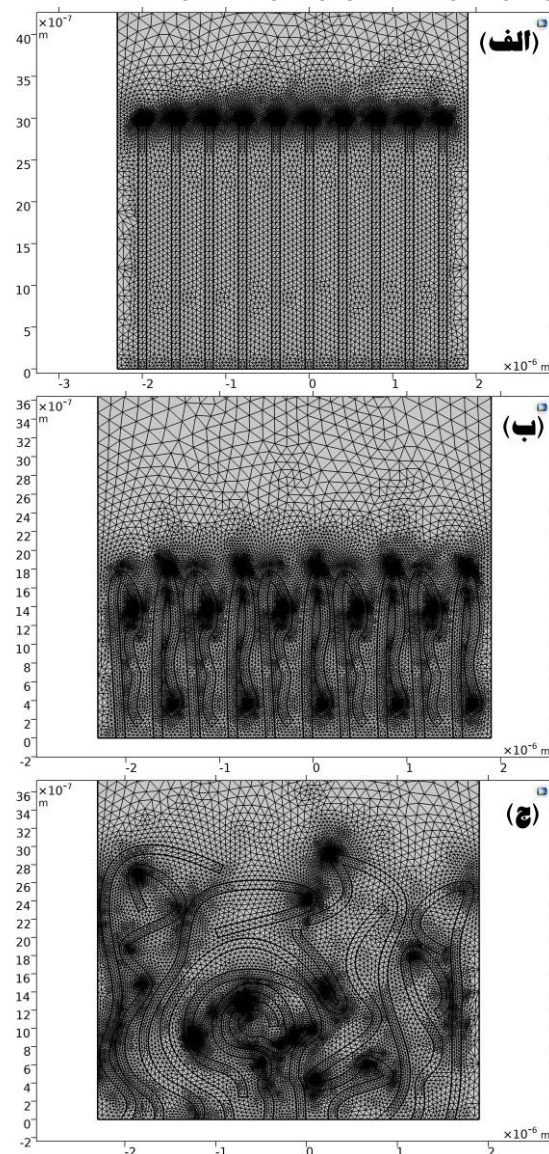
(۳) و (۴) برای این سه الکتروود نشان داده شده است. نوار مقیاس سمت راست غلظت یون های لیتیوم در داخل نانو فیبر ها را بر حسب مول بر لیتر بعد از گذشت ۰/۳ ساعت از دشارژ (پایان دشارژ) نشان می دهد و خطوط پیکان دار شار یون های لیتیوم را در داخل سلول و پس از گذشت ۰/۳ ساعت از شروع دشارژ نشان می دهد.

شکل (۴) بزرگنمایی بیشتری از سلول را جهت جهت فهم بهتر و دقیق تر از شماتیک داربست های درون نیم سلول، ارائه می دهد. شکل (۴-الف) الکتروود کاملاً الاین را نشان می دهد که در آن شار یون های لیتیوم نانوفیبرها را از بالا به عمق پوشانده است. اگرچه این شار در سطوح بالایی بیشتر و در سطوح پایینی کمتر است، اما غلظت یون های لیتیوم در داخل نانو فیبرها تقریباً یکنواخت است که به دلیل پیچ خوردگی کم ساختار و نفوذ زیاد یون های لیتیوم در داخل آن است. با توجه به نوار مقیاس یکسان در نظر گرفته شده برای هر سه الکتروود که در سمت راست هر شکل وجود دارد رنگ نانو فیبر ها نشان دهنده میزان غلظت لیتیوم در داخل نانو فیبر ها است.

شکل (۴-ب) الکتروود نیمه الاین را نشان می دهد که در آن نفوذ یون های لیتیوم به عمق سازه به دلیل افزایش پیچ خوردگی در مقایسه با ساختار کاملاً الاین کاهش یافته و نشست لیتیوم داخل ساختار با توجه به رنگ نانو فیبرها مقداری غیریکنواخت تر شده است. شکل (۴-ج)، الکتروود درهم تنیده را نشان می دهد که این الکتروود دارای بیشترین میزان پیچ خوردگی در میان الکتروودهای مورد مطالعه ما در این تحقیق است. در این الکتروود نفوذ یون های لیتیوم به عمق سازه با پیچیدگی و دشواری زیادی همراه بوده است که این پدیده باعث بوجود آمدن غیریکنواختی زیادی در نشست لیتیوم درون نانوفیبرها شده است. از آنجایی که افزایش پیچ خوردگی سازه باعث کاهش دسترسی یون های لیتیوم به عمق الکتروود شده است، نشست لیتیوم در بالای سازه بیشتر از عمق الکتروود بوده است و لیتیوم به صورت ترجیحی در سطوح بالایی داربست ها تجمع یافته است. که این مهم با توجه به تغییر رنگ نانو فیبر ها کاملاً مشهود است.

با در نظر گرفتن ضرایب انتشار یون های Li^+ و PF_6^- در الکتروولیت و نانوفیبرها، خیلی مفید است بتوانیم زمان لازم برای انتشار درون آنها را تخمین بزنیم. از منظر تحقیقی، این امر به ما کمک می کند تا درک بهتری داشته باشیم که طی کردن طول و یا قطر نانوفیبرها با استفاده از مکانیزم انتشار^۱ چقدر طول می کشد. در محلول ها، املاح در حال انتشار به سمت کم شدن

سازی برای هر سه ساختار در شکل (۲) نشان داده شده است.



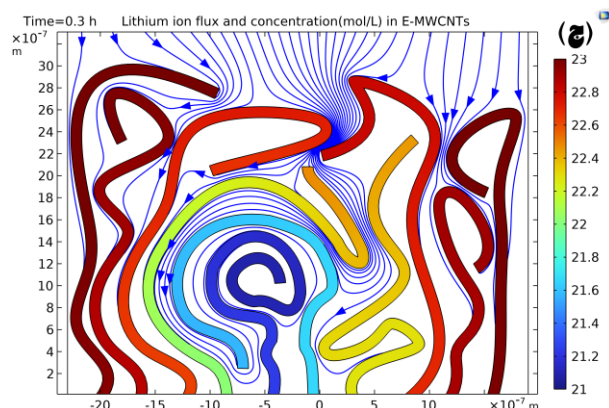
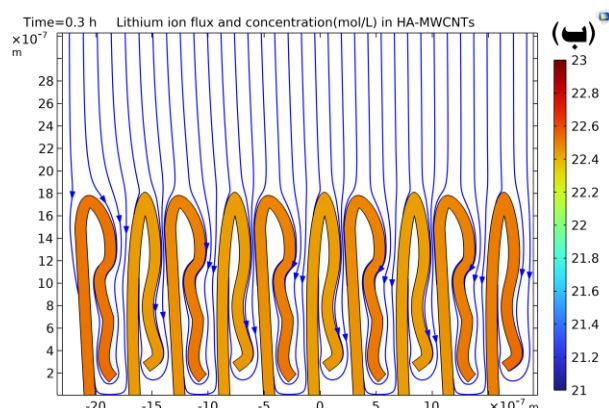
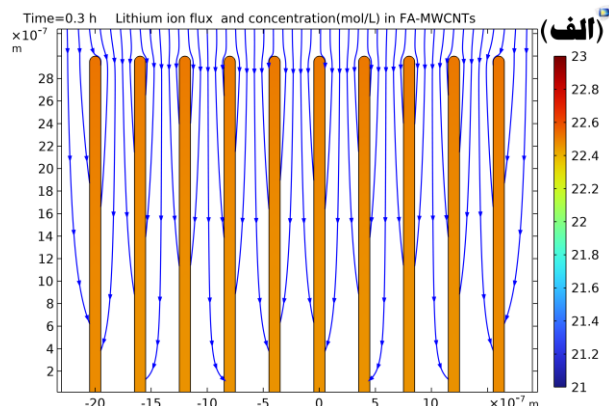
شکل (۲): تصاویر مش بندی صورت گرفته برای شبیه سازی نیم سلول لیتیومی به صورت دوبعدی برای هر سه ساختار شامل الف) نانوفیبرهای کاملاً الاین، ب) نانوفیبرهای نیمه الاین و ج) نانوفیبرهای درهم تنیده را نشان می دهد.

شماتیک کامل سلول نیز در شکل (۳) ارائه شده است. یک نیم سیکل دشارژ کامل با نرخ جریان $3C$ برای هر سه الکتروود از جمله الکتروودهای کاملاً الاین، نیمه الاین و درهم تنیده شبیه سازی شد و نتایج این مدل سازی در شکل های

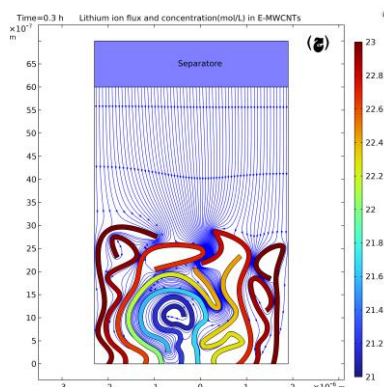
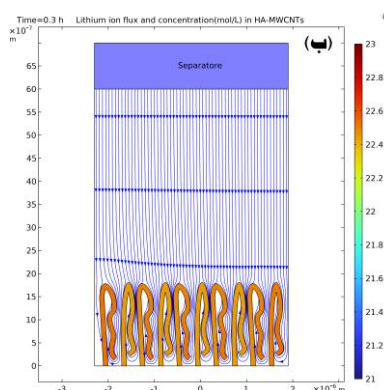
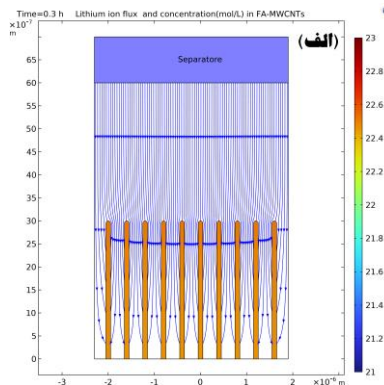
^۱ Diffusion

داده شده است که این غلظت بر حسب مول بر لیتر است. خطوط آبی رنگ پیکان دار موجود در هر شکل جریان یون های لیتیوم از سمت فویل لیتیوم به سمت داربست ها را نشان می دهد.

گرا دیان غلظت، از ناحیه ای با غلظت بالاتر به ناحیه ای با غلظت پایین تر حرکت می کنند.



شکل (۴): شماتیک داربست های ساخته شده از : (الف) نانوفیبرهای کاملاً الاین (ب) نانوفیبرهای نیمه الاین و (ج) نانوفیبرهای درهم تنیده را در درون نیم سلول لیتیومی با بزرگنمایی بیشتر نشان می دهد. این شبیه سازی



شکل (۳): شماتیک کامل نیم سلول به همراه فلاکس یون های لیتیوم را برای هر سه ساختار (الف) کاملاً الاین (ب) نیمه الاین و (ج) درهم تنیده نشان می دهد که در بالای سلول جداکننده و فویل لیتیوم وجود دارند و در پایین سلول الکترولیت و داربست های نانو فیبری با پیچ خوردگی متفاوت وجود دارند. غلظت یون های لیتیوم بعد از گذشت ۰/۳ ساعت از شروع نیم سیکل دشارژ در داخل نانو فیبر ها در نوار مقیاس سمت راست هر نیم سلول نشان

۴- نتیجه گیری

بررسی پارامترهای تاثیر گذار در طراحی و ساخت الکترودهای نانوساختار از اهمیت بسیار ویژه ای برخوردار است. در این تحقیق برای اولین بار از طریق شبیه سازی سه بعدی، و حل معادله لاپلاس میزان پارامتر پیچش برای سه نوع ساختار از نانوفیبرهای کربنی مورد محاسبه قرار گرفت. بر این اساس میزان پیچش برای هر سه ساختار شامل کاملاً الاین، نیمه الاین و درهم تنیده به ترتیب برابر ۱/۰۱، ۱/۱۱، و ۱/۴۱ و محاسبه گردید. این نتایج نشان دهنده افزایش پیچش ساختاری از ساختار کاملاً الاین تا ساختار در هم تنیده است.

سپس با مدل سازی دو بعدی نیم سلول لیتیومی برای این داربست ها از این ساختارهای متشکل از نانوفیبرهای کربنی به عنوان الکترود در باتری لیتیومی استفاده شد. نتایج این مدل سازی نشان داد با افزایش پیچش ساختاری، ناهمگونی نشست لیتیوم در درون نانوفیبرهای کربنی افزایش می یابد و ترجیح لیتیوم بر نشست در قسمت های بالایی نانوفیبرهای کربنی است. که خطر تشکیل دندریت های فلزی در آن قسمت ها را افزایش می دهد. به عبارتی لیتیوم به جای ورود به ساختار نانوفیبرها در بالای آن می نشیند که این امر باعث از دست رفتن لیتیوم فعال در چرخه، تشکیل دندریت های فلزی و خطر پاره شدن جداکننده خواهد شد، که همه این موارد باعث کاهش طول عمر باتری خواهد گردید. بنابراین می توان نتیجه گرفت هر چه میزان پیچش ساختاری افزایش یابد بالانشینی لیتیوم افزایش یافته و طول عمر قابل انتظار کمتر خواهد بود. در میان ساختارهای مدل سازی شده در این تحقیق انتظار داریم ساختار درهم تنیده کمترین طول عمر و ساختار کاملاً الاین بیشترین طول عمر را داشته باشد.

مراجع

- [1] C. Yang et al., "Roll-to-roll prelithiation of lithium-ion battery anodes by transfer printing," Nat. Energy, vol. 8, no. 7, pp. 703–713, 2023, doi: 10.1038/s41560-023-01272-1.
- [2] J. Bae et al., "A 3D Nanostructured Hydrogel-Framework-Derived High-Performance Composite Polymer Lithium-Ion Electrolyte," Angew. Chemie Int. Ed., vol. 57, no. 8, pp. 2096–2100, Feb. 2018, doi: 10.1002/ANIE.201710841.
- [3] J. An, H. Zhang, L. Qi, G. Li, and Y. Li, "Self-Expanding Ion-Transport Channels on Anodes for Fast-Charging Lithium-Ion Batteries," Angew. Chemie Int. Ed., vol. 61, no. 7, p. e202113313, Feb. 2022, doi: 10.1002/ANIE.202113313.

وابسته به زمان است و نمودارهای این شکل مربوط به انتهای سیکل دشارژ و بعد از گذشت ۰/۳ ساعت از شروع آن هستند. رنگ نانوفیبرها غلظت لیتیوم نشسته شده در داخل شان را نشان می دهد. خطوط فلش دار آبی رنگ نیز مسیر عبور یون های لیتیوم در ساختار را نشان می دهند.

از یک رابطه ساده که به معادله تقریب انیشتین معروف است (رابطه ۴) برای تقریب مدت زمان لازم برای انتشار یک مولکول معین در یک فاصله متوسط و در یک بعد استفاده می شود.

$$t = \frac{x^2}{2D} \quad \text{رابطه (۵)}$$

در این رابطه (t) زمان انتشار، (x) فاصله انتشار، و (D) ضریب انتشار هستند. زمان انتشار با مجذور فاصله انتشار افزایش می یابد. ضریب انتشار برای هر یون منحصر به فرد است و باید به صورت تجربی تعیین گردد. با توجه به دمای در نظر گرفته شده برای شبیه سازی (۲۹۸ K) و جنس نانوفیبرها، ضریب انتشار لیتیوم درون نانوفیبرها در شبیه سازی برابر $D = 2/58 \times 10^{-14} \text{ m}^2/\text{s}$ فرض شد. که مدل مورد استفاده برای ضریب انتشار وابسته به دما، همان مدل مورد استفاده در ماده گرافیت بود که در کامسول وجود دارد. این مدل بر مبنای تحقیق انجام گرفته توسط گروه پرفسور وایت [۲۱] از دانشگاه کارولینای جنوبی بوده است.

در این شبیه سازی قطر نانو فیبر ها ۱۰۰ نانومتر و طول آنها ۳ میکرومتر در نظر گرفته شده است. نانو فیبر ها از اطراف با الکترولیت احاطه شده اند و یون های لیتیوم از اطراف به درون آنها وارد می شوند. به عبارتی نفوذ یون های لیتیوم به درون نانو فیبر ها از هر دو طرف می باشد.

فاصله انتشار برای نفوذ در قطر نانوفیبرها، برابر ۵۰ نانومتر است. با استفاده از رابطه (۴) زمان تقریبی انتشار در قطر و طول نانوفیبرها به ترتیب ۴۸ میلی ثانیه و ۱۷۴ ثانیه محاسبه می گردد. دلیل یکسان بودن تقریبی غلظت لیتیوم در قطر نانو فیبر ها زمان انتشار پایین آنها در قطر بوده است (۴۸ میلی ثانیه). با توجه به زمان دشارژ ۲۰ دقیقه ای و گام های زمانی بالا در شبیه سازی وابسته به زمان، همگونی لیتیوم در قطر نانو فیبرها کاملاً مورد انتظار بوده است. اما از آنجایی که زمان انتشار در طول نانوفیبرها حدود ۱۷۴ ثانیه بوده است، مقدار کمی ناهمگونی غلظت در طول نانوفیبرها وجود دارد که مورد انتظار است. این نتایج نشان دهنده صحیح بودن شبیه سازی صورت گرفته برای نیم سلول لیتیومی بوده است.

- from interdigitated three-dimensional bicontinuous nanoporous electrodes,” *Nat. Commun.*, vol. 4, pp. 1–5, 2013, doi: 10.1038/ncomms2747.
- [16] P. Sun, X. Li, J. Shao, and P. V. Braun, “High-Performance Packaged 3D Lithium-Ion Microbatteries Fabricated Using Imprint Lithography,” *Adv. Mater.*, vol. 33, no. 1, pp. 1–7, 2021, doi: 10.1002/adma.202006229.
- [17] C. Wang, M. Liu, M. Thijs, F. G. B. Ooms, S. Ganapathy, and M. Wagemaker, “High dielectric barium titanate porous scaffold for efficient Li metal cycling in anode-free cells,” *Nat. Commun.*, vol. 12, no. 1, pp. 1–11, 2021, doi: 10.1038/s41467-021-26859-8.
- [18] J. Fu, H. R. Thomas, and C. Li, “Tortuosity of porous media: Image analysis and physical simulation,” *Earth-Science Rev.*, vol. 212, p. 103439, 2021, doi: 10.1016/j.earscirev.2020.103439.
- [19] B. Ghanbarian, A. G. Hunt, R. P. Ewing, and M. Sahimi, “Tortuosity in Porous Media: A Critical Review,” *Soil Sci. Soc. Am. J.*, vol. 77, no. 5, pp. 1461–1477, 2013, doi: 10.2136/sssaj2012.0435.
- [20] H. Chen et al., “Tortuosity Effects in Lithium-Metal Host Anodes,” *Joule*, vol. 4, no. 4, pp. 938–952, 2020, doi: 10.1016/j.joule.2020.03.008.
- [21] K. Kumaresan, G. Sikha, and R. E. White, “Thermal Model for a Li-Ion Cell,” *J. Electrochem. Soc.*, vol. 155, no. 2, p. A164, 2008, doi: 10.1149/1.2817888.
- [4] Z. Dai, Z. Li, R. Chen, F. Wu, and L. Li, “Defective oxygen inert phase stabilized high-voltage nickel-rich cathode for high-energy lithium-ion batteries,” *Nat. Commun.*, vol. 14, no. 1, p. 8087, Dec. 2023, doi: 10.1038/s41467-023-43792-0.
- [5] S. Huang et al., “Interfacial friction enabling $\leq 20 \mu\text{m}$ thin free-standing lithium strips for lithium metal batteries,” *Nat. Commun.*, vol. 14, no. 1, pp. 1–11, 2023, doi: 10.1038/s41467-023-41514-0.
- [6] H.-H. Ryu, H.-W. Lim, S. G. Lee, and Y.-K. Sun, “Near-surface reconstruction in Ni-rich layered cathodes for high-performance lithium-ion batteries,” *Nat. Energy*, vol. 9, pp. 47–56, 2023.
- [7] A. Gohier et al., “High-rate capability silicon decorated vertically aligned carbon nanotubes for li-ion batteries,” *Adv. Mater.*, vol. 24, no. 19, pp. 2592–2597, 2012, doi: 10.1002/adma.201104923.
- [8] H. Lin et al., “Twisted aligned carbon nanotube/silicon composite fiber anode for flexible wire-shaped lithium-ion battery,” *Adv. Mater.*, vol. 26, no. 8, pp. 1217–1222, 2014, doi: 10.1002/adma.201304319.
- [9] J. Shi et al., “Application of magnetron sputtering to deposit a multicomponent separator with polysulfide chemisorption and electrode stabilization for high-performance lithium-sulfur batteries,” *Surf. Coatings Technol.*, vol. 405, p. 126580, Jan. 2021, doi: 10.1016/J.SURFCOAT.2020.126580.
- [10] S. Qin et al., “Polymer dispersed ionic liquid electrolytes with high ionic conductivity for ultrastable solid-state lithium batteries,” *Carbon Energy*, vol. 5, no. 5, pp. 1–12, 2023, doi: 10.1002/cey2.316.
- [11] C. Chen, J. Zhang, B. Hu, Q. Liang, and X. Xiong, “Dynamic gel as artificial interphase layer for ultrahigh-rate and large-capacity lithium metal anode,” *Nat. Commun.*, vol. 14, no. 1, 2023, doi: 10.1038/s41467-023-39636-6.
- [12] J. Wagner-Henke, D. Kuai, M. Gerasimov, F. Röder, P. B. Balbuena, and U. Krewer, “Knowledge-driven design of solid-electrolyte interphases on lithium metal via multiscale modelling,” *Nat. Commun.*, vol. 14, no. 1, 2023, doi: 10.1038/s41467-023-42212-7.
- [13] R. Zhang et al., “Coralloid Carbon Fiber-Based Composite Lithium Anode for Robust Lithium Metal Batteries,” *Joule*, vol. 2, no. 4, pp. 764–777, 2018, doi: 10.1016/j.joule.2018.02.001.
- [14] M. Sha, H. Zhao, and Y. Lei, “Updated Insights into 3D Architecture Electrodes for Micropower Sources,” *Adv. Mater.*, vol. 33, no. 45, p. 2103304, 2021, doi: 10.1002/adma.202103304.
- [15] J. H. Pikul, H. Gang Zhang, J. Cho, P. V. Braun, and W. P. King, “High-power lithium ion microbatteries



Providing a new multi-path algorithm for reducing spectrum fragmentation in Elastic Optical Networks

Yaghoub Khorasani^{1*}, Ebrahim Chegini²

1. Department of Communication Engineering, Tabriz University of Technology, Tabriz, Iran

2. Department of Electronics, K. N. Toosi, Tehran, Iran

Key words:

*Elastic Optical Network
Fragmentation
Bandwidth
Energy Consumption*

Abstract

Elastic optical networks (EON) are a suitable and promising platform to address the growing global traffic demand, and many researchers have conducted extensive studies to improve parameters such as energy consumption and crosstalk in these networks. One of the key challenges in flexible optical networks is spectrum fragmentation. To address this challenge, two general approaches have been proposed: reactive and proactive. Multi-path routing is one of the strategies under the reactive approach. In this strategy, the requested spectrum of each demand is divided into smaller segments, and each segment is transmitted to the destination via an independent path. While spectrum fragmentation in such algorithms is significantly reduced, some existing algorithms fail to utilize the available bandwidth optimally due to inefficient spectrum partitioning. This leads to reduced bandwidth efficiency. This paper proposes a novel multi-path algorithm that fully utilizes the available bandwidth. Simulation results demonstrate that the proposed algorithm not only reduces the blocking probability of incoming requests but also significantly improves bandwidth efficiency compared to similar approaches.

*Corresponding author's E-mail: Yaghoubkhorasani@gmail.com



ارائه الگوریتم چند مسیره جدید برای کاهش پراکندگی طیف در شبکه های نوری منعطف

یعقوب خراسانی^{۱*}، ابراهیم چگینی^۲

۱. دکتری برق مخابرات، دانشگاه صنعتی تبریز (سهند)، y_khorasani99@sut.ac.ir

۲. دکتری برق الکترونیک، دانشگاه خواجه نصیرالدین طوسی، echgini@kntu.ac.ir

چکیده

واژگان کلیدی

شبکه های نوری منعطف، بستر مناسب و امیدبخشی برای پاسخ به ترافیک در حال رشد جامعه جهانی است. محققان زیادی برای بهبود پارامترهای شبکه های نوری منعطف مانند مصرف انرژی، همسویی و .. تحقیقات زیادی انجام داده اند. یکی از چالشهای موجود در شبکه های نوری منعطف تکه تکه شدن طیف است. برای مقابله با این چالش، دو راهکار کلی واکنشی و فعال مطرح شده است. راهکارهای چند مسیره، یکی از راهکارهای زیرمجموعه راهکارهای واکنشی است که نتایج رضایت بخشی از خود نشان داده است. در این راهکار، مقدار طیف درخواستی هر تقاضا، به چندین طیف کوچکتر شکسته می شود و هر طیف کوچک توسط یک مسیر مستقل به مقصد ارسال می شود. مقدار تکه تکه شدن طیف در این گونه الگوریتم ها، بسیار کم است اما برخی از الگوریتم های موجود به علت تقسیم غیر بهینه طیف، از پهنای باند موجود، استفاده بهینه نمی کنند که این موضوع باعث کاهش کارایی پهنای باند می شود. در این مقاله راهکاری جدیدی از نوع چند مسیره ارائه می گردد که از پهنای باند به صورت کامل استفاده می کند. نتایج شبیه سازی نشان می دهد که نه تنها احتمال مسدودی درخواست های ورودی در الگوریتم پیشنهادی کاهش یافته است بلکه کارایی پهنای باند نیز نسبت به راهکارهای مشابه به مقدار قابل توجهی بهبود پیدا می کند.

شبکه های نوری منعطف
تکه تکه شدن طیف
پهنای باند
مصرف انرژی

۱- مقدمه

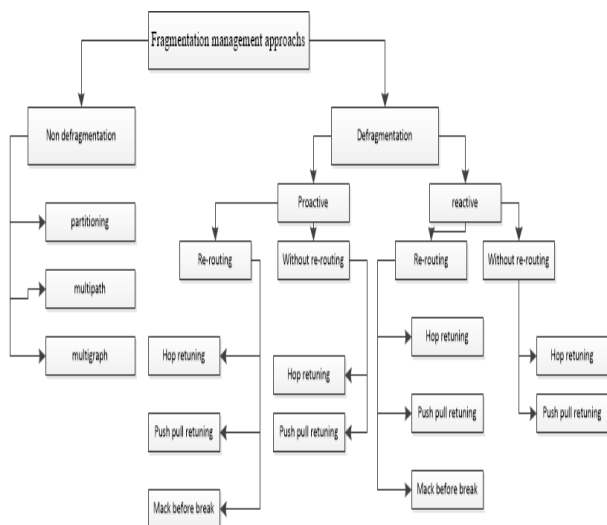
می شود که در سال های آینده نیز رشد درخواست های اینترنتی با همین شیب ادامه دار خواهد بود.

دلایل زیادی را می توان برای این رشد سریع درخواست های اینترنتی شمرد، اما از مهم ترین این عوامل می توان به گسترش اینترنت اشیاء، محاسبات ابری و رسانه های تعاملی و همچنین رسانه های تعاملی اشاره کرد. مسلماً با افزایش و گسترش عوامل فوق، درخواست های اینترنتی در سال های آینده با

امروزه نیازهای بشر با سرعت زیادی در حال تغییر است. نیاز به تبادل اطلاعات یکی از مواردی است که سرعت رشد آن در سال های اخیر، با شتاب چشمگیری افزایش یافته، به طوری که از سال ۲۰۱۲ تاکنون، رشد درخواست های اینترنتی در هر سال، دو برابر سال قبل شده است و پیش بینی

یکی از موضوعات مهمی که باعث هدر رفت منابع و افزایش مقدار مسدودی (Blocking Rate) در شبکه های نوری منعطف می گردد، پدیده تکه تکه شدن طیف است [۳]. در EON به علت تخصیص پویا طیف و رعایت کردن محدودیت های پیوستگی و مجاورت پدیده تکه تکه در طیف رخ می دهد که در صورت عدم مدیریت، باعث هدر رفت منابع و کاهش بهره وری از طیف می شود [۴].

در شکل ۱ راهکارهای احتیاطی مقابله با تکه تکه شدن طیف به صورت زیر دسته بندی شده است [۵]. توجه داشته باشید که رویکردهای بدون یکپارچه سازی، و یکپارچه سازی متقابل نیستند. می توان طرحی را با در نظر گرفتن هر دو رویکرد بدون یکپارچه سازی و یکپارچه سازی ایجاد کرد. در رویکردهای بدون یکپارچه سازی، اقدامات احتیاطی لازم، برای جلوگیری از تکه تکه شدن قبل از ایجاد مسیر نوری انجام می شود [۶].



شکل (۱): راهکارهای مقابله با تکه تکه شدن طیف در شبکه های نوری منعطف [۵]

• راهکارهای بدون یکپارچه سازی

در رویکردهای بدون یکپارچه سازی [۷-۹]، قبل از تخصیص طیف به هر ارتباط، اقداماتی انجام می شود تا از تکه تکه شدن طیف جلوگیری شود. رویکردهای بدون یکپارچه سازی [۱۰-۱۲]، مورد توجه محققان قرار گرفته

رشد سریع تری نسبت به سال های گذشته روبه رو خواهد شد که باید از هم- اکنون بستر لازم را برای پاسخ به درخواست های آینده فراهم نمود.

کابل مسی یکی از قدیمی ترین بسترهای انتقال اطلاعات است که هنوز در برخی از موارد از آن استفاده می شود. کابل های مسی دارای پهنای باند کمی هستند، به همین علت در مواقعی که حجم اطلاعات زیاد است استفاده از کابل های مسی پیشنهاد نمی گردد. یکی دیگر از کانال های مهم ارتباطی، کانال ارتباطی بی سیم است. امکان انتقال اطلاعات به صورت بی سیم باعث فراهم شدن پویایی در ارتباط و فراهم کردن بستر موبایل در ارتباطات شده است. استفاده از تلفن همراه، بی سیم، پیجر و غیره، از جمله امکاناتی هستند که به خاطر استفاده از این کانال خلق شده است. کانال ارتباطی بی سیم دارای استانداردهای متفاوتی هست که هر کدام در باند فرکانسی مشخصی کارایی دارد. از مزایای شبکه های بی سیم می توان به گسترش محدوده ارتباط نسبت به شبکه های باسیم، هزینه کم و کارایی بیشتر نسبت به شبکه های سیمی اشاره کرد. اما در کنار این مزایا امنیت ارتباط، موضوع بسیار مهمی است که در این گونه از کانال ها مورد بحث است.

در سال های اخیر با ظهور شبکه های نوری منعطف (EON) و گسترش آن، انعطاف زیادی از نظر حیطه ی زمانی و مکانی و همچنین نوع مدولاسیون و اندازه پهنای باند تخصیصی به هر تقاضا به صورت کاملاً پویا فراهم شده است. انعطاف در فرکانس و امکان استفاده از مدولاسیون های مختلف و سطوح مختلف از آن ها، باعث انعطاف در پهنای باند و بهینه کردن استفاده از منابع طیف است [۱].

یکی از تفاوت های شبکه های نوری منعطف با شبکه های نوری نسل قبل (WDM^{۳۱})، ثابت نبودن تقسیم بندی طیفی است. در شبکه های WDM تقسیم بندی طیفی ثابت و برای هر کانال ۵۰ گیگاهرتز در نظر گرفته شده است. ثابت بودن اندازه طیفی هر کانال دو مشکل اساسی را به دنبال دارد. اول اینکه در مواردی که انتقال اطلاعات به پهنای باند بیشتر از ۵۰ گیگاهرتز نیاز دارد، این شبکه قادر به پاسخ نیست و دوم اینکه در مواقعی که انتقال اطلاعات به پهنای باند کم نیاز داشت، این شبکه هدر رفت پهنای باند دارد [۲].

^{۳۱} Wavelength Division Multiplexing

مطرح شده در مرجع های [۱۴] و [۱۳] علی رغم کاهش احتمال مسدودی درخواست های ورودی به علت استفاده نکردن بهینه از پهنای باند، بهره وری کمی دارند از این رو در این مقاله الگوریتمی معرفی می گردد که نه تنها احتمال مسدودی درخواست های ورودی را نسبت به الگوریتم های [۱۴] و [۱۳] کاهش میدهد بلکه بهره وری حداکثری پهنای باند را به دنبال دارد.

در الگوریتم های چند مسیره بر اساس روش مشخصی اسلات های هر هسته بلوک بندی می شوند. پس از ورود درخواست جدید، مقدار اسلات درخواستی مد نظر قرار می گیرد و این مقدار به ۲ یا چند درخواست کوچکتر شکسته می شود. جهت توضیح شفاف تر مثال ۱ را در نظر بگیرید.

مثال ۱: فرض کنید در یک شبکه EON تعداد هسته ها برابر ۳ و تعداد اسلات های هر هسته ۳۰۰ باشد. در این شبکه بر اساس الگوریتم چند مسیره، اسلات های هسته اول به بلوک های ۱۰۰ تایی، هسته دوم به بلوک های ۵۰ تایی و هسته سوم به بلوک ۱، بلوک بندی شوند (هسته ای با بلوک ۱ مورد نیاز است). فرض کنید درخواستی به این شبکه وارد شود که تعداد اسلات درخواستی آن ۲۵۳ باشد. برای پاسخ به این درخواست، ۲ بلوک از هسته ۱، یک بلوک از هسته ۲ و سه بلوک از هسته ۳ استفاده می شود.

سیاست بلوک بندی در این گونه روش ها دارای اهمیت فراوانی است. در برخی از الگوریتم های چند مسیره، نحوه بلوک بندی آنها باعث، عدم مقیاس پذیری و یا کاهش بهره وری طیف می شود لذا هدف این مقاله ارائه الگوریتم چند مسیره ای است که سیاست بلوک بندی مورد استفاده در آن به صورت بهینه عمل کند.

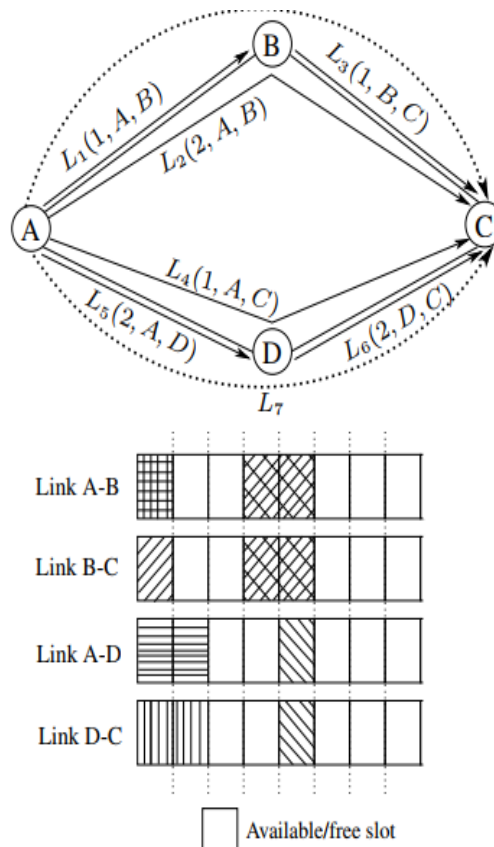
سازماندهی مطالب در این مقاله به این ترتیب است که در بخش ۱ مقدمه ای از شبکه های نوری منعطف مطرح گردید. در بخش ۲ الگوریتم پیشنهادی مطرح می شود. نتایج آزمایشگاهی در بخش ۳ ارائه می گردد و نهایتاً بخش ۴ به نتیجه گیری می پردازد.

۲- الگوریتم پیشنهادی

در این بخش، یک الگوریتم جدید مبتنی بر چند مسیر در هر هسته با نام OPT۲-SBMC-RSCA ارائه شده است. الگوریتم های spectrum block multipathing per core بر اساس مفهوم چند مسیری کار می کند. در الگوریتم های چند مسیری بلوک طیفی در هر هسته، تعداد

است زیرا هزینه های سرمایه ای و هزینه های عملیاتی را کاهش می دهند. با این حال، این رویکردها از نظر حجم ترافیک قابل قبول نیست زیرا نسبت به رویکردهای یکپارچه سازی عملکرد پایین تری دارند. در رویکردهای بدون یکپارچه سازی، از استراتژی های زیر برای کاهش تکه تکه شدن طیف استفاده می شود.

مسیریابی چندمسیره [۱۳، ۱۴] یکی از راهکارهای بدون یکپارچه سازی است که برای کاهش محدودیت مجاورت طیف معرفی شد و از آن به عنوان مسیریابی تقسیم طیف [۱۵] نیز یاد می شود. مفهوم مسیریابی چند مسیری یا تقسیم طیف در شکل ۲ ارائه شده است. در شکل ۲ یک درخواست مسیر نوری $L(F; S; D)$ را در نظر گرفته شده است، که در آن F ، S و D به ترتیب تعداد اسلات های پیوسته، منبع و مقصد مورد نیاز هستند.



شکل ۲: رویکردهای مسیریابی چند مسیری [۱۵]

یکی از مهمترین مسائل در الگوریتم های چند مسیره، بهره وری طیف و همچنین کاهش احتمال مسدودی درخواست های ورودی است. الگوریتم های

```

۱۴- End IF
۱۵- If  $i = 3$  and  $Gap = \{\}$ 
۱۶- Use slots 291 to 297 from core 0
    or use slots 288 to 296 from core 1 and 2
۱۷- End IF
۱۸- If  $i = 4$  and  $Gap = \{\}$ 
۱۹- Use slots 296 to 300 from core 1 and 2
    or slots 297-300 of cor0
۲۰- End IF
۲۱-  $Remain\_FS = remain\_FS - S$ 
۲۲- End IF
۲۳- End For
۲۴- End For
۲۵- IF( $Remain\_FS = 0$ )
۲۶- For  $i = 0$  to  $C-1$ 
۲۷- Assign the found spectrum starting from  $Gap(i)$ 
    on core  $i$  to connection
۲۸- Break
۲۹- End For
۳۰- Else
۳۱- Block request
۳۲- End If

```

الگوریتم (۱): الگوریتم OPT۲-SBMC-RSCA

در شبه کد ۱ در خطوط ۱-۳، SBR هر هسته مشخص می شود. مقدار SBR هر هسته بر اساس توان های عدد ۲ و شماره هر هسته مشخص می شود. به عنوان مثال اگر فیبر نوری دارای ۷ هسته باشد، و هسته ها، با شماره های (i) ۰ الی ۶ مشخص شود، SBR هسته های به ترتیب برابر ۱، ۲، ۴، ۸، ۱۶، ۳۲، ۶۴ می باشند. خط ۵ حلقه FOR است که همه K مسیر ممکن بین مبدا و مقصد را مد نظر قرار می دهد. در خط ۷ هسته ها، به ترتیب نزولی بررسی می شوند. هر هسته براساس SBR مخصوص به آن هسته، در صورت نیاز مورد استفاده قرار می گیرد. شایان ذکر است که برای تخصیص از سیاست SMART-FIT استفاده گردیده است که بهترین نتایج از نظر مقابله با تکه تکه شدن طیف را از خود نشان داد [۱۴]. در ادامه، با فرض اینکه تعداد اسلات های طیف ۳۰۰ باشد به بررسی بلوک های با اندازه ۴، ۸ و ۳۲ می پردازد. در این حالات، پس از بررسی بعضی از هسته ها، در صورتی که بلوک خالی وجود نداشته باشد از اسلات های بلااستفاده از هسته های دیگر استفاده می کند. در خطوط ۱۲ الی ۱۴ در صورتی که نیار به بلاک با اندازه ۳۲ وجود داشته باشد

اسلات های درخواستی در هر تقاضا به چندین بلوک تقسیم می شود و هر بلوک را می توان از یک هسته بین یک منبع و مقصد معین اختصاص داد. در این الگوریتم هر یک از هسته ها فقط برای مقدار مشخصی اسلات در نظر گرفته شده است.

OPT۲-SBMC-RSCA بهبود یافته الگوریتم OPT-SBMC-RSCA است. در الگوریتم OPT-SBMC-RSCA هر هسته به بلوک هایی با اندازه مشخص تقسیم می شود و بر اساس اندازه هر بلوک های هر هسته، از آن هسته در تخصیص طیف استفاده می شود. به عنوان مثال اگر یک هسته دارای ۳۰۰ اسلات باشد و اندازه هر بلوک در این هسته ۶۴ اسلات باشد، در این هسته، چهار بلوک با اندازه ۶۴ وجود دارد که برای درخواست های ورودی استفاده می شود. نکته ای که وجود دارد در این هسته ۴۴ اسلات وجود دارد که در بلوک خاصی قرار نمی گیرند در نتیجه از این اسلات ها استفاده ای نمی شود. این مورد باعث کاهش بهره وری (تقریباً ۱۵٪) هسته می گردد. در الگوریتم پیشنهادی این مشکل برطرف شده است. الگوریتم ۱، روند الگوریتم پیشنهادی را به صورت شبه کد نشان می دهد. در این شبه کد تعداد هسته ها ۷ و تعداد اسلات های هر هسته ۳۰۰ فرض شده است ($C = 7$ and $N = 300$)

Input:

b : number of required FS by a now connection
 C : number of considered cores
 $SBR[0]=2^0$, $SBR[1]=2^1$, ..., $SBR[C-1]=2^{C-1}$

Output: Connection setup

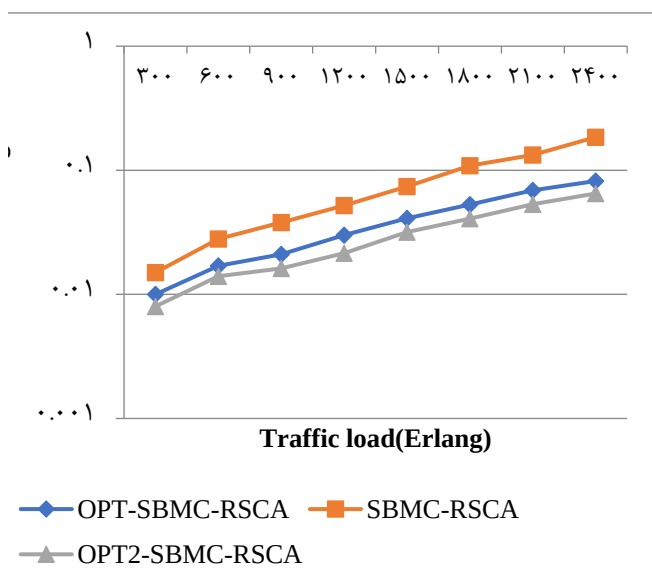
```

۱- For  $i = 0$  to  $C-1$ 
۲-  $SBR[i] = 2^{C-1-i}$ 
۳- End For
۴-  $Remain\_FS = required\ FS$ 
۵- For  $j = 1$  to  $k$ 
۶- Path = get  $j$ -th path
۷- For  $i = C-1$  to  $0$ 
۸- IF ( $Remain\ FS \neq 0$ )
۹-  $Z = \text{Int}(Remain\_FS / SBR[i])$ 
۱۰-  $S = Z \times SBR[i]$ 
۱۱- Gap = Find-Smart-Free-Gap
۱۲- IF  $i = 1$  and  $Gap = \{\}$ 
۱۳- Use slots 258 to 290 from core 0

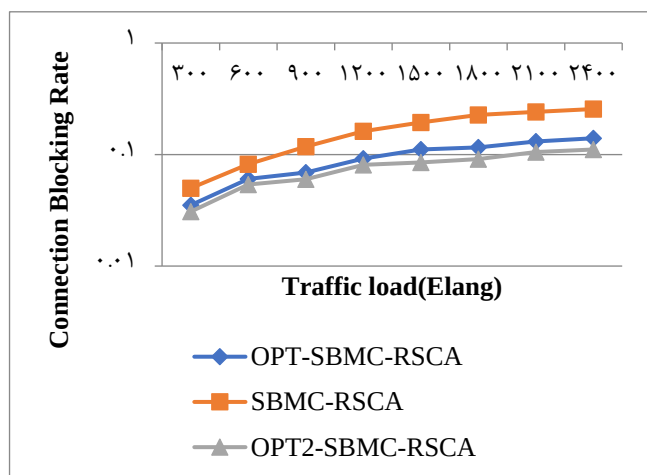
```

در همه شبیه سازی ها، فرض می شود که اسلات های درخواستی یک ارتباط به طور یکنواخت بین [۵۰، ۷۰] اسلات توزیع شده است. در شبیه سازی، زمان اعتبار برای هر ارتباط ۱۰ ثانیه است و فاصله زمانی بین دو ارتباط متوالی از توزیع نمایی پیروی می کند. شبیه سازی برای یک میلیون ارتباط انجام شده و محدوده بار ترافیکی بین ۳۰۰ تا ۲۴۰۰ ارلانگ است.

شکل ۳ و شکل ۴ نتایج شبیه سازی الگوریتم OPT2-SBMC-RSCA را بر اساس احتمال مسدود شدن درخواست ها در دو شبکه JPN- و NSFNET ۱۲ در مقایسه با الگوریتم های مشابه نشان می دهد.



شکل (۳): احتمال مسدودی درخواست های ورودی در ساختار شبکه NSFNET



و در هسته ۱ بلوک خالی وجود نداشته باشد، از اسلات های ۲۵۸ الی ۲۹۰ هسته ۰ استفاده می شود. در ادامه برای بلوک های با اندازه ۸ و ۴ نیز این موضوع تکرار می شود. جهت روشن شدن مطالب فوق به مثال ۲ توجه شود. مثال ۲: فرض کنید در یک شبکه EON که دارای ۷ هسته است تمام اسلات های هسته ۱ اشغال شده باشد. بر اساس الگوریتم OPT2-SBMC-RSCA اسلات های هسته ۱ به بلوک های با اندازه ۳۲ بلوک بندی شده است. فرض کنید در این لحظه درخواستی با مقدار درخواستی ۳۴ وارد شبکه شود، در بهترین حالت این درخواست به دو درخواست کوچکتر با اندازه ۳۲ و ۲ شکسته می شود. در الگوریتم OPT-SBMC-RSCA به علت عدم وجود بلوک خالی در هسته ۱، این درخواست مسدود می شود اما در الگوریتم OPT2-SBMC-RSCA جهت تامین بلوک خالی، از اسلات های بلا استفاده هسته ۰ (اسلات های ۲۵۸ - ۲۹۰) استفاده می شود و این درخواست برقرار می گردد.

۳- نتایج آزمایشگاهی

در این بخش نتایج حاصل از شبیه سازی، الگوریتم OPT2-SBMC-RSCA بررسی و ارزیابی می شود. برای ارزیابی الگوریتم OPT2-SBMC-RSCA، مقدار احتمال انسداد درخواست این الگوریتم بر اساس دو مدل شبکه (NSFNET و JPN-۱۲) با دو روش ارائه شده در [۱۴] و [۱۳] مقایسه شده است. در شبیه سازی از مکانیسم K-Shortest path برای مسیریابی استفاده می شود که در آن $K=2$ را تنظیم می کنیم. اگر امکان برقراری ارتباط در مسیر اول وجود نداشته باشد، مسیر دوم امتحان می شود. در صورت عدم امکان قرار دادن در مسیر دوم، درخواست مسدود می شود.

گره های مبدا-مقصد هر درخواست به طور تصادفی با استفاده از توزیع یکنواخت به دست می آیند و دو کوتاه ترین مسیر بین هر جفت گره مبدا-مقصد در نظر گرفته می شود. تعداد هسته های یک لینک، $C=7$ در نظر گرفته می شود. هر هسته دارای کل عرض طیف ۴ THz است. فرض بر این است که پهنای باند یک حامل فرعی ۱۲/۵ گیگاهرتز است. تعداد اسلات ها برای هر هسته ۳۰۰ در نظر گرفته شده است. باند محافظ برای دو اتصال مجاور یک اسلات در نظر گرفته شده است. نتایج شبیه سازی در هر ترافیک در تمام نمودارها میانگین ۱۰ سناریو تکرار با فاصله اطمینان ۹۵ درصد است. کامپیوتر مورد استفاده در شبیه سازی دارای CPU Core-i5، ۶ گیگابایت رم DDR3، هارد دیسک SSD، تحت ویندوز ۸.۱ است و از نرم افزار OPNET برای شبیه سازی استفاده شده است.

- [6] Khorasani, Y., A.G. Rahbar, and B. Alizadeh, A novel adjustable defragmentation algorithm in elastic optical networks. *Optical Fiber Technology*, 2024. 82: p. 103615.
- [7] Comellas, J., L. Vicario, and G. Junyent, Proactive defragmentation in elastic optical networks under dynamic load conditions. *Photonic Network Communications*, 2018. 36(1): p. 26-34.
- [8] Etezadi, E., et al., DeepDefrag: a deep reinforcement learning framework for spectrum defragmentation. 2022.
- [9] Fernández-Martínez, S., B. Barán, and D.P. Pinto-Roa, Spectrum defragmentation algorithms in elastic optical networks. *Optical Switching and Networking*, 2019. 34: p. 10-22.
- [10] Zhu, Z., et al., Impairment-and splitting-aware cloud-ready multicast provisioning in elastic optical networks. *IEEE/ACM Transactions on Networking*, 2016. 25(2): p. 1220-1234.
- [11] Batham, D., D.S. Yadav, and S. Prakash, Least loaded and route fragmentation aware RSA strategies for elastic optical networks. *Optical Fiber Technology*, 2017. 39: p. 95-108.
- [12] Chen, X., et al., Fragmentation-aware routing and spectrum allocation scheme based on distribution of traffic bandwidth in elastic optical networks. *Journal of Optical Communications and Networking*, 2015. 7(11): p. 1064-1074.
- [13] Yousefi, F. and A.G. Rahbar, Novel fragmentation-aware algorithms for multipath routing and spectrum assignment in elastic optical networks-space division multiplexing (EON-SDM). *Optical Fiber Technology*, 2018. 46: p. 287-296.
- [14] Khorasani, Y., A. Ghaffarpour Rahbar, and M. Jafari-Beyrami, Fragmentation management to reduce bandwidth wastage in SDM-EON networks. *Photonic Network Communications*, 2023: p. 1-17.
- [15] Pagès, A., et al., Optimal route, spectrum, and modulation level assignment in split-spectrum-enabled dynamic elastic optical networks. *Journal of Optical Communications and Networking*, 2014. 6(2): p. 114-126.

شکل (۴): احتمال مسدودی درخواست های ورودی در ساختار شبکه JPN۱۲

میزان احتمال مسدود شدن درخواست در الگوریتم OPT۲-SBMC-RSCA در هر دو شبکه NSFNET و JPN-۱۲ در مقایسه با الگوریتم های دیگر کاهش یافته است. علت کاهش احتمال مسدودی درخواست ها استفاده بهینه الگوریتم پیشنهادی نسبت به دو الگوریتم دیگر است.

۴- نتیجه گیری

در این بخش از مقاله الگوریتم OPT۲-SBMC-RSCA که در شاخه الگوریتم های چند مسیر قرار می گیرد تشریح گردید. این الگوریتم نسخه بهینه شده الگوریتم OPT-SBMC-RSCA می باشد. در این الگوریتم احتمال مسدودی تقاضا و احتمال مسدودی پهنای باند نسبت به الگوریتم OPT-SBMC-RSCA کاهش یافته و همچنین از پهنای باند موجود به صورت بهینه استفاده گردید. به همین علت می تواند بهترین راندمان را در صناعی همچون دیتا سرور، داده کاوی اطلاعات هواشناسی، اویونیک و .. داشته باشد.

مراجع

- [1] Jinno, M., et al., Spectrum-efficient and scalable elastic optical path network: architecture, benefits, and enabling technologies. *IEEE communications magazine*, 2009. 47(11): p. 66-73.
- [2] Armstrong, J., OFDM for optical communications. *Journal of lightwave technology*, 2009. 27(3): p. 189-204.
- [3] Paira, S., et al. A novel fragmentation-aware and energy-efficient multipath routing and spectrum allocation for prioritized traffic in protected EONs. in *2020 11th International Conference on Computing, Communication and Networking Technologies (ICCCNT)*. 2020. IEEE.
- [4] Khorasani, Y., A.G. Rahbar, and M. Jafari-Beyrami, A novel two-dimensional metric for fragmentation evaluation in elastic optical networks. *Computer Networks*, 2022. 216: p. 109275.
- [5] Chatterjee, B.C., S. Ba, and E. Oki, Fragmentation problems and management approaches in elastic optical networks: A survey. *IEEE Communications Surveys & Tutorials*, 2017. 20(1): p. 183-210.



Investigating the effects of technology refinement on the performance of metal-oxide-semiconductor field-effect transistors (MOSFETs) using the key parameter of inversion coefficient

Gholamreza Khademevatan¹, Ali Jalali^{2*}

1. Department of Electrical Engineering, Shahid Beheshti University, Tehran, Iran

2. Department of Electrical Engineering, Shahid Beheshti University, Tehran, Iran

Key words:

MOS (Metal Oxide Semiconductor), IC (Inversion Coefficient), WI (Weak Inversion), MI (Moderate Inversion), SI (Strong Inversion), RF (Radio Frequency)

Abstract

The integrated circuit design and manufacturing industry has led to the explosive development of information technology in the past six decades and has acted as a powerful engine of contemporary human civilization by advancing modern computing. The main factor in the progress of this industry is the refinement of manufacturing technology (shrinking the transistor channel length) of MOS devices, which in this paper will examine its effect on the characteristics and performance trade-offs of MOS devices in terms of the key design parameter of the inversion coefficient (IC) in all inversion regions (WI, MI and SI). These performance trade-offs include physical dimensions, bias voltages, small signal parameters, signal distortion, intrinsic voltage gain, intrinsic and non-intrinsic bandwidths, thermal noise, flicker noise, manufacturing process mismatch, leakage current and RF circuit figure of merits in terms of IC in 90nm and 180nm manufacturing technologies. Through the graphical display and sweep of the performances in terms of IC in two different manufacturing technologies, it is possible to select the desired trade-offs with the refinement of the process. Finally, an operational plane for the MOS device is introduced, which can be used to select appropriate bias points for transistors to map the tradeoffs for optimal device performance as the technology becomes more refined in the desired circuit.

* Corresponding author's E-mail: a_jalali@sbu.ac.ir



بررسی اثرات ظریفتر شدن تکنولوژی بر عملکرد ترانزیستورهای اثر میدانی نیمه هادی اکسید فلز (MOSFET) با استفاده از پارامتر کلیدی ضریب وارونگی

غلامرضا خادم‌وطن^۱، علی جلالی^{۲*}

۱. دانشکده مهندسی برق، دانشگاه شهید بهشتی، تهران، ایران

۲. دانشکده مهندسی برق، دانشگاه شهید بهشتی، تهران، ایران

چکیده

واژگان کلیدی

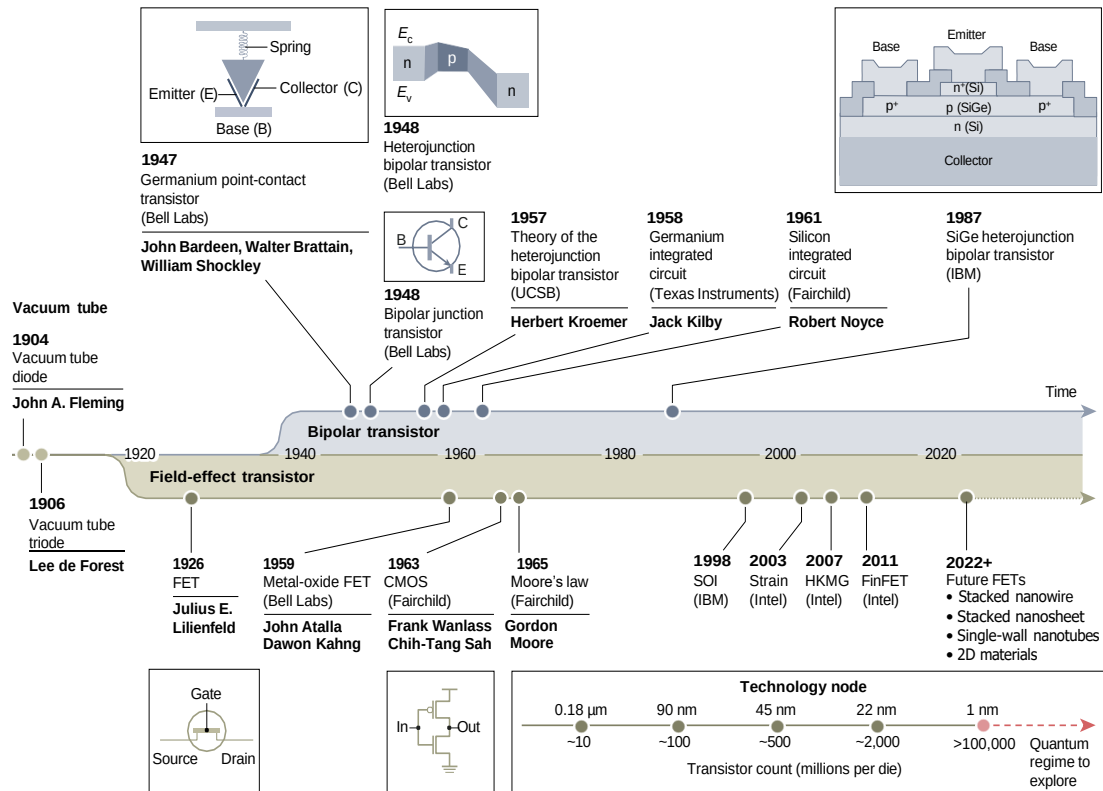
صنعت طراحی و ساخت مدارات مجتمع در شش دهه گذشته موجب توسعه انفجاری فناوری اطلاعات شده و با پیشبرد محاسبات مدرن به عنوان موتور قدرتمند تمدن بشری معاصر عمل کرده است. عامل اصلی پیشرفت این صنعت ظریفتر شدن فناوری ساخت (کوچک شدن طول کانال ترانزیستور) قطعات MOS است که در این مقاله تاثیر آن بر روی مشخصه‌ها و مصالحه‌های عملکرد قطعه MOS بر حسب پارامتر کلیدی طراحی ضریب وارونگی (IC) در کلیه نواحی وارونگی (MI، WI و SI) بررسی می‌شود. این مصالحه‌های عملکرد شامل ابعاد فیزیکی، ولتاژهای بایاس، پارامترهای سیگنال کوچک، اعوجاج سیگنال، بهره ذاتی و ولتاژ، پهنای باندهای ذاتی و غیر ذاتی، نویز حرارتی، نویز فلیکر، عدم تطابق ناشی از فرآیند ساخت (Mismatch)، جریان نشتی و معیارهای شایستگی مدارهای RF بر حسب IC در تکنولوژیهای ساخت ۹۰nm و ۱۸۰nm می‌باشند. از طریق نمایش گرافیکی و جاروب (Sweep) عملکردها بر حسب IC در دو تکنولوژی ساخت متفاوت، امکان انتخاب مصالحه‌های مد نظر با ظریفتر شدن فرآیند فراهم می‌شود. در نهایت، یک صفحه عملیاتی برای قطعه MOS معرفی می‌شود که به کمک آن می‌توان نقاط بایاس مناسب ترانزیستورها برای نگاشت مصالحه‌های عملکرد بهینه قطعات در اثر ظریفتر شدن تکنولوژی در مدار مورد نظر را انتخاب کرد.

نیمه هادی اکسید فلز
ضریب وارونگی
وارونگی ضعیف
وارونگی متوسط
وارونگی قوی
فرکانس رادیویی

۱- مقدمه

توسعه انفجاری فناوری اطلاعات شده و به عنوان موتور قدرتمند تمدن بشری معاصر عمل کرده است [۱]. با توجه به الزامات برای سرعت بالاتر، کارایی انرژی و تراکم یکپارچه محصولات مدار مجتمع در سالیان اخیر، طول فیزیکی کانال قطعات MOSFET به زیر ۲۰ نانومتر کاهش یافته است که این مهم در سال ۱۹۶۵ توسط گوردون مور در قالب قانون Moore پیش بینی شده بود. جذاب‌ترین ویژگی فناوری MOSFET برای کاربردهای مجتمع سازی در مقیاس بسیار بزرگ (VLSI) این است که کاهش مداوم

همانگونه که در شکل (۱) قابل مشاهده است، تاریخچه الکترونیک به طور کلی از سه قطعه الکترونی اصلی تشکیل شده است: لوله خلاء، ترانزیستور پیوند دو قطبی و ترانزیستور اثر میدانی نیمه هادی اکسید فلز (MOSFET). دو قطعه اول نقش مهمی در پیشبرد محاسبات مدرن داشتند. با این حال، ظهور MOSFET، به ویژه فناوری مکمل نیمه هادی اکسید فلز (CMOS)، در طول شش دهه گذشته موجب شعله‌ور شدن



شکل (۱): فاکتور ابعاد (W/L) و مساحت گیت (WL) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰ μA و $L = 90\text{nm}$ و $L = 180\text{nm}$.

اندازه فیزیکی آن، هر معیار مهمی مانند هزینه، عملکرد، مصرف انرژی و ... را به سمت بازدهی مناسب سوق می‌دهد.

درین و ناخالصی کانال متمرکز بود، در حالی که در طول دو دهه گذشته، نوآوری در مواد ساخت و معرفی معماری‌های جدید همچون SC^{33} ، $HKMG^{34}$ ، SOI^{35} و $FinFETs^{36}$ برای سرکوب SCEs و سایر اثرات نامطلوب مورد توجه بوده است [۳-۱۰].

در معماری‌های پیشرفته ساخت امروزی، با کاهش ولتاژ تغذیه که از طریق تکنولوژی تحمیل می‌شود، نقاط کار ترانزیستورها به نواحی وارونگی

علاوه بر این، ماهیت اثر میدانی و توان نشستی فوق‌العاده کم در فناوری CMOS (شامل ماسفت‌های نوع n و نوع p) بکارگیری آن در کاربردهای توان پایین را بسیار مطلوب می‌سازد. با این حال، مسیر کاهش ابعاد و ظریفتر شدن تکنولوژی در فناوری MOSFET همیشه هموار نبوده است. از زمانی که اندازه قطعات وارد مقیاس‌های میکرون و زیر میکرون شد، فناوری CMOS با بسیاری از چالش‌ها مانند اثرات کلنال کوتاه SC^{32} (SCEs) مواجه بوده است [۲]. در ظریف‌سازی فناوری CMOS قبل از قرن بیست و یکم، تلاش‌ها بر کاهش ضخامت فیزیکی اکسید گیت و مهندسی در سورس،

^{۳۵} Silicon on Insulator

^{۳۶} Fin Field-Effect Transistors

^{۳۲} Short Channel Effects

^{۳۳} Strained Channel

^{۳۴} High-dielectric-constant (k) metal gate

انتخاب مدل طراحی اولین گام در طراحی مدارهای آنالوگ و RF است. یکی از مدل‌هایی که علاوه بر سادگی با دقت و اعتماد قابل قبولی فیزیک پیچیده قطعات MOSFET مدرن و با اندازه زیر میکرون امروزی را پیش‌بینی کرده و از طراحی‌های کم توان نیز پشتیبانی می‌کند، مدل EKV است. در سال ۱۹۹۵، F. Krummenacher، C. Enz و E.A. Vittoz مدل EKV را برای ترانزیستورهای MOS توسعه دادند [۱۹ و ۲۰]. این مدل جریان درین ترانزیستور MOS را به صورت پیوسته از ناحیه WI تا SI تعریف می‌کند:

$$I_D(WI - D) = \frac{1}{2} \mu C_{OX} U_T^2 \left(\frac{W}{L} \right) \left[\ln \left(1 + e^{\frac{V_{GS} - V_T}{\eta U_T}} \right) \right]^2 \quad (2)$$

برای احتساب اثرات ابعاد هندسی کوچک قطعه همچون سرعت اشباع و VFMR^{۴۰} کافی است به جای μ رابطه (۳) جایگذاری شود که در آن θ ضریب کاهش تحرک حامل‌ها در اثر میدان عمودی، E_{CRIT} میدان الکتریکی بحرانی افقی در سرعت اشباع و α ضریب توان سرعت اشباع می‌باشند.

$$\mu = \frac{\mu_0}{\left[1 + \theta (V_{GS} - V_T) \right] \left[1 + \left(\frac{V_{GS} - V_T}{LE_{CRIT}} \right)^{\alpha} \right]^{\frac{1}{\alpha}}} \quad (3)$$

اخیراً، کارهای متعددی بر مبنای پارامتر کلیدی طراحی IC ارائه شده‌اند که مزایای بکارگیری ضریب وارونگی در طراحی مدارهای آنالوگ و RF را به اثبات رسانده‌اند. به عنوان نمونه Sansen رویه‌ای برای طراحی بلوک‌های تقویت کننده کم توان و بهینه‌سازی قطعات جهت دستیابی به اعوجاج صفر با استفاده از مدل‌های EKV/BSIM_۶ پیشنهاد داده است [۲۱ و ۲۲] و در [۲۳] دو شاخص مهم خطی‌نگی یعنی A_{IP3} و A_{1dB} در تقویت کننده‌های تفاضلی یک طبقه و کسکود بر اساس مدل EKV و پارامتر اصلی آن یعنی ضریب وارونگی (IC) بررسی شده‌اند.

در این مقاله، تغییرات عملکرد قطعه MOSFET اعم از ابعاد فیزیکی، ولتاژهای بایاس، پارامترهای سیگنال کوچک، اعوجاج سیگنال، بهره ذاتی و ولتاژ، پهنای بلندهای ذاتی و غیر ذاتی، نویز حرارتی، نویز فلیکر، عدم تطابق ناشی از فرآیند ساخت، جریان نشتی و معیارهای شایستگی مدارهای RF بر حسب ضریب وارونگی (IC) در دو فرآیند ۹۰ nm و ۱۸۰ nm به صورت گرافیکی مقایسه می‌شوند. در ادامه، یک صفحه عملیاتی معرفی می‌شود که نمایش دهنده مصالحه‌های عملکرد بر حسب ضریب وارونگی و فرآیند ساخت مورد نظر (ظریفتر شدن تکنولوژی) در یک جریان بایاس ثابت است. این صفحه عملیاتی تغییرات عملکرد قطعه MOSFET با ظریفتر شدن تکنولوژی را نمایش می‌دهد. ساختار مقاله به این شکل است که در بخش ۲، پارامترهای مهم مدل EKV در دو فرآیند ۹۰ nm و ۱۸۰ nm خلاصه

متوسط^{۳۷} (MI) و وارونگی ضعیف^{۳۸} (WI) انتقال داده شده‌اند [۱۱]. لذا معادلات جریان MOSFET در مدل‌های قدیمی Level1 و Level3 در فناوری‌های مدرن زیرمیکرون امروزی مناسب نبوده و در بررسی عملکرد قطعات با خطا مواجه می‌شوند [۱۲]. از طرفی طراحی مدارهای آنالوگ و RF همواره با چالش سخت انتخاب مصالحه‌هایی همچون توان، خطی‌نگی، نویز، بهره، ولتاژ تغذیه و پهنای باند مواجه است که رضوی آن را به عنوان رؤس یک شش ضلعی معرفی کرده است [۱۳]. در فناوری‌های ساخت قدیمی، ولتاژ موثر گیت - سورس ($V_{EFF} = V_{GS} - V_T$) به عنوان متغیر طراحی کلیدی بکار می‌رفت، ولیکن با ظریفتر شدن فناوری و کاهش طول گیت قطعات MOSFET در سالیان اخیر و انتقال نقاط بایاس آنها به نواحی وارونگی ضعیف و متوسط، V_{EFF} به دلیل ارتباط غیر خطی با جریان درین پارامتر مناسبی برای طراحی محسوب نمی‌شود [۱۴ و ۱۵].

در سال ۱۹۹۴، Vittoz با چاپ مقاله‌ای تحت عنوان تکنیک‌های توان پایین، مفهوم ضریب وارونگی را تعریف کرد [۱۶]. IC، مقدار نرمالیزه شده جریان درین به جریان مشخصه قطعه MOSFET است:

$$IC = \frac{I_D}{I_{spec}} = \frac{I_D}{I_0 \left(\frac{W}{L} \right)}, \quad I_0 = \frac{1}{2} \mu C_{OX} U_T^2 \quad (1)$$

که I_D جریان بایاس ترانزیستور، I_{spec} جریان مشخصه، I_0 جریان تکنولوژی، W و L به ترتیب عرض و طول کانال ترانزیستور، n ضریب بدنه، μ_0 تحرک حامل‌ها (الکترون یا حفره) در اثر میدان‌های الکتریکی کم، C_{OX} خازن گیت - اکسید در واحد سطح و $U_T = \frac{kT}{q} = 26 \text{ mV}$ ولتاژ ترمودینامیک در دمای اتاق می‌باشند. IC، میزان وارونگی کانال قطعه MOS را مستقل از ابعاد و فرآیند ترانزیستور نشان می‌دهد:

$$\begin{aligned} & \text{Weak Inversion (WI), } IC < 0.1 \\ & \text{Moderate Inversion (MI), } 0.1 < IC < 10 \\ & \text{Strong Inversion (SI), } IC > 10 \end{aligned}$$

مدلسازی قطعات MOS در نواحی WI و MI به کمک ضریب وارونگی به دلیل ارتباط خطی IC با جریان درین مناسبتر است [۱۷]. علاوه بر این، امکان تفسیر تمامی پارامترهای مهم ترانزیستور MOS اعم از ابعاد فیزیکی، ولتاژهای بایاس، پارامترهای سیگنال کوچک، اعوجاج سیگنال، بهره ذاتی و ولتاژ، پهنای بلندهای ذاتی و غیر ذاتی، نویز حرارتی، نویز فلیکر، عدم تطابق ناشی از فرآیند ساخت، جریان نشتی و معیارهای شایستگی مدارهای RF با IC وجود دارد [۱۸]. لذا با جاروب^{۳۹} IC قطعات MOSFET در یک مدار امکان کشف نقطه کار مناسب آنها فراهم می‌شود.

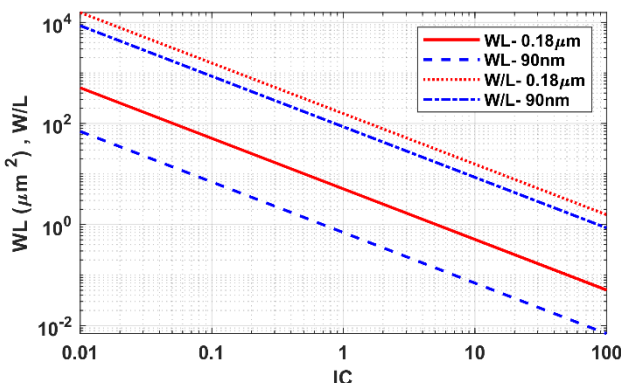
^{۳۹} Sweep

^{۴۰} Vertical Field Mobility Reduction

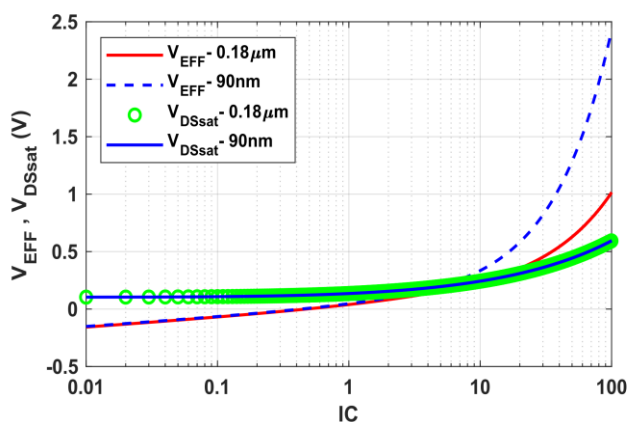
^{۳۷} Moderate Inversion

^{۳۸} Weak Inversion

۱۸۰nm، مقدار IC از ۰.۰۱ (وارونگی ضعیف عمیق) تا ۱۰۰ (وارونگی قوی عمیق) سوئیچ می شود.



شکل (۲): فاکتور ابعاد (W/L) و مساحت گیت (WL) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰ μA و $L = 90\text{nm}$ و $L = 180\text{nm}$.



شکل (۳): ولتاژ موثر گیت - سورس (V_{eff}) و ولتاژ اشباع درین - سورس (V_{DSsat}) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰ μA.

۳-۱- پارامترهای ابعاد هندسی

در شکل (۲)، فاکتور ابعاد (W/L) و مساحت گیت (WL) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰ μA نشان داده شده اند. همانگونه که در شکل واضح است،

شده اند. در بخش ۳، کلیه مشخصه های عملکرد قطعه MOS بر حسب IC به صورت گرافیکی در دو فرآیند ۹۰nm و ۱۸۰nm مقایسه شده و تاثیر ظریفتر شدن تکنولوژی بر عملکردهای مختلف قطعه MOSFET بر حسب ضریب وارونگی از ضعیف تا قوی به اختصار توضیح داده می شود. صفحه عملیاتی MOSFET برای نمایش مصالحه های عملکرد بر حسب ضریب وارونگی و فرآیند ساخت مورد نظر، در بخش ۴ معرفی شده است.

۲- پارامترهای فرآیند

علی رغم کم بودن پارامترها و معادلات مدل EKV در مقایسه با مدل فشرد و پیچیده BSIM^{۴۱}، نزدیک به ۷۰ پارامتر جهت توصیف قطعه و پدیده های فیزیکی آن مورد نیاز است [۲۴]. یکی از شیوه های استخراج پارامترهای این مدل تبدیل پارامترهای مدل BSIM به EKV است که با استفاده از الگوریتم Levenberg-Marquardt برای تکنولوژی ۰/۱۸ μm از نوع CMOS انجام شده است [۲۵]. پارامترهای مهم مدل EKV در دو تکنولوژی ۹۰nm و ۱۸۰nm به همراه ۵ پارامتر ورودی اختیاری به ترتیب در جداول (۱) و (۲) فهرست شده اند.

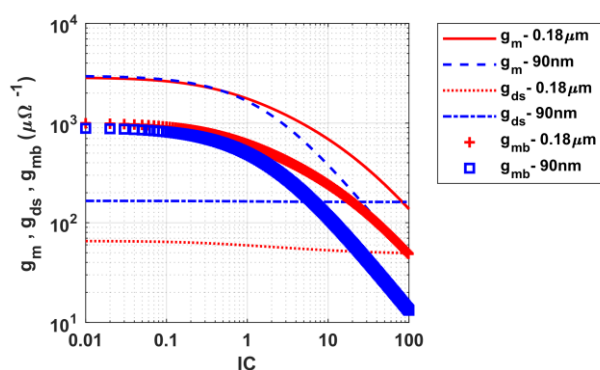
۳- مقایسه عملکرد قطعه MOS بر حسب ضریب

وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm

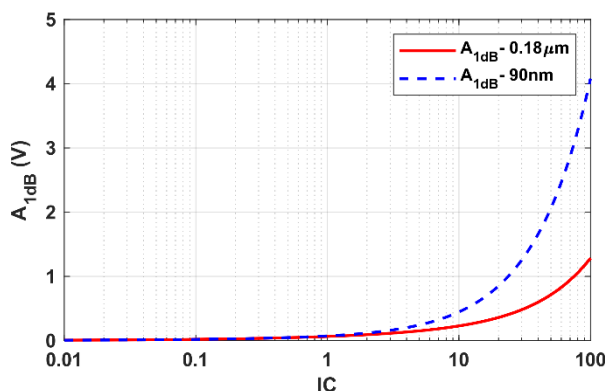
در این بخش به کمک پارامترهای فرآیند فهرست شده در جداول (۱) و (۲) و روابط مشخصه های MOS دسته بندی شده در جدول (۳)، مصالحه های عملکرد قطعه MOSFET اعم از ابعاد فیزیکی، ولتاژهای بلیاس، پارامترهای سیگنال کوچک، اعوجاج سیگنال، بهره ذاتی ولتاژ، پهنای باندهای ذاتی و غیر ذاتی، نویز حرارتی، نویز فلیکر، عدم تطابق ناشی از فرآیند ساخت، جریان نشستی و معیارهای شایستگی مدارهای RF بر حسب IC در دو تکنولوژی ۹۰nm و ۱۸۰nm با استفاده از نرم افزار متلب تجزیه و تحلیل و با هم مقایسه می شوند. از آنجا که روند تغییرات ترانزیستورهای nMOS و pMOS بر حسب IC تقریباً یکسان بوده و تنها به دلیل تفاوت دو قطعه در پارامترهایی همچون n و μ، مقادیر مشخصه ها تغییر کرده و رفتار مشخصه ها و عملکرد قطعات تقریباً ثابت است، در این بخش تنها روند تغییرات و رفتار مشخصه های قطعه nMOS بر حسب ضریب وارونگی در دو تکنولوژی ۹۰nm و ۱۸۰nm بررسی و مقایسه می شوند. در کلیه پیش بینی ها، با ثابت نگهداشتن مقادیر جریان درین در ۱۰۰ μA و طول های کانال در ۹۰nm و

^{۴۱} Berkeley Short-channel IGFET Model

در شکل (۵)، روند تغییرات g_m (رسانایی)، g_{mb} (رسانایی اثر بدنه) و g_{ds} (رسانایی درین - سورس) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS نشان داده شده‌اند. همانگونه که در شکل واضح است، با ظریفتر شدن تکنولوژی مقادیر g_m ، g_{mb} و g_{ds} در وارونگی ضعیف تقریباً تغییری نمی‌کنند ولیکن در وارونگی قوی به دلیل اثرات سرعت اشباع ناشی از ابعاد هندسی کوچک قطعه، کاهش می‌یابند. در شکل (۶)، روند تغییرات A_{1dB} (ولتاژ ورودی فشردگی ۱dB) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS نشان داده شده است. همانگونه که در شکل واضح است، با ظریفتر شدن تکنولوژی عملکرد خطی بهبود می‌یابد. این به این دلیل است که A_{1dB} با g_m/I_D رابطه عکس دارد [۲۶].



شکل (۵): رسانایی (g_m)، رسانایی اثر بدنه (g_{mb}) و رسانایی درین - سورس (g_{ds}) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰ μA .

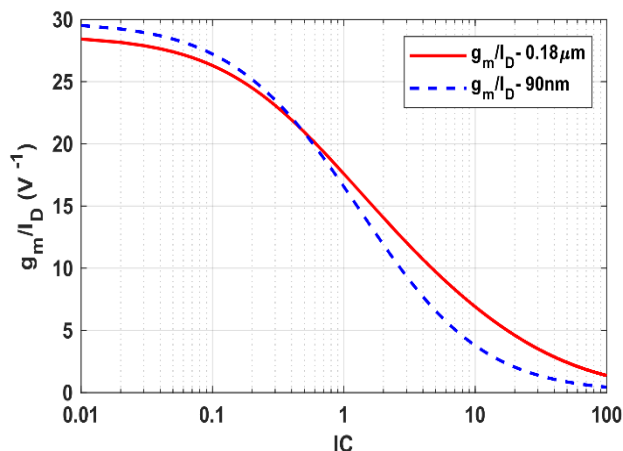


شکل (۶): ولتاژ ورودی فشردگی ۱dB (A_{1dB}) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰ μA .

با ظریفتر شدن تکنولوژی فاکتور ابعاد و متعاقباً عرض کانال و مساحت گیت کاهش می‌یابند.

۳-۲- پارامترهای بایاس DC

در شکل (۳)، روند تغییرات V_{EFF} (ولتاژ موثر گیت - سورس) و V_{DSsat} (ولتاژ اشباع درین - سورس) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰ μA نشان داده شده‌اند. همانگونه که در شکل واضح است، با ظریفتر شدن تکنولوژی مقدار V_{EFF} در نواحی WI و MI تغییر چندانی نمی‌کند ولیکن در ناحیه SI به دلیل اثرات سرعت اشباع ناشی از ابعاد هندسی کوچک قطعه، افزایش V_{EFF} در فرآیند ۹۰nm قابل توجه است. با توجه به رابطه $V_{DSsat} = 2U_T \sqrt{IC + 0.75} + 3U_T$ واضح است که با ظریفتر شدن تکنولوژی مقدار آن تغییر چندانی نمی‌کند [۲۶]. معمولاً قطعات MOS در ناحیه اشباع بایاس می‌شوند که در آن $V_{DS} > V_{DSsat}$ است.



شکل (۴): بهره رسانایی (g_m/I_D) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰ μA .

۳-۳- پارامترهای سیگنال کوچک

در شکل (۴)، روند تغییرات g_m/I_D (بهره رسانایی) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS نشان داده شده است. همانگونه که در شکل واضح است، با ظریفتر شدن تکنولوژی مقدار g_m/I_D در وارونگی ضعیف تقریباً ثابت بوده و در وارونگی قوی به دلیل اثرات سرعت اشباع ناشی از ابعاد هندسی کوچک قطعه کاهش می‌یابد.

جدول (۱): پارامترهای مهم فرآیند مدل EKV برای ترانزیستورهای nMOS و pMOS در تکنولوژی ۹۰nm از نوع CMOS.

Parameter	Description	Value for nMOS	Value for pMOS	Unit
t_{ox}	Oxide Thickness	۲/۳۳	۲/۵	nm
$\mu_{\cdot}$	Low Field Mobility	۴۵۴	۹۵	$\mu A/V^2$
Y	Body Effect Factor	۰/۳۲	۰/۱۶	$V^{1/2}$
V_{sat}	Saturation Velocity	۱۱۴۰۰۰	۱۲۰۰۰۰	m/s
α	Velocity Saturation Transition Exponent	۱/۱۵	۱/۱۵	--
n	Slope Factor	۱/۳	۱/۳	--
$V_{T\cdot}$	Threshold Voltage	۰/۳۷۵	۰/۱۷	V
θ	Mobility Reduction Factor	۰/۵۱	۰/۴۸	V^{-1}
β	Exponent for Velocity Saturation and VFMR Effects	۰/۸	۰/۹	--
DL	Lateral Diffusion at Length	۰/۰۰۵	۰/۰۰۵	μm
DW	Lateral Diffusion at Width	۰/۰۱۲	۰/۰۱	μm
AF	Flicker Noise Slope	۰/۸۵	۱/۰۹	--
ϕ_F	Half of Fermi Potential	۰/۴۲۸	۰/۴۲	V
L_{min}	Minimum Channel Length	۰/۰۹	۰/۰۹	μm
Optional user design inputs				
f	Operation Frequency	۱	۱	Hz
V_{DD}	Supply Voltage	--	--	V
V_{SB}	Source-Body Voltage	--	--	V
V_{DS}	Drain-Source Voltage	--	--	V
T	Temperature	۳۰۰	۳۰۰	K

جدول (۲): پارامترهای مهم فرآیند مدل EKV برای ترانزیستورهای nMOS و pMOS در تکنولوژی ۱۸۰nm از نوع CMOS.

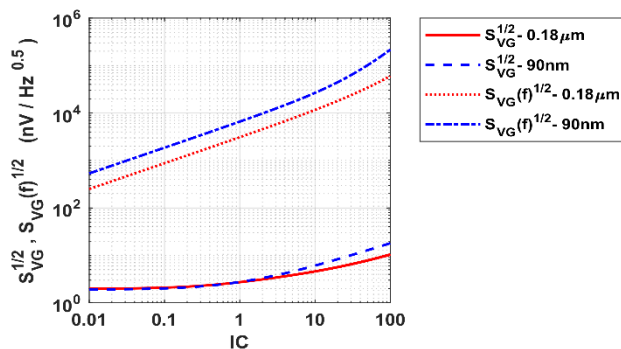
Parameter	Description	Value for nMOS	Value for pMOS	Unit
t_{ox}	Oxide Thickness	۴/۱	۴/۱	nm
$\mu_{\cdot}$	Low Field Mobility	۴۲۲	۸۹/۲	$\mu A/V^2$
Y	Body Effect Factor	۰/۵۶	۰/۶۱	$V^{1/2}$
V_{sat}	Saturation Velocity	۹۰۶۵۹/۰۹	۱۵۱۳۰۶/۸	m/s
α	Velocity Saturation Transition Exponent	۱/۳	۱/۳	--
n	Slope Factor	۱/۳۵	۱/۳	--
$V_{T\cdot}$	Threshold Voltage	۰/۴۲	۰/۴۲	V
θ	Mobility Reduction Factor	۰/۲۸	۰/۳۵	V^{-1}
β	Exponent for Velocity Saturation and VFMR Effects	۰/۸	۰/۹	--
DL	Lateral Diffusion at Length	۰/۰۲۸	۰/۰۵۱	μm
DW	Lateral Diffusion at Width	.	.	μm
AF	Flicker Noise Slope	۰/۸۵	۱/۰۵	--
ϕ_F	Half of Fermi Potential	۰/۴۲۵	۰/۴۲۵	V
L_{min}	Minimum Channel Length	۰/۱۸	۰/۱۸	μm
Optional user design inputs				
f	Operation Frequency	۱	۱	Hz
V_{DD}	Supply Voltage	--	--	V
V_{SB}	Source-Body Voltage	--	--	V
V_{DS}	Drain-Source Voltage	--	--	V
T	Temperature	۳۰۰	۳۰۰	K

جدول (۳): مشخصه‌های قطعه MOS استخراج شده از مدل EKV.

واحد	تعریف	رابطه	مشخصه‌های MOS
μm^2	مساحت گیت	$WL = (L^*/IC)(I_D/I_*)$	ابعاد هندسی
--	فاکتور ابعاد	$W/L = (\gamma/IC)(I_D/I_*)$	
V	ولتاژ موثر گیت - سورس	$V_{EFF} = \gamma n U_T \ln \left(e^{\sqrt{\frac{IC}{\gamma IC_{CRIT}} \left(1 + \left(\frac{IC}{\gamma IC_{CRIT}} \right)^{\beta} \right)^{\frac{1}{\beta}}}} - 1 \right)$	پارامترهای بایاس DC
V	ولتاژ اشباع درین - سورس	$V_{DSsat} = \gamma U_T \sqrt{IC + \gamma \Delta} + \gamma U_T$	
V^{-1}	بهره رسانایی	$\frac{g_m}{I_D} = \frac{\gamma}{n U_T \left(\sqrt{IC \left(1 + \frac{IC}{IC_{CRIT}} \right) + \gamma \Delta} + \gamma \right)}$	پارامترهای سیگنال کوچک
S μ	رسانایی	$g_m = (g_m/I_D) I_D$	
S μ	رسانایی درین - سورس	$g_{ds} = (g_{ds}/I_D) I_D$	
S μ	رسانایی اثر بدنه	$g_{mb} = \eta \cdot g_m$	
V	ولتاژ فشردگی ورودی ۱ dB	$A_{vdb} = \gamma / (\lambda \gamma) (n U_T \sqrt{\gamma B})$	
V	ولتاژ ارلی	$V_A = V_A(CLM) \parallel V_A(DIBL)$	روابط بهره و پهنای باند
--	بهره ذاتی ولتاژ	$A_{vi} = \frac{V_A}{n U_T (\sqrt{\gamma B} + \gamma \Delta + \gamma \Delta)}$	
GHz	پهنای باند ذاتی	$f_{Ti} = \left(\frac{IC}{\sqrt{\gamma B} + \gamma \Delta + \gamma \Delta} \right) \left(\frac{\mu U_T}{\pi (\widehat{C}_{gsi} + \widehat{C}_{gbi}) L^*} \right)$	
GHz	پهنای باند	$f_T = \frac{g_m}{\gamma \pi (C_{gs} + C_{gb})}$	
GHz	پهنای باند اتصال دیودی	$f_{Tdiode} = \frac{g_m}{\gamma \pi (C_{gs} + C_{gb} + C_{DB})}$	
nV/ $\sqrt{\text{Hz}}$	چگالی طیف توان ولتاژ نویز حرارتی ارجاع شده به گیت	$\sqrt{S_{VG}} = \sqrt{\gamma K T (n \gamma \sqrt{\gamma B} + \gamma \Delta + \gamma \Delta) \left(\frac{n U_T}{I_D} \right)}$	نویز حرارتی و فلیکر ارجاع شده به گیت
nV/ $\sqrt{\text{Hz}}$	چگالی طیف توان ولتاژ نویز فلیکر ارجاع شده به گیت	$\sqrt{S_{VG}(f)} = \sqrt{\left(\frac{IC}{L^*} \right) \left(\frac{I_*}{I_D} \right) \frac{K_F}{C_{OX} f^{AF}}}$	
GHz	فرکانس گوشه نویز فلیکر	$f_C = \left[\frac{\gamma \pi K_F}{\gamma K T C_{OX}} \left(\frac{\widehat{C}_{gsi} + \widehat{C}_{gbi}}{n \gamma} \right) \right]^{\frac{1}{AF}}$	
mV	عدم تطابق ولتاژ آستانه	$\Delta V_T = A V_{T*} \left(1 + \frac{V_{SB}}{\gamma \Phi_s} \right) \left(\frac{\sqrt{IC}}{L} \cdot \sqrt{\frac{I_*}{I_D}} \right)$	عدم تطابق محلی DC
%	عدم تطابق نسبی رسانایی	$\frac{\Delta K_P}{K_P} = A_{KP} \left(\frac{\sqrt{IC}}{L} \cdot \sqrt{\frac{I_*}{I_D}} \right)$	
mV	عدم تطابق ولتاژ گیت - سورس	$\Delta V_{GS} = \left(\frac{\sqrt{IC}}{L} \cdot \sqrt{\frac{I_*}{I_D}} \right) \cdot \sqrt{A V_{T*}^2 + [A_{KP} n U_T (\sqrt{\gamma B} + \gamma \Delta + \gamma \Delta)]^2}$	
%	عدم تطابق نسبی جریان درین	$\frac{\Delta I_D}{I_D} = \left(\frac{\sqrt{IC}}{L} \cdot \sqrt{\frac{I_*}{I_D}} \right) \cdot \sqrt{\left(\frac{A V_T}{n U_T (\sqrt{\gamma B} + \gamma \Delta + \gamma \Delta)} \right)^2 + A_{KP}^2}$	
A μ	جریان نشستی گیت - سورس	$I_{(GS)_L} = \left(\frac{L^*}{IC} \right) \left(\frac{I_D}{I_*} \right) K_{GA} \left[n U_T \ln \left(1 + e^{\frac{V_{EFF}}{n U_T}} \right) \right] V_{GS} e^{K_{GB} \cdot V_{GS}}$	معیارهای شایستگی RF
V $^{-1}$ GHz	حاصلضرب بهره رسانایی و پهنای باند	$\left(\frac{g_m}{I_D} f_{Ti} \right) = \left(\frac{\gamma}{n U_T (\sqrt{\gamma B} + \gamma \Delta + \gamma \Delta)} \right) \left(\frac{IC}{\sqrt{\gamma B} + \gamma \Delta + \gamma \Delta} \right) \left(\frac{\mu U_T}{\pi (\widehat{C}_{gsi} + \widehat{C}_{gbi}) L^*} \right)$	
GHz	حاصلضرب بهره و پهنای باند	$(A_{vi} f_{Ti}) = \left(\frac{V_A}{n U_T (\sqrt{\gamma B} + \gamma \Delta + \gamma \Delta)} \right) \left(\frac{IC}{\sqrt{\gamma B} + \gamma \Delta + \gamma \Delta} \right) \left(\frac{\mu U_T}{\pi (\widehat{C}_{gsi} + \widehat{C}_{gbi}) L^*} \right)$	

۳-۴- پارامترهای بهره و پهنای باند

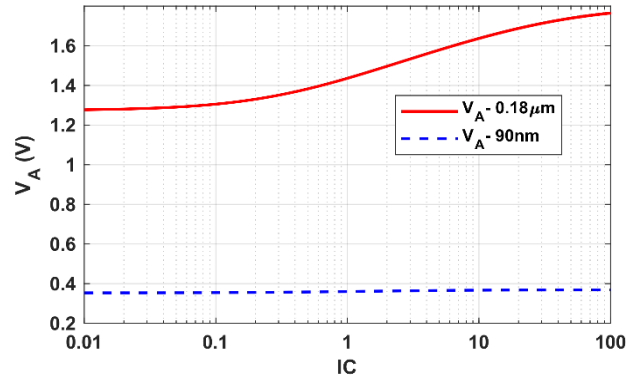
در شکل (۷)، روند تغییرات V_A (ولتاژ ارلی) ولتاژ ارلی) بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS نشان داده شده است. همانگونه که در شکل واضح است، با ظرفیت شدن تکنولوژی، V_A به دلیل کاهش طول کانال و r_{ds} کاهش می یابد. در شکل (۸)، تغییرات A_{Vi} (گین ذاتی ولتاژ) بر حسب IC در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS نشان داده شده است. همانگونه که در شکل (۹)، روند تغییرات f_{Ti} (پهنای باند ذاتی)، f_T (پهنای باند) و f_{Tdiode} (پهنای باند اتصال دیودی) بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS نشان داده شده اند. همانگونه که در شکل واضح است، با ظرفیت شدن تکنولوژی، مقادیر f_{Ti} ، f_T و f_{Tdiode} به دلیل کاهش L افزایش می یابند. البته به دلیل بیشتر بودن اثرات سرعت اشباع ناشی از ابعاد هندسی کوچک قطعه در فرآیند ۹۰nm، f_{Ti} ، f_T و f_{Tdiode} ضرایب وارونگی کمتر افت می کنند. لذا می توان نتیجه گرفت که IC_{CRIT} در فرآیند ۹۰nm کوچکتر از IC_{CRIT} در فرآیند ۱۸۰nm است.



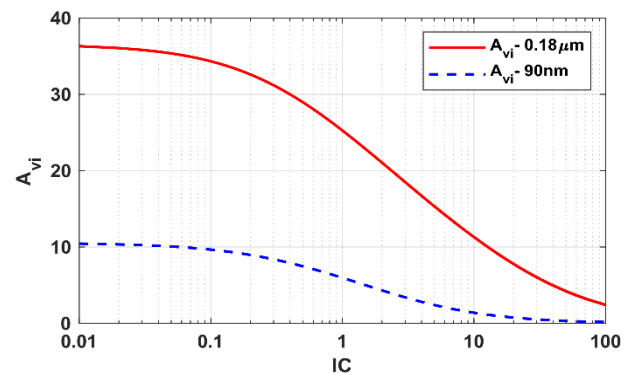
شکل (۱۰): چگالی ولتاژ نویز حرارتی ارجاع شده به گیت $(S_{VG}^{1/2})$ و چگالی ولتاژ نویز فلیکر ارجاع شده به گیت $(S_{VG(f)}^{1/2})$ بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰ μA .

۳-۵- پارامترهای نویز حرارتی و فلیکر ارجاع شده به گیت

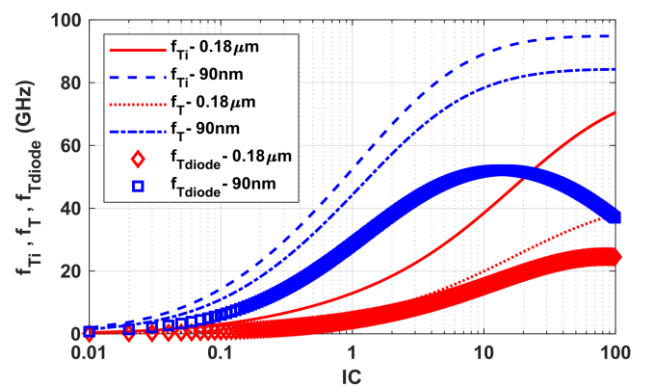
در شکل (۱۰)، روند تغییرات چگالی طیف توان ولتاژ نویز حرارتی ارجاع شده به گیت $(S_{VG}^{1/2})$ و چگالی طیف توان ولتاژ نویز فلیکر ارجاع شده به گیت $(S_{VG(f)}^{1/2})$ بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰ μA .



شکل (۷): ولتاژ ارلی (V_A) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS درین ۱۰۰ μA و $V_{DS} = 0.25 V$.

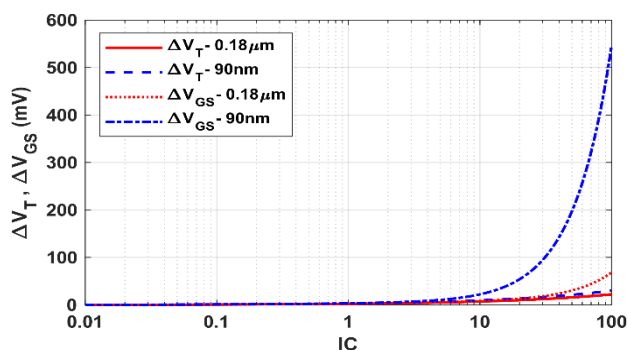


شکل (۸): بهره ذاتی (A_{Vi}) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS درین ۱۰۰ μA و $V_{DS} = 0.25 V$.

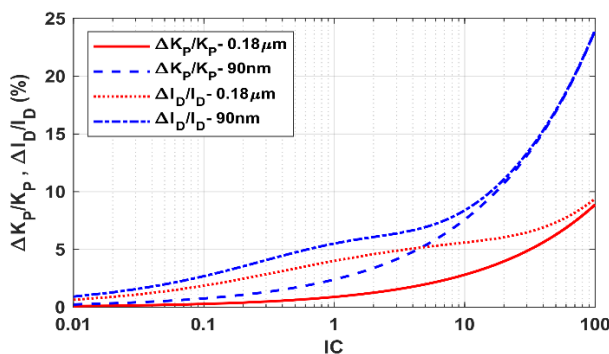


شکل (۹): پهنای باندهای ذاتی (f_{Ti})، غیر ذاتی (f_T) و اتصال دیودی (f_{Tdiode}) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS درین ۱۰۰ μA و $V_{DS} = 0.25 V$.

شکل قابل مشاهده است، با ظرفیت‌زدن تکنولوژی، $\Delta I_D/I_D$ و $\Delta K_P/K_P$ هر دو در نواحی WI و MI به مقدار متوسط افزایش می‌یابند. این افزایش در ناحیه SI به دلیل اثرات سرعت اشباع قابل توجه است.

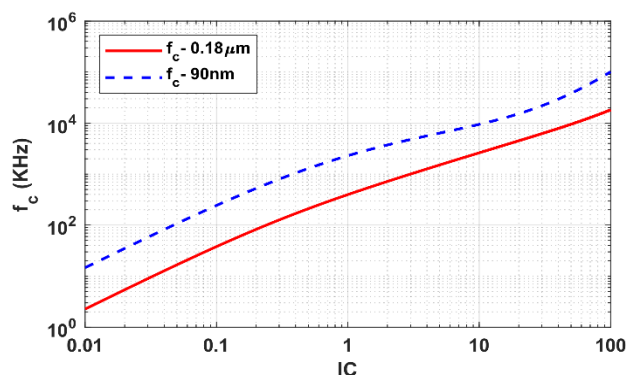


شکل (۱۲): عدم تطابق ولتاژ آستانه (ΔV_T) و عدم تطابق ولتاژ گیت - سورس (ΔV_{GS}) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰ μA .



شکل (۱۳): عدم تطابق نسبی فاکتور رسانایی ($\Delta K_P/K_P$) و عدم تطابق نسبی جریان درین ($\Delta I_D/I_D$) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰ μA .

۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰ μA نشان داده شده‌اند. همانگونه که در شکل واضح است، با ظرفیت‌زدن تکنولوژی، $S_{V_G}^{1/2}$ در نواحی WI و MI تغییر چندانی نمی‌کند و لیکن در ناحیه SI به دلیل اثرات سرعت اشباع ناشی از ابعاد هندسی کوچکتر قطعه مقدار آن افزایش پیدا می‌کند. $S_{V_G}^{1/2}(f)$ نیز با ظرفیت‌زدن تکنولوژی افزایش می‌یابد. در شکل (۱۱)، روند تغییرات f_c (فرکانس گوشه نویز فلیکر) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰ μA نشان داده شده است. همانگونه که در شکل قابل مشاهده است، روند تغییرات f_c مشابه با نویز حرارتی و نویز فلیکر بوده و با ظرفیت‌زدن تکنولوژی افزایش می‌یابد.

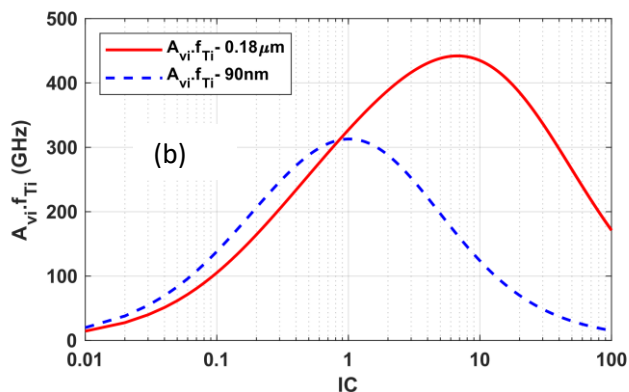
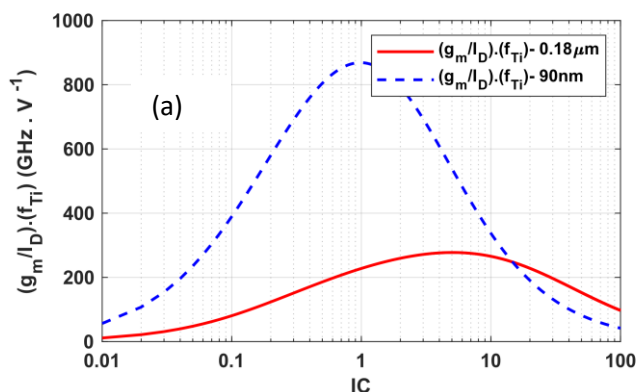


شکل (۱۱): فرکانس گوشه نویز فلیکر (f_c) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰ μA .

۳-۶- پارامترهای عدم تطابق^{۴۲} محلی DC

در شکل (۱۲)، روند تغییرات عدم تطابق ولتاژ آستانه (ΔV_T) و عدم تطابق ولتاژ گیت - سورس (ΔV_{GS}) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰ μA نشان داده شده‌اند. همانگونه که در شکل قابل مشاهده است، با ظرفیت‌زدن تکنولوژی، ΔV_T و ΔV_{GS} هر دو افزایش می‌یابند. این افزایش در ناحیه SI به دلیل اثرات سرعت اشباع ناشی از ابعاد هندسی کوچک قطعه قابل توجه‌تر است. در شکل (۱۳)، روند تغییرات عدم تطابق نسبی فاکتور رسانایی ($\Delta K_P/K_P$) و عدم تطابق نسبی جریان درین ($\Delta I_D/I_D$) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰ μA نشان داده شده‌اند. همانگونه که در

^{۴۲} Mismatch

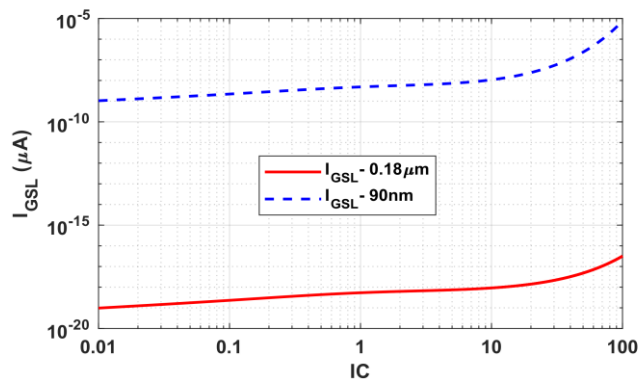


شکل (۱۵): (a) - معیار شایستگی FOM_1 و (b) - معیار شایستگی FOM_2 قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS.

۴- مشاهده مصلحه های عملکرد - صفحه عملیاتی

MOSFET

با توجه به نتایج بدست آمده در بخش های ۳-۱ تا ۳-۷، در صفحه عملیاتی قطعه MOSFET نمایش داده شده در شکل (۱۶)، مصلحه های عملکرد بر حسب ضریب وارونگی و فرآیند ساخت مورد نظر (ظریفتر شدن تکنولوژی) در یک جریان بایاس ثابت نشان داده شده اند. در این شکل هر قطعه MOSFET و یا گروهی از آن ها با یک ضریب وارونگی و یک فرآیند ساخت مورد نظر مطابق با یک نقطه بر روی صفحه عملیاتی کار می کنند. کار در نواحی وارونگی ضعیف و متوسط (سمت چپ صفحه)، رسانایی، بهره رسانایی و گین ذاتی ولتاژ را ماکزیمم و نویز حرارتی و فلیکر ولتاژ ارجاع داده شده به گیت، ولتاژهای بایاس موثر گیت - سورس و اشباع درین - سورس و جریان نشستی گیت را مینیمم می کند. از آنجا که در ضرایب



شکل (۱۴): جریان نشستی گیت (I_{GSL}) قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰ μA.

۳-۷- جریان نشستی گیت - سورس

در شکل (۱۴)، روند تغییرات I_{GSL} قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰ μA نشان داده شده است. همانگونه که در شکل قابل مشاهده است، با ظریفتر شدن تکنولوژی، I_{GSL} در نواحی WI و MI به مقدار متوسط افزایش می یابد. این افزایش در ناحیه SI به دلیل اثرات سرعت اشباع قابل توجه است.

۳-۸- معیارهای شایستگی در طراحی مدارهای RF کم

توان

حاصل ضرب بهره رسانایی و پهنای باند ذاتی ($FOM_1 = (g_m/I_D, f_{Ti})$) و حاصل ضرب بهره و پهنای بلند ذاتی ($FOM_2 = (A_{vi}, f_{Ti})$) دو معیار شایستگی هستند که ترکیبی از چند عملکرد قطعه MOS را نشان می دهند. در شکل های (۱۵a) و (۱۵b)، روند تغییرات FOM_1 و FOM_2 قطعه nMOS بر حسب ضریب وارونگی در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS در جریان درین ۱۰۰ μA نشان داده شده اند. همانگونه که در شکل قابل مشاهده است، با ظریفتر شدن تکنولوژی، FOM_1 (ترکیب بهره رسانایی و پهنای باند) افزایش یافته و FOM_2 (ترکیب گین و پهنای باند) کاهش پیدا می کند. جلب توجه هست که ماکزیمم مقادیر این دو معیار شایستگی در هر دو تکنولوژی در ناحیه MI اتفاق می افتد. و این موضوع اهمیت این ناحیه در طراحی های کم ولتاژ و کم توان را نشان می دهد.

- Beyond: Device, Process and Technology, "Nanomaterials 14, no. 10: 837. <https://doi.org/10.3390/nano14100837>.
- [3] Mistry, K. et al. A 2.0V, 0.35 μm partially depleted SOI-CMOS technology. In IEEE International Electron Devices Meeting 583–586 (IEEE, 1997).
- [4] Tenbroek, B. et al. Self-heating effects in SOI MOSFETs and their measurement by small signal conductance techniques. IEEE Trans. Electron Devices 43, 2240–2248 (1996).
- [5] Ghani, T. et al. A 90nm high volume manufacturing logic technology featuring novel 45nm gate length strained silicon CMOS transistors. In IEEE International Electron Devices Meeting 978–980 (IEEE, 2003).
- [6] Mistry, K. et al. A 45 nm logic technology with high-k + metal gate transistors, strained silicon, 9 Cu interconnect layers, 193 nm dry patterning, and 100% Pb-free packaging. In IEEE International Electron Devices Meeting 247–250 (IEEE, 2007).
- [7] Auth, C. et al. A 22 nm high performance and low-power CMOS technology featuring fully-depleted tri-gate transistors, self-aligned contacts and high density MIM capacitors. In IEEE VLSI Technology Symposium 131–132 (IEEE, 2012).
- [8] Bohr, M., Chau, R., Ghani, T. & Mistry, K. The high-k solution. IEEE Spectr. 44, 29–35 (2007).
- [9] Kuhn, K. J. Considerations for ultimate CMOS scaling. IEEE Trans. Electron Devices 59, 1813–1828 (2012).
- [10] R.K. Ratnesh, A. Goel, G. Kaushik, H. Garg, Chandan, M. Singh, B. Prasad, "Advancement and challenges in MOSFET scaling," Materials Science in Semiconductor Processing, Volume 134, 2021, 106002, ISSN 1369-8001, <https://doi.org/10.1016/j.mssp.2021.106002>.
- [11] G. Girardi, L. C. Severo and P. C. de Aguirre, "Design Techniques for Ultra-Low Voltage Analog Circuits Using CMOS Characteristic Curves: a practical tutorial," Journal of Integrated Circuits and Systems, vol. 17, n.1, 2022.
- [12] W. G. Tuni., Design Methodology of Analog and RF Building Blocks Based on Precomputed Actual Device Technology Data, Ph.D. Thesis, Dept. of Electrical and Computer Engineering of University of Florida, 12 December 2020.
- [13] B. Razavi., RF Microelectronics, 2nd ed. Prentice Hall, 2011.
- [14] C. Enz, F. Chicco, and A. Pezzotta, "Nanoscale MOSFET modeling: Part 1: The simplified EKV model for the design of low-power analog circuits," IEEE Solid-State Circuits Mag., vol. 9, no. 3, pp. 26–35, Aug. 2017.
- [15] C. Enz, F. Chicco, and A. Pezzotta, "Nanoscale MOSFET modeling: Part 2: Using the inversion coefficient as the primary design parameter," IEEE Solid-State Circuits Mag., vol. 9, no. 4, pp. 73–81, Nov 2017.
- [16] E. A. Vittoz, "Micropower Techniques," in Design of MOS VLSI Circuits for Telecommunications, J. Franca and Y. Tsividis, Eds. Englewood Cliffs, NJ: Prentice-Hall, 1994.
- [17] G. Guittton, "Design Methodologies for multi-mode and multi-standard Low-Noise Amplifiers", Ph.D.
- وارونگی پایین، فاکتور ابعاد ($S = W/L$)، عرض کانال، مساحت گیت و خازن‌ها بزرگ هستند لذا پهنای باند ذاتی و عدم تطابق‌های DC ولتاژ گیت - سورس و جریان درین مینیمم می‌شوند. برعکس، کار در ناحیه وارونگی قوی با ضرایب وارونگی بالا (سمت راست صفحه)، رسانایی، بهره رسانایی و گین ذاتی ولتاژ را مینیمم و نویز حرارتی و فلیکر ولتاژ ارجاع داده شده به گیت، ولتاژهای بایاس مؤثر گیت - سورس و اشباع درین - سورس را ماکزیمم می‌کند. از آنجا که در ضرایب وارونگی بالا، فاکتور ابعاد، عرض کانال، مساحت گیت و خازن‌ها کوچک هستند لذا پهنای باند ذاتی و عدم تطابق‌های DC ولتاژ گیت - سورس و جریان درین ماکزیمم می‌شوند. همچنین کار در در ضرایب وارونگی بالا موجب بهبود عملکرد خطی قطعه می‌شود.
- با ظریفتر شدن تکنولوژی (حرکت به سمت کف صفحه عملیاتی)، ابعاد، مقاومت درین - سورس، ولتاژ ارلی، گین ذاتی ولتاژ، رسانایی و بهره رسانایی در قطعه MOS کاهش می‌یابند. همچنین با ظریفتر شدن تکنولوژی پهنای باند ذاتی افزایش یافته و عملکرد خطی قطعه بهبود می‌یابد. از طرفی ظریفتر شدن تکنولوژی موجب افزایش نویز حرارتی و فلیکر ولتاژ ارجاع داده شده به گیت، عدم تطابق‌های DC ولتاژ گیت - سورس و اشباع درین، ولتاژهای بایاس مؤثر گیت - سورس و اشباع درین - سورس و جریان نشستی گیت می‌شود.
- ## ۵- نتیجه‌گیری
- در این مقاله، تاثیر ظریفتر شدن تکنولوژی در عملکرد قطعه MOS با استفاده از پارامتر کلیدی IC در دو فرآیند ۹۰nm و ۱۸۰nm از نوع CMOS بررسی شد. با ترسیم کلیه مشخصه‌های قطعه MOS بر حسب IC در دو تکنولوژی متفاوت، تاثیر کاهش طول کانال و اثرات کوچک شدن ابعاد هندسی قطعه از ناحیه WI تا SI فراهم گردید. برای یک جریان درین معین در ناحیه اشباع، مصالحه‌های عملکرد قطعه MOS بر روی یک صفحه عملیاتی MOSFET خلاصه شد که امکان جستجوی منطقه بهینه طراحی قطعات فعال یک مدار با ظریفتر شدن تکنولوژی را فراهم می‌کند.
- ## مراجع
- [1] Cao W, Bu H, Vinet M, Cao M, Takagi S, Hwang S, Ghani T, Banerjee K, "The future transistors," Nature. 2023 Aug;620(7974):501-515. doi: 10.1038/s41586-023-06145-x. Epub 2023 Aug 16. Erratum in: Nature. 2023 Sep;621(7979): E43. doi: 10.1038/s41586-023-06576-6. PMID: 37587295.
- [2] Radamson, Henry H., Yuanhao Miao, Ziwei Zhou, Zhenhua Wu, Zhenzhen Kong, Jianfeng Gao, Hong Yang, Yuhui Ren, Yongkui Zhang, Jiangliu Shi, and et al. 2024. "CMOS Scaling for the 5 nm Node and

- Thesis, Dept. of the Engineering and Computer Science of University of Bordeaux, 12 December 2018.
- [18] G. Khademevatan and A. Jalali, "Inversion Coefficient as a Key Design Parameter in MOS Device Performance," 2024 32nd International Conference on Electrical Engineering (ICEE), Tehran, Iran, Islamic Republic of, 2024, pp. 1-7, doi: 10.1109/ICEE63041.2024.10668114.
- [19] C. Enz, F. Krummenacher, and E. A. Vittoz, "An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications," *Analog Integr. Circuits Signal Process.*, vol. 8, no. 1, pp. 83–114, Jul. 1995.
- [20] C. Enz and E. A. Vittoz, "Charge-Based MOS Transistor Modeling: The EKV Model for Low-Power and RF IC Design," Hoboken, NJ, USA: Wiley 2006.
- [21] W. Sansen, "Minimum power in analog amplifying blocks: Presenting a design procedure," *IEEE Solid-State Circuits Mag.*, vol. 7, no. 4, pp. 83–89, Fall 2015.
- [22] W. Sansen, "Biasing for Zero Distortion Using the EKV/BSIM6 expressions," *IEEE Solid-State Circuits Mag.*, 10.1109/MSSC.2018.2844607, 13 August 2018.
- [23] G. Khademevatan and A. Jalali, "Study of linearity indices in analog/RF circuits using EKV model and comparing the results in three different CMOS processes," 2022 Iranian International Conference on Microelectronics (IICM), Tehran, Iran, Islamic Republic of, 2022, pp. 1-7.
- [24] <https://www.epfl.ch/labs/iclab/ekv/verilog-a>.
- [25] K. Singh and P. Jain, "BSIM3v3 to EKV2.6 Model Parameter Extraction and Optimization using LM Algorithm on 0.18um Technology node", *Intl Journal of Electronics and Telecommunications*, 2018, vol. 64, no. 1, pp. 5–11.
- [26] D. Binkley, *Tradeoffs and Optimization in Analog CMOS Design*. 1st ed. New York: Wiley, 2008.



Design of Low-Power Approximate Multipliers Based on Spintronic MTJ/FinFET Technology for Image Processing Applications

Behrang Hadian Siahkalmahalleh¹

1. Assistant Professor, Electrical Engineering Faculty, Shahid Sattari University of Aeronautical Engineering, Tehran, Iran.

Key words:

*Spintronic
Approximate Computing
MTJ
Power consumption
Image Processing
Multiplier*

Abstract

With the scaling down of transistor dimensions, power consumption and static power have become fundamental challenges. Numerous solutions have been proposed to enhance efficiency, including FinFET technology, spintronic devices such as Magnetic Tunnel Junctions (MTJs), and approximate computing. FinFET mitigates scaling issues through improved channel control, while spintronic devices offer advantages such as non-volatility and compatibility. Approximate computing also achieves significant improvements in power, delay, and area parameters by reducing precision. This paper introduces two low-power spintronic/FinFET approximate 4:2 compressors for in-memory computing. Simulations performed with HSPICE in a 7-nm technology node using the SHE-MTJ model demonstrate that the proposed designs drastically reduce energy consumption and the number of elements (transistors and MTJs). Compared to the exact design, the first and second compressors exhibit 31% and 65% reduction in power, 18% and 4% reduction in read delay, and 53% and 59% reduction in transistor count, respectively. The accuracy of the compressors was evaluated using mean error distance (MED) and error probability (EP) metrics, and their performance in image processing applications was verified using MATLAB. The results confirm the high competence of these designs for image processing applications.

* Corresponding author's E-mail: b_hadian@ssau.ac.ir



طراحی ضرب‌کننده‌های تقریبی کم‌مصرف مبتنی بر فناوری اسپینترونیک MJT/FinFET برای کاربردهای پردازش تصویر

بهرنگ هادیان سیاهکل محله^{۱*}

۱. استادیار دانشکده مهندسی برق دانشگاه علوم و فنون هوایی شهید ستاری، تهران، ایران

چکیده

واژگان کلیدی

اسپینترونیک

محاسبات تقریبی

MJT

مصرف توان

پردازش تصویر

ضرب‌کننده

با کوچک‌شدن ابعاد ترانزیستورها، مصرف انرژی و توان ایستا به چالشی اساسی تبدیل شده‌اند. راهکارهای متعددی از جمله فناوری FinFET، افزاره‌های اسپینترونیک مانند MJT و محاسبات تقریبی برای بهبود کارایی ارائه شده‌اند. FinFET با کنترل بهتر کانال، مشکلات مقیاس‌گذاری را کاهش داده، در حالی که افزاره‌های اسپینترونیک مزایایی چون نافرار بودن و سازگاری را ارائه می‌کنند. محاسبات تقریبی نیز از طریق کاهش دقت، بهبودهای قابل توجهی در پارامترهای توان، تأخیر و مساحت ایجاد می‌کند. این مقاله دو کمپرسور تقریبی ۴:۲ اسپینترونیک/FinFET کم‌مصرف برای پردازش در حافظه معرفی می‌کند. شبیه‌سازی‌ها با HSPICE در فناوری ۷ نانومتر و مدل SHE-MJT نشان می‌دهد که طرح‌های پیشنهادی مصرف انرژی و تعداد المان‌ها (MJT و ترانزیستور) را به شدت کاهش می‌دهند. کمپرسور اول و دوم به ترتیب ۳۱٪ و ۶۵٪ کاهش توان، ۱۸٪ و ۴٪ کاهش تأخیر خواندن، و ۵۳٪ و ۵۹٪ کاهش تعداد ترانزیستورها را نسبت به طرح دقیق نشان می‌دهند. دقت کمپرسورها با معیارهای فاصله خطای متوسط و احتمال خطا ارزیابی شده و عملکرد آنها در پردازش تصویر با MATLAB مورد تأیید قرار گرفته است. نتایج، قابلیت بالای این طرح‌ها را در کاربردهای پردازش تصویر نشان می‌دهد.

۱- مقدمه

در صنعت هوانوردی و فضا، سامانه‌های اویونیک مسئولیت انجام محاسبات پیچیده ناوبری، کنترل پرواز و پردازش داده‌های حیاتی را بر عهده دارند. این سامانه‌ها نیازمند پردازنده‌هایی با کارایی بالا و در عین حال کم‌مصرف هستند تا ضمن تضمین عملکرد مطمئن، محدودیت‌های توان در پلتفرم‌های هوایی و فضایی را نیز مرتفع سازند. طراحی ضرب‌کننده‌های کم‌مصرف با دقت قابل قبول می‌تواند نقش بسزایی در بهبود کارایی سامانه‌های پردازشی اویونیک ایفا نماید.

امروزه میزان استفاده از وسایل الکترونیک قابل حمل، بخصوص با گسترش اینترنت اشیا^۱، به شدت افزایش یافته است. بنابراین توان مصرفی وسایل الکترونیک که نقش مهمی در طول عمر وسیله، قابلیت اطمینان و هزینه خنک‌سازی و بسته‌بندی^۲ دارد، به چالش اصلی طراحان بدل شده است [۱]. این چالش در کاربردهای حساسی همچون سامانه‌های اویونیک که در آن قابلیت اطمینان بالا، مصرف توان پایین و عمر طولانی از ضروریات اساسی محسوب می‌شوند، از اهمیت دوچندانی برخوردار است.

^۲ Cooling and packaging costs

^۱ Internet of Things

دقیق ندارند و می توانند در کاربردهای آیونیک که تعادل بین دقت و مصرف انرژی حائز اهمیت است، مورد استفاده قرار گیرند.

۲- پیشینه تحقیق و مبانی

مدارهای اسپینترونیک MTJ/CMOS متفاوتی از جمله: جمع کننده، حافظه و کمپرسورهای ۴:۲ در مقالات متعددی ارائه شده اند [۵] و [۶]. برای تغییر حالت سلول MTJ در مدارهای اسپینترونیک MTJ/CMOS، جریان زیادی نیاز است. برای تامین جریان مورد نیاز باید ابعاد ترانزیستورهای CMOS به اندازه کافی افزایش یابند که منجر به افزایش مساحت و توان مصرفی مدارات اسپینترونیک می شود.

علاوه بر مشکلات بیان شده، کاهش ابعاد ترانزیستورهای CMOS به زیر ۴۵ نانومتر باعث افزایش چگالی توان و جریان و رفته رفته نیز منجر به بروز اثرات کانال کوتاه^{۱۰} مانند کاهش سد سورس توسط درین^{۱۱}، اشباع سرعت^{۱۲} و ایجاد حامل های داغ^{۱۳} شده است. این اثرات باعث افزایش توان و خارج شدن مشخصه ترانزیستور از حالت ایده آل می شود [۷] و [۸]. ترانزیستورهای FinFET به عنوان جایگزین شایسته فناوری MOSFET معرفی شده اند. ترانزیستورهای FinFET باعث افزایش کنترل گیت بر روی کانال شده اند و اثرات کانال کوتاهی که در ترانزیستورهای MOSFET ایجاد می شد از جمله کاهش سد توسط درین، حامل داغ و اشباع سرعت را تا حد مناسبی تعدیل کرده اند. از دیگر محدودیت هایی که در مقیاس بندی^{۱۴} در ترانزیستورهای MOSFET با آن مواجه می شویم، تغییرات حین فرایند^{۱۵} هستند که مهم ترین آنها ناخالصی تصادفی بدنه ترانزیستور^{۱۶} است که منشأ اصلی ایجاد تغییرات ولتاژ آستانه می باشد [۹]، [۱۰] و [۱۱]. این اثر به دلیل ناخالصی بسیار پایین بدنه های ترانزیستورهای FinFET برطرف شده است. البته FinFET با مشکلاتی از جمله خازن ها و مقاومت های پارازیتی و خود گرمایشی^{۱۷} نیز مواجه است [۱۲]. با این وجود، با توجه به مشخصه الکترواستاتیکی مناسب و همینطور پروسه ساخت بصره ای که دارد امروزه تجاری شده است و تراشه های امروزی از فناوری FinFET بهره می برند.

از طرفی دیگر روند کاهش ابعاد ترانزیستورها در فناوری نیمه هادی - اکسید فلز مکمل^۱ منجر به افزایش نمایی جریان های نشتی و توان ایستا شده است [۲]. یکی از روش های حل این مشکل استفاده از فناوری اسپینترونیک می باشد. در فناوری اسپینترونیک برخلاف الکترونیک مرسوم، علاوه بر بار الکتریکی، اسپین الکترون ها نیز مورد بررسی قرار می گیرند [۳]. سلول پیوند تونلی مغناطیسی^۲ نیز که عنصر اصلی این فناوری به حساب می آید، دارای ویژگی های برجسته ای از جمله: جریان نشتی بسیار کم، غیر فرار بودن، چگالی بسیار زیاد و سازگاری با فناوری نیمه رسانا حال حاضر می باشد. علاوه بر این، مدارهای منطقی در حافظه^۳ که سلول های MTJ را در سرتاسر خود جای داده اند، پتانسیل زیادی برای کاهش توان ایستا از خود نشان داده اند [۴] و [۵].

در این مقاله دو کمپرسور تقریبی ۴:۲ اسپینترونیک MTJ/FinFET ارائه شده اند. اولین کمپرسور پیشنهادی بر پایه معادلات ارائه شده در مقاله [۲] طراحی شده است. برای طراحی کمپرسور پیشنهادی دوم نیز معادلات جدیدی به نحوی ارائه شده اند که تاحد ممکن پیچیدگی ساختاری و انرژی مصرفی را نسبت به طرح اول کاهش دهد. کاربرد این طرح ها در حوزه های مختلفی از جمله پردازش تصویر در سامانه های نظارتی هوایی و همچنین پردازش سیگنال در سامانه های آیونیک قابل تصور است.

طراح های پیشنهادی توسط نرم افزار HSPICE و بر اساس مدل ترانزیستور اثر میدانی باله ای^۴ نانومتر و پیوند تونلی مغناطیسی با اثر هال اسپینی^۵ شبیه سازی شده اند. با توجه به نتایج، طرح های پیشنهادی تقریبی انرژی مصرفی و تعداد ترانزیستور و MTJ استفاده شده را به طور قابل توجهی نسبت به طرح دقیق کاهش می دهند. برای تعیین کیفیت خروجی طرح های پیشنهادی، کمپرسورها را در ساختار ضرب کننده ۸ بیتی به کاربردی و سپس با استفاده از نرم افزار متلب پارامترهای پرکاربرد همچون احتمال خطا^۶ و خطای متوسط^۷ را محاسبه نمودیم. برای بررسی طرح های تقریبی پیشنهادی در حوزه پردازش تصویر، از دو کاربرد تیز سازی تصویر^۸ و ضرب تصاویر^۹ توسط نرم افزار متلب بهره برده شد. با توجه به نتایج، هر دو طرح پیشنهادی نتایج قابل قبولی را ارائه دادند که تفاوت چندانی با خروجی ضرب کننده

^{۱۰} Short channel effect

^{۱۱} Drain Induced Barrier Lowering

^{۱۲} Velocity saturation

^{۱۳} Hot carrier

^{۱۴} Scaling

^{۱۵} Process Variation

^{۱۶} Random dopant

^{۱۷} Self-heating

^۱ Complementary metal-oxide-semiconductor

^۲ Magnetic tunnel junction (MTJ)

^۳ Logic in memory (LIM)

^۴ Fin Field-Effect Transistor

^۵ Spin Hall Effect Magnetic Tunnel Junction (SHE MTJ)

^۶ Error Rate (ER)

^۷ Mean Error Distance (MED)

^۸ Sharpening

^۹ Image multiplication

کمپرسورهای تقریبی که توان و مساحت کمی را اشغال می‌کنند و دقت قابل قبولی از خود نشان می‌دهند، می‌توانند به اندازه قابل توجهی باعث کاهش توان و مساحت ضرب‌کننده شوند و خروجی با دقت مناسبی نیز تولید کنند. همانطور که بیان شد با توجه به افزایش اهمیت انرژی مصرفی سیستم‌های الکترونیکی، اسفاده از مدارهای محاسباتی تقریبی افزایش یافته است. در مقالات [۲]، [۱۵]، [۲۲]، [۲۳] و [۲۴] تعداد بسیاری کمپرسورهای تقریبی ۴:۲ و ۵:۲ ارائه شده اند. با توجه بررسی‌های انجام شده طرح ارائه شده در مقاله [۲] با توجه به دقت خروجی و انرژی مصرفی توانسته تعادل مناسبی بین این دو پارامتر برقرار کند. در ادامه نیز برای طراحی اولین کمپرسور تقریبی MTJ/FinFET پیشنهادی از معادلات خروجی این طرح استفاده شده است.

۳- پیش نیازها

۳-۱- پیوند تونل مغناطیسی (MTJ)

افزازه MTJ از مهم‌ترین المان‌های طراحی مدارهای دیجیتال مبتنی بر اسپینترونیک و حافظه‌های نافرار بشمار می‌رود. مدارهای مبتنی بر MTJ به دلیل ویژگی‌هایی همچون غیرفرار بودن، عمر طولانی، چگالی بالا و سازگاری با فناوری نیمه‌رسانا حال حاضر صنعت الکترونیک، مدتی است که در معرض توجه طراحان الکترونیک قرار گرفته‌اند [۱۸].

همان‌طور که در شکل (۱) نشان داده شده است، سلول MTJ از دو لایه فرو مغناطیس^۱ (همانند CoFeB) که توسط عایقی (همانند MgO) از هم جدا شده‌اند، تشکیل شده است [۱۹]. یکی از لایه‌های فرو مغناطیس، بنام لایه ثابت^۲، دارای مغناطیس شدگی^۳ غیر قابل تغییر می‌باشد، در حالیکه لایه دوم که لایه آزاد^۴ نام دارد، قابلیت آن را دارد که دو حالت موازی و غیر موازی را (نسبت به لایه ثابت) اختیار کند [۱۹]. با توجه به حالت اختیار شده توسط لایه آزاد، حالت موازی و غیر موازی، سلول MTJ مقاومت کم (R_P) و یا زیاد (R_{AP}) از خود نشان می‌دهد. با توجه مقاومت سلول MTJ در این دو حالت (موازی و غیر موازی) پارامتری بنام TMR^۵ تعریف می‌شود. هر چه مقدار TMR بیشتر باشد اختلاف مقاومت بین دو حالت بیشتر و بالطبع تشخیص سلول (خواندن سلول) راحت‌تر انجام می‌شود [۱۸].

$$TMR(\%) = \frac{R_{AP} - R_P}{R_P} \times 100 \quad (1)$$

امروزه استفاده از روش محاسبات تقریبی برای طراحی مدارهای دیجیتال بسیار گسترده شده است. دربرخی از کاربردها نیاز به اعمال الگوریتم‌های دقیق برای پیاده‌سازی مدارها نیست. این کاربردها می‌توانند خطا و عدم دقت در محاسبات را تحمل کنند، با این حال نتایج قابل قبولی نیز تولید کنند [۱۳]. با به کارگیری این روش و با رهایی از محاسبات دقیق در مدارهای دیجیتال با از دست‌دادن مقداری دقت در محاسبات، می‌توان به مقدار قابل توجهی صرفه‌جویی در توان و مساحت و همین‌طور افزایش سرعت در مدارهای دیجیتال رسید. محاسبات تقریبی برای ادوات قابل حمل که طول عمر باتری برای آنها اهمیت بسیار زیادی دارد، می‌تواند مفید واقع شود. علاوه بر این، دمای مدارهای دیجیتال نیز برای ما اهمیت زیادی دارد؛ زیرا این افزایش دما نرخ خرابی ادوات و همچنین هزینه بسته‌بندی و خنک‌سازی ادوات را افزایش می‌دهد. لذا طراحان بر اینند تا می‌توانند طراحی کم‌توان داشته باشند. محاسبات تقریبی را در کاربردهای بسیاری که تا حدی نسبت به خطا مقاومند و نیازی به دقت بالایی در محاسبات نیست، می‌توان به کاربرد. از جمله این کاربردها می‌توان به پردازش تصاویر/سیگنال، کاربردهای چند رسانه‌ای و یادگیری ماشین اشاره کرد [۱۴].

عمل‌های ضرب و جمع در بسیاری از این کاربردها مهم‌ترین عمل حسابی به شمار می‌رود. ضرب‌کننده‌ها به صورت بلوک‌های پایه در بسیاری از مدارهای دیجیتال وجود دارند. ضرب‌کننده‌ها به صورت گسترده در میکرو پروسورها، پردازنده‌های سیستم‌های دیجیتال به کار می‌روند و در کاربردهایی مانند فیلتر کردن و پیاده‌سازی الگوریتم‌های پردازش تصویر استفاده می‌شوند. با توجه به کاربرد فراوان ضرب‌کننده‌ها و توان مصرفی بالا، استفاده از روش‌هایی همچون محاسبات تقریبی برای کاهش توان مصرفی، تاخیر و مساحت ضرب‌کننده اهمیت بالایی دارد [۱۵]. ساختار یک ضرب‌کننده به طور معمول از سه قسمت تشکیل می‌شود. اول، تولید حاصل‌ضرب‌های جزئی توسط آرایه‌ای از گیت‌های AND، سپس کاهش حاصل‌ضرب‌های جزئی به دو عملوند که این مرحله توسط کمپرسورها انجام می‌گیرد و در آخر بلوکی سریع برای جمع دو عملوند. برخلاف مرحله اول که تاخیر ثابتی دارد، تاخیر بخش کاهش ضرب‌کننده‌های جزئی با ساینز ضرب‌کننده رابطه لگاریتمی دارد. این بخش در مقایسه با بخش‌های دیگر ضرب‌کننده هم توان بیشتری مصرف می‌کند هم مساحت بیشتری اشغال می‌کند. لذا کاهش توان و کاهش تاخیر این بخش اهمیت زیادی برای کارایی ضرب‌کننده دارد. روش‌های زیادی برای کاهش حاصل‌ضرب‌های جزئی ارائه شده که از تمام جمع‌کننده (کمپرسور ۳:۲) و کمپرسورهای ۴:۲ درون آن‌ها استفاده می‌شود [۱۶] و [۱۷]. لذا ارائه

^۱ Free layer

^۵ Tunnel magnetoresistance

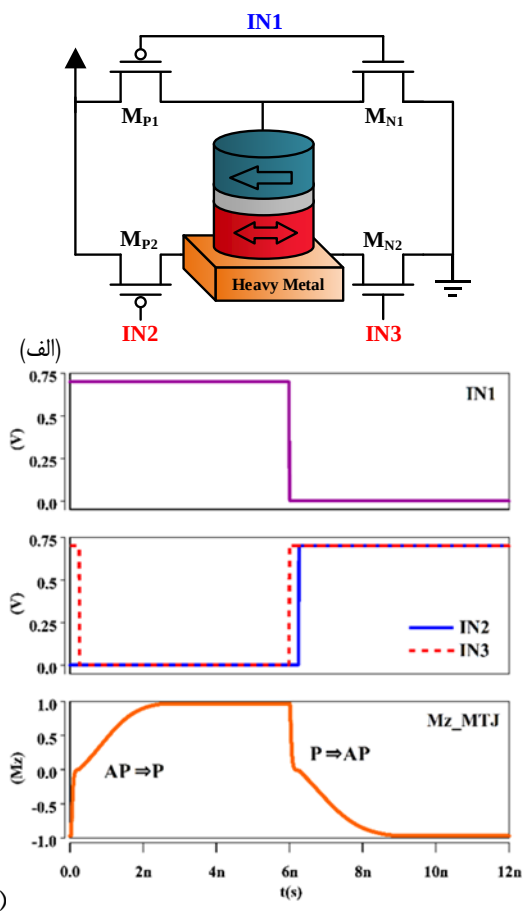
^۱ Ferromagnetic

^۲ Reference layer

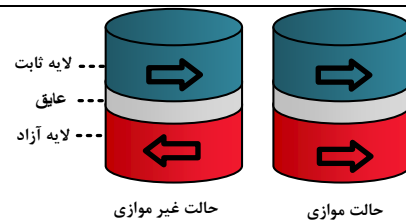
^۳ Magnetization

شمای کلی مدارهای اسپینترونیک MTJ/CMOS در شکل (۳) نشان داده شده است.

ساختار این مدارها به طور کلی دارای سه بخش مختلف می باشد [۵] و [۶]. بخش مدار نوشتن که وظیفه تغییر حالت سلول MTJ را برعهده دارد. در این بخش می توان از روش های متعددی که برای تغییر حالت سلول MTJ که در مقالات ارائه شده، استفاده نمود. بخش درخت ترانزیستورها و سلول های MTJ، در این بخش سلول های MTJ وظیفه ذخیره داده را دارند. این سلول ها با کمک درخت ترانزیستورهای CMOS، تابع خروجی مدار مود نظر را ایجاد می کنند. بخش مدار خواندن، که وظیفه تولید خروجی مدار با توجه به درخت ترانزیستورها و وضعیت سلول های MTJ را برعهده دارد.



شکل (۲): مدار نوشتن بر روی سلول MTJ (الف) مدار نوشتن (ب) روند تغییر حالت با استفاده از FinFET هفت نانو با تعداد چهار Fin



شکل (۱): ساختار سلول MTJ در حالت موازی و غیر موازی [۱۸] و [۱۹].

در سال های اخیر، روش های متعددی برای تغییر حالت سلول MTJ ارائه شده اند. از بین روش های ارائه شده در مقالات، روش STT به دلیل سادگی و کارایی بالا نسبت به روش های دیگر پرکاربردتر می باشد [۴] و [۱۹]. در روش STT برای تغییر حالت MTJ از حالت موازی به غیر موازی و بالعکس، باید جریانی بیش از مقدار بحرانی (I_c)، به ترتیب، از لایه آزاد به لایه ثابت و بالعکس جریان یابد. با توجه به سرعت نوشتن پایین و توان مصرفی زیاد، روش STT برای بسیاری از کاربردهای با کارایی بالا مناسب نمی باشد. مدل SHE MTJ به دلیل سرعت نوشتن و انرژی مصرفی کمتر، می تواند جایگزین روش STT مرسوم شود [۲۰]. برخلاف MTJ مرسوم، مدل SHE-assisted MTJ دارای سه پایه می باشد. در این مدل لایه ای از فلز سنگین زیر MTJ متداول قرار دارد (شکل (۲-الف)). در این مدل جریان SHE گذرنده از لایه فلزی و جریان STT گشتاور لازم برای تغییر حالت لایه آزاد را فراهم می کند. این مدل، تاخیر نوشتن و انرژی مصرفی را به شدت نسبت به روش STT کاهش می دهد [۲۰].

مدار نوشتن بر روی سلول SHE-assisted MTJ در شکل (۲-الف) نشان داده شده است. به منظور تغییر حالت MTJ از غیرموازی به موازی جریان STT باید از درون دو ترانزیستور M_{N1} و M_{P2} عبور کنند. برای حالت موازی به غیرموازی نیز ترانزیستور M_{P1} و M_{N2} مسئول عبور جریان STT هستند. در هر دو حالت نیز جریان SHE از دو ترانزیستور M_{P2} و M_{N2} عبور خواهد کرد. به عنوان مثال، برای تغییر حالت از غیرموازی به موازی، ابتدا ترانزیستورهای M_{P2} ، M_{N2} و M_{N1} را روشن و M_{P1} را خاموش می کنیم. بدین ترتیب جریان STT از دو ترانزیستور M_{P2} و M_{N1} و جریان SHE نیز از ترانزیستورهای M_{P2} و M_{N2} عبور خواهد کرد. سپس، بعد مدت کوتاهی (۲۵۰ پیکوثانیه) ترانزیستور M_{N2} را خاموش کرده که منجر به حذف جریان SHE می شود. در این حالت جریان STT ادامه دارد تا عمل تغییر حالت کامل شود. روند تغییر حالت از موازی به غیرموازی و بالعکس در شکل (۲-ب) نشان داده شده است.

از معادلات خروجی، مسیرهای باقیمانده می‌باشند. با در نظر گرفتن تمام حالات ورودی و چک کردن خروجی مدار می‌توان به این نتیجه رسید که این مسیرهای باقیمانده مورد نیاز نمی‌باشند. برای مثال، زمانی که $x_4 = 1$ و یکی از ورودی‌های x_1 و x_2 هم برابر ۱ باشند، شاخه سمت چپ کاملاً وصل و مقاومت کمتری از شاخه سمت راست خواهد داشت. لذا گره 'Carry' به زمین تخلیه شده و V_{dd} ، Carry، باقی می‌ماند. اگر هم x_1 و x_2 هر دو صفر باشند شاخه چپ کاملاً قطع خواهد شد و اینبار خروجی Carry به زمین تخلیه می‌شود.

زمانی هم که $x_4 = 0$ ، اگر حالات $x_3 = 1$ و $(x_1 = 1 \text{ OR } x_2 = 1)$ رخ دهد، شاخه سمت راست کاملاً قطع خواهد بود و شاخه سمت چپ وصل و تنها مقاومت MTJ زیادی خواهد داشت. لذا گره 'Carry' به زمین تخلیه شده و Carry و V_{dd} باقی می‌ماند. تنها حالتی که دو مسیر هر دو وصل و تفاوت مقاومت سلول های MTJ در تعیین خروجی تاثیر گزار است حالتی می باشد که ورودی $x_3 = 0$ و بین ورودی های x_1 و x_2 حداقل یکی برابر ۱ باشد. در این صورت چون مقاومت سلول MTJ کمتر است ($x_4 = 0$) خروجی Carry به زمین تخلیه و 'carry'، V_{dd} باقی می‌ماند.

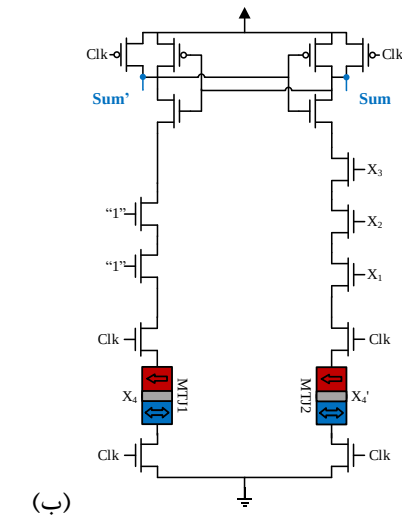
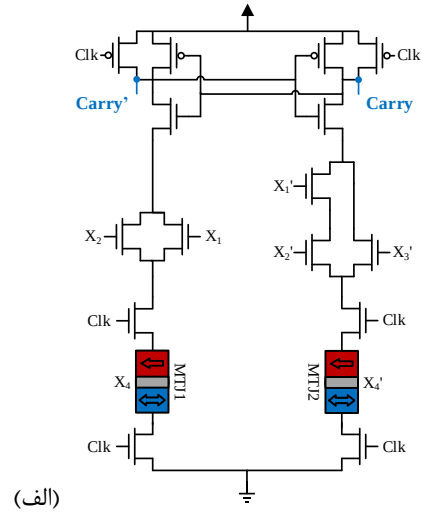
$$Sum = x_4 \cdot ("1") + x_4' \cdot (x_1 + x_2 + x_3) \quad (2)$$

$$Sum' = x_4 \cdot ("0") + x_4' \cdot (x_1' \cdot x_2' \cdot x_3') \quad (3)$$

خروجی Sum کمپرسور تقریبی پیشنهادی اول در شکل (۶-ب) نشان داده شده است. ابتدا عبارت "۱" از رابطه (۴) و عبارت $(x_1' \cdot x_2' \cdot x_3')$ از رابطه (۵) انتخاب شده و طراحی شده‌اند. برای عملکرد بهتر به خصوص در حضور تغییرات فرایند عبارت "۱" با دو ترانزیستور سری همیشه روشن پیاده‌سازی شده است. با در نظر گرفتن تمام حالات ورودی و چک کردن خروجی مدار می‌توان به این نتیجه رسید که مسیرهای باقیمانده مورد نیاز نمی‌باشند. با توجه به شکل (۶-ب) اگر $x_4 = 1$ باشد MTJ۱ و MTJ۲ به ترتیب در حالت موازی و غیرموازی هستند. در چنین حالتی برای تعیین خروجی، ورودی‌های دیگر اهمیتی ندارند، و در هر حالتی مقاومت شاخه سمت چپ کمتر می‌باشد، لذا Sum' زودتر به زمین تخلیه شده و V_{dd} ، Sum، باقی می‌ماند. از طرفی دیگر اگر $x_4 = 0$ باشد MTJ۱ و MTJ۲ به ترتیب در حالت غیر موازی و موازی هستند. حال اگر $x_1 x_2 x_3 = 000$ رخ دهد مقاومت شاخه راست کمتر خواهد بود، لذا Sum تخلیه شده و Sum' در V_{dd} باقی می‌ماند.

در دیگر حالات شاخه سمت راست کاملاً قطع خواهد بود و گره Sum' زودتر تخلیه خواهد شد. کمپرسور تقریبی اسپینترونیک پیشنهادی اول دارای ۴۶ ترانزیستور و ۴ سلول MTJ می‌باشد.

مدارها)). هر دو این بخش‌های انتخاب شده باید طراحی شوند. سرانجام نیز مسیرهای باقیمانده‌ای که برای عملکرد صحیح مدار مورد نیاز هستند، اضافه می‌شوند. لازم به ذکر است که مسیرهایی که با بخش‌های باقیمانده اشتراک دارند می‌توانند مورد استفاده قرار گیرند. شکل (۶-الف) خروجی Carry طرح تقریبی پیشنهادی اول را نشان می‌دهد. سیگنال‌های x_4 و x_4' برای ذخیره در سلول MTJ در نظر گرفته شده‌اند.



شکل (۶): ساختار کمپرسور ۴:۲ تقریبی پیشنهادی اول (الف) خروجی Carry (ب) خروجی Sum

معادله خروجی‌های Carry و Carry' برحسب ورودی‌های سلول‌های MTJ در روابط (۲) و (۳) نوشته شده‌اند. ابتدا بخش $(x_1 + x_2)$ از معادله (۲)، و بخش $(x_1' \cdot x_2' + x_3')$ از معادله (۳) انتخاب شده و به عنوان شاخه چپ و راست خروجی طراحی شده‌اند. بخش‌های $(x_4 \cdot (x_1' \cdot x_2' + x_3'))$ و $x_4' \cdot (x_1 + x_2)$

نقیض هم باشند. در این صورت معادلات خروجی‌های طرح پیشنهادی دوم برحسب ورودی x_4 (سیگنال ذخیره شده در سلول MTJ) در روابط (۶) و (۷) نمایش داده شده‌اند. البته برای تصحیح خروجی Sum به ازای ورودی "۰۰۰۰" مدار تصحیحی هم باید طراحی شود.

$$Carry = x_4 \cdot (x_1 + x_2 + x_3) + x'_4 \cdot (x_1 \cdot x_2 + x_1 \cdot x_3 + x_2 \cdot x_3) \quad (6)$$

$$Carry' = x_4 \cdot (x'_1 \cdot x'_2 \cdot x'_3) + x'_4 \cdot ((x'_1 + x'_2) \cdot (x'_1 + x'_3 \cdot x'_2)) \quad (7)$$

جدول (۱): جدول صحت کمپرسور تقریبی پیشنهادی دوم

x_4	x_3	x_2	x_1	Carry	Sum	خطا	فاصله خطا
۰	۰	۰	۰	۰	۰		
۰	۰	۰	۱	۰	۱		
۰	۰	۱	۰	۰	۱		
۰	۰	۱	۱	۱	۰		
۰	۱	۰	۰	۰	۱		
۰	۱	۰	۱	۱	۰		
۰	۱	۱	۰	۱	۰		
۰	۱	۱	۱	۱	۰	*	-۱
۱	۰	۰	۰	۰	۰	*	-۱
۱	۰	۰	۱	۱	۰		
۱	۰	۱	۰	۱	۰		
۱	۰	۱	۱	۱	۰	*	-۱
۱	۱	۰	۰	۱	۰		
۱	۱	۰	۱	۱	۰	*	-۱
۱	۱	۱	۰	۱	۰	*	-۱
۱	۱	۱	۱	۱	۰	*	-۲

ساختار طرح پیشنهادی دوم و مدار تصحیح در شکل (۷) نشان داده شده‌اند. سیگنال‌های x_4 و x'_4 برای ذخیره در سلول MTJ در نظر گرفته شده‌اند. ابتدا بخش $(x_1 + x_2 + x_3)$ از معادله (۶) و بخش $(x'_1 \cdot x'_2 \cdot x'_3)$ از معادله (۷) انتخاب شده و به عنوان شاخه چپ و راست خروجی طراحی شده‌اند. با در نظر گرفتن تمام حالات ورودی و چک کردن خروجی مدار می‌توان به این نتیجه رسید که مسیرهای باقیمانده مورد نیاز نمی‌باشند. برای طراحی مدار تصحیح سازی نیز با توجه به جدول صحت متوجه می‌شویم زمانی که هر سه ورودی x_1 ، x_2 و x_3 برابر "۰" باشد نیاز است خروجی Sum برابر "۰" شود لذا با استفاده از یک گیت OR و یک مولتی پلکسر، انتخاب می‌کنیم وقتی این شرایط رخ داد خروجی برابر "۰" شود. کمپرسور تقریبی اسپینترونیک پیشنهادی دوم دارای ۴۰ ترانزیستور و ۲ سلول MTJ می‌باشد. از آن جایی که تغییر حالت سلول‌های MTJ نیازمند مصرف انرژی زیادی است، نصف شدن تعداد سلول‌های MTJ به شدت باعث

$$Sum = x_4 \cdot ("۱") + x'_4 \cdot (x_1 + x_2 + x_3) \quad (4)$$

$$Sum' = x_4 \cdot ("۰") + x'_4 \cdot (x'_1 \cdot x'_2 \cdot x'_3) \quad (5)$$

۴-۲- کمپرسور ۴:۲ تقریبی MJT/FinFET پیشنهادی

دوم

کمپرسور پیشنهادی دوم بر مبنای جدول صحت نشان داده شده در جدول (۱) طراحی شده است (سیگنال‌های نقلی در نظر گرفته نشده‌اند). برای طراحی کمپرسور پیشنهادی دوم به دو نکته توجه شده است. اول اینکه همانطور که بیان شد کمپرسورها در مرحله دوم ساختار ضرب‌کننده مورد استفاده قرار می‌گیرند و ورودی کمپرسورها حاصل ضرب‌های جزئی می‌باشند. با توجه به این که حاصل ضرب‌های جزئی با استفاده از آرایه‌ای از گیت‌های منطقی AND تولید می‌شوند احتمال "۰" بودن ورودی کمپرسورها بیشتر و برابر $3/4$ می‌باشد (احتمال "۱" بودن برابر $1/4$ می‌باشد). برای مثال احتمال رخداد ورودی "۰۰۰۰" برابر $81/256$ (۳۱.۶٪) است. لذا در طراحی کمپرسورها، ورودی‌هایی که تعداد "۰" بیشتری دارند نباید خطا دار شوند.

از بین ورودی‌های با احتمال بالا تنها ورودی "۱۰۰۰" خطا دار شده است و آن هم به دلیل ساده سازی و کاهش توان مصرفی کمپرسور ارائه شده است. ۶ خروجی از ۱۶ حالت ممکن در این طرح خطا دار می‌باشند که با در نظر گرفتن احتمال رخداد ورودی، منجر به احتمال خطا ۱۵.۶٪ می‌شود. البته باید به این نکته توجه کرد که دیگر پارامتر مهم در دقت کمپرسورهای تقریبی اختلاف حساسی بین خروجی دقیق و تقریبی می‌باشد تمام خطاهای رخ داده شده در طرح دوم فاصله خطایی برابر ۱ و یا بیشتر دارند، در حالیکه تمامی خطاهای ایجاد شده در طرح پیشنهادی اول دارای فاصله خطای ۱ می‌باشند [۲]. لذا طرح پیشنهادی دوم علیرغم احتمال رخداد خطای کمتر خطاهای بزرگتری نسبت به طرح اول ایجاد می‌کند. دومین نکته، طراحی خروجی‌های کمپرسور به نحوی که Sum و Carry نقیض یکدیگر باشند، است. در شکل (۶) مشاهده می‌شود که در این نوع مدارها، خروجی و نقیض خروجی همزمان تولید می‌شوند. اگر در طراحی به نحوی عمل گردد که Sum و Carry نقیض هم باشند با یک مدار MJT/FinFET هردو خروجی تولید خواهند شد. با توجه به جدول صحت (۱)، مشاهده می‌شود که خروجی Sum و Carry در تمامی حالات به غیر ورودی "۰۰۰۰" نقیض هم هستند. این ورودی به دلیل احتمال رخداد بالا نباید خطا دار شود، لذا به ناچار در این حالت خروجی صحیح که همان "۰۰" نمایش داده می‌شود. اما برای طراحی مدار MJT/FinFET پیشنهادی خروجی Sum را به ازای این ورودی، "۱" در نظر گرفته می‌شود تا دو خروجی در تمامی حالات

کمپرسور (قبل از FO۴) به ۵۰ درصد مقدار نهایی برسد، به عنوان تاخیر خواندن مدار محاسبه شده است. بیشترین زمان مورد نیاز برای اینکه سلول MTJ از موازی به غیرموازی یا بالعکس تغییر بدهد نیز به عنوان تاخیر نوشتن در نظر گرفته شده است. علاوه بر آن، توان متوسط، انرژی خواندن^۱ و انرژی نوشتن^۲ نیز برای ارزیابی کارایی مدار محاسبه شده اند.

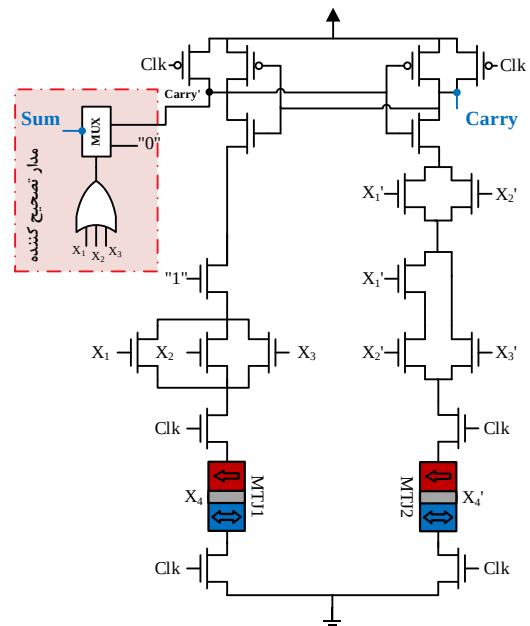
جدول (۲): پارامترهای مدل MTJ [۲۰] و [۲۷]

Parameter	Description	Value
t_F	Free layer thickness	۰/۷ nm
t_b	Thickness of oxide barrier (MgO)	۱/۱ nm
D	Surface diameter	۵۰ nm
$\bar{\phi}$	Potential barrier height of oxide (MgO)	۰/۴ V
FA	Coefficient used in Brinkman model	$۳/۳۱۴۱ \times ۱۰^{-۴}$
RA	MTJ Resistance-Area product	$۱۰ \Omega \cdot \mu m^2$
TMR _۰	TMR under zero bias	۱۵۰ %
V_h	Bias voltage where TMR is divided by 2	۰/۵ V
M_s	Saturation magnetization	$۸/۸ \times ۱۰^{-۵} A m^{-1}$
H_k	Anisotropy field	$۸ \times ۱۰^{-۴} A m^{-1}$
α	Gilbert damping constant	۰/۰۳
η	Spin Hall angel	۰/۳
R_{HM}	Heavy metal resistance	۶۷۰ Ω
γ	Gyromagnetic ratio	$۱/۷۶ \times ۱۰^{-۱} rad s^{-1} T^{-1}$
$\hbar$	Reduced Planck constant	$۱/۰۵۴ \times ۱۰^{-۳۴} J s$

جدول (۳): پارامترهای ۷ FinFET نانومتر [۲۶]

Parameters	p-type	n-type
Physical fin thickness	۶/۵ nm	۶/۵ nm
Fin height	۳۲ nm	۳۲ nm
Fin pitch	۲۷ nm	۲۷ nm
Gate length	۲۱ nm	۲۱ nm
Equivalent oxide thickness	۱/۲۵ nm	۱/۲۵ nm
Body doping	$۱۰^{۱۶} cm^{-3}$	$۱۰^{۱۶} cm^{-3}$
Source/Drain doping	$۲ \times ۱۰^{۲۰} cm^{-3}$	$۲ \times ۱۰^{۲۰} cm^{-3}$
Low field mobility (μ_n)	$۲۰۰ cm^2/V.s$	$۲۴۲ cm^2/V.s$
Gate Work Function (Φ_M)	۴/۸۱۲ eV	۴/۳۷۲ eV

کاهش انرژی مصرفی طرح پیشنهادی دوم نسبت به طرح پیشنهادی اول خواهد شد.



شکل (۷): ساختار کمپرسور ۴:۲ تقریبی پیشنهادی دوم به همراه مدار تصحیح کننده

۵- شبیه سازی طرح های پیشنهادی

۵-۱- کارایی سخت افزار

کمپرسورهای اسپینترویک پیشنهادی با استفاده از HSPICE و بر اساس مدل ۷ FinFET نانومتر و مدل SHE-PMTJ شبیه سازی شده اند [۲۶] و [۲۷] (جدول های ۲ و ۳). از بین چهار مدل ترانزیستور FinFET تعریف شده در [۲۶]، برای افزایش سرعت نوشتن بر روی سلول های MTJ از مدل SLVT با تعداد ۴، Fin استفاده شده است. دیگر ترانزیستورها نیز برای کاهش توان مصرفی که مهم ترین پارامتر در طراحی تقریبی می باشد، از مدل RVT با تعداد یک Fin انتخاب شده اند. برخی از پارامترهای مدل MTJ و FinFET به ترتیب در جداول (۲) و (۳) نشان داده شده اند. شبیه سازی در ولتاژ تغذیه ۰/۷ ولت و در فرکانس دویست مگاهرتز انجام شده است. بار FO۴ نیز در هر یک از خروجی های مدار قرار داده شده است. همه حالات ممکن ورودی و خروجی به مدار اعمال شده است. برای نمونه، شکل (۸) سیگنال های ورودی و خروجی کمپرسور ۴:۲ تقریبی اسپینترویک پیشنهادی دوم را نشان می دهد که عملکرد صحیح مدار را تایید می کند. مدت زمان بین لحظه ای که سیگنال کلاک به ۵۰ درصد مقدار نهایی می رسد تا زمانی که یکی از خروجی های

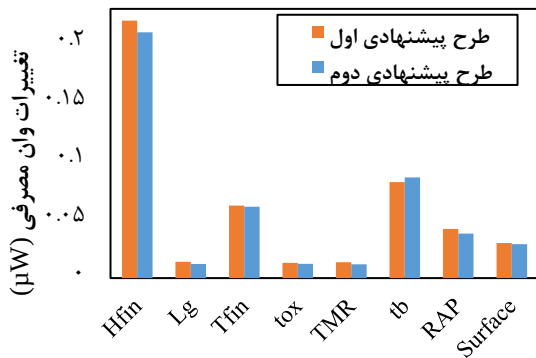
^۲ Write energy

^۱ Read energy

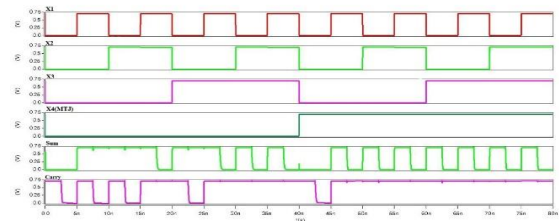
ترانزیستور کمتری دارد نسبت به طرح اول پارامترهای سخت افزاری بهتری دارد.

۵-۲- بررسی تاثیر تغییرات حین فرایند ساخت

تغییرات فرایند تصادفی قطعا یکی از چالش های مهم در ادوات و مدارهای در مقیاس نانومتر است [۲۸]. تغییرات تصادفی باعث ایجاد اختلال و کاهش کارایی مدارهای دیجیتال می شود. لذا، برای بررسی میزان و نحوه تاثیر تغییرات فرایند تصادفی بر مدارهای اسپینترونیک پیشنهادی از شبیه سازی مونت کارلو^۱ با توضیح گوسی و تغییرات در سطح سه سیگما^۲ استفاده شده است. مقدار تغییرات برای لایه آزاد (Surface)، ضخامت اکساید^۳ (t_b)، TMR0 و حاصل ضرب مقاومت در مساحت^۴ (RAP) که مهم ترین پارامترهای تغییرات حین فرایند برای سلول MTJ هستند، به ترتیب ۱۵٪، ۵٪، ۱۰٪ و ۱۵٪ در نظر گرفته شده اند [۲۹]، [۳۰]. مقدار تغییرات نیز برای همه پارامترهای حیاتی FinFET که شامل طول گیت (L_g)، ارتفاع فین (H_{fin})، ضخامت اکساید گیت (t_{ox}) و ضخامت فین (T_{fin}) می شود، ۱۰٪ در نظر گرفته شده است. حداکثر تغییرات توان مصرفی و تاخیر دو طرح تقریبی پیشنهادی در شکل (۹) نشان داده شده است که عملکرد صحیح هر دو طرح را در تمام حالات تایید می کند. باتوجه به نتایج، دو پارامتر H_{fin} و t_b مهم ترین عامل تغییرات در مدارهای پیشنهادی اسپینترونیک می باشند. باتوجه به این که H_{fin} بر روی عرض موثر گیت و به تبع آن خازن های سوئیچینگ و جریان ترانزیستور تاثیر عمده ای می گذارد. t_b نیز روی مقاومت MTJ به صورت نمایی و به تبع آن بر روی جریان خروجی تاثیر زیادی دارد [۳۱].



(الف)



شکل (۸): نتایج شبیه سازی کمپرسور اسپینترونیک تقریبی پیشنهادی دوم

نتایج شبیه سازی کمپرسورهای اسپینترونیک پیشنهادی در جدول (۴) نشان داده شده اند. همان طور که از نتایج مشخص است، دو طرح تقریبی توان مصرفی را که مهم ترین پارامتر طراحی تقریبی می باشد، به ترتیب ۳۱٪ و ۶۵٪ به نسبت کمپرسور دقیق بهبود داده اند. از نظر تعداد ترانزیستور و سلول MTJ که معیاری برای پیچیدگی مدار در نظر گرفته می شوند، اولین کمپرسور تقریبی ۴۶ ترانزیستور و ۴ سلول MTJ، طرح تقریبی دوم ۴۰ ترانزیستور و ۲ سلول MTJ و کمپرسور دقیق نیز ۹۸ ترانزیستور و ۶ سلول MTJ دارد. کمپرسورهای پیشنهادی تقریبی اول و دوم تعداد ترانزیستور را به ترتیب ۵۳٪ و ۵۹٪ به نسبت طرح دقیق کاهش داده اند. تعداد MTJ نیز که تاثیر اصلی را در توان مصرفی دارد (به دلیل توان مصرفی زیاد مورد نیاز برای نوشتن رو سلول MTJ) در طرح اول نصف و در طرح دوم یک سوم شده است. تاخیرهای خواندن نیز در طرح تقریبی اول و دوم به ترتیب ۱۸٪ و ۴٪ نسبت به طرح دقیق کاهش پیدا کرده اند. طرح های پیشنهادی انرژی نوشتن را به ترتیب ۳۴٪ و ۶۶٪ نسبت به طرح دقیق کاهش داده اند.

جدول (۴): نتایج شبیه سازی کمپرسورهای ۴:۲

کمپرسور ۴:۲	طرح دقیق	طرح تقریبی اول	طرح تقریبی دوم
تاخیر نوشتن (ns)	۲/۲۷	۲/۲۷	۲/۲۷
تاخیر خواندن (ns)	۹۲	۷۵	۸۸
توان (nW)	۷.۸۹	۵.۴۲	۲.۷۵
انرژی نوشتن (fJ)	۳۱۵	۲۰۷	۱۰۳
انرژی خواندن (aJ)	۱۵۸۶	۱۰۰۲	۵۰۶
ترانزیستور	۹۸	۴۶	۴۰
MJT	۶	۴	۲
احتمال خطا	---	۲۱٪	۱۵۶٪

به طور کلی نیز به دلیل این که طرح پیشنهادی دوم که برحسب روابط پیشنهادی ارائه شده، ساختار به مراتب ساده تر و تعداد سلول MTJ و

^۳ Barrier Thickness

^۴ Resistance Area Product

^۱ Monto carlo

^۲ ۳-sigma

با توجه به نتایج، کمپرسور تقریبی دوم که برحسب معادلات پیشنهادی طراحی شده بود، از نظر معیار ER شرایط بهتری دارد که ناشی از احتمال خطا کمتر کمپرسور مورد نظر می باشد. البته با توجه به خطاهایی با فاصله خطا بیشتر از یک در کمپرسور پیشنهادی دوم پارامتر MED طرح پیشنهادی اول شرایط بهتری نسبت به طرح دوم دارد.

۴-۵- کاربردهای پردازش تصویر

در این بخش برای بررسی کیفیت خروجی ضرب کننده های تقریبی در کاربردهای عملی، دو کاربرد ضرب تصاویر و تیز کردن تصویر در نظر گرفته شده اند. برای ضرب تصاویر برنامه ای توسط نرم افزار MATLAB نوشته شده است که با به کارگیری ضرب کننده های بحث شده، دو تصویر را پیکسل به پیکسل در هم ضرب کند. برای کاربرد تیز کردن تصویر نیز از رابطه (۹) برای محاسبه تصویر خروجی استفاده شده است.

$$Y(x, y) = 2X(x, y) - \frac{1}{255} \sum_{i=-2}^2 \sum_{j=-2}^2 G_{sharpening}(i+2, j+2) X(x-i, y-j) \quad (9)$$

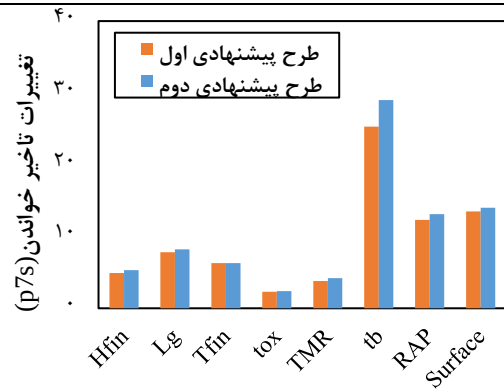
که X و Y به ترتیب تصاویر ورودی و خروجی اند و ماسک مورد استفاده شده نیز بدین صورت است:

$$G_{sharpening} = \begin{bmatrix} 1 & 4 & 7 & 4 & 1 \\ 4 & 16 & 26 & 16 & 4 \\ 7 & 26 & 41 & 26 & 7 \\ 4 & 16 & 26 & 16 & 4 \\ 1 & 4 & 7 & 4 & 1 \end{bmatrix} \quad (10)$$

شایان ذکر است که دیگر عملیات های ریاضی موجود در کاربرد تیز کردن عکس از جمله جمع، تفریق و تقسیم به صورت دقیق در نظر گرفته شده اند برای مقایسه بین تصویر خروجی حاصل از ضرب کننده دقیق و خروجی حاصل از ضرب تقریبی از دو معیار PSNR و MSSIM استفاده می کنند [۲۴] و [۳۵]. PSNR یک الگوی پرکاربرد برای ارزیابی کیفیت تصویر در الگوریتم های تقریبی می باشد. محاسبه این الگو ساده است و توسط رابطه (۱۱) محاسبه می شود [۱۵].

$$PSNR = 10 \log_{10} \left(\frac{MAX_I^2}{MSE} \right) \quad (11)$$

که MAX_I^2 حداکثر مقدار پیکسل ممکن تصویر را نشان می دهد و MSE خطای مربع متوسط می باشد که برای یک تصویر RGB^۱ به صورت رابطه (۱۲) محاسبه می شود [۱۵].



(ب)

شکل (۹): تأثیر تغییرات فرایند ساخت (الف) توان مصرفی (ب) تاخیر

۳-۵- معیارهای ارزیابی خطا

برای بررسی یک کمپرسور علاوه بر پارامترهای سخت افزاری نظیر توان و تاخیر، میزان دقت خروجی نیز باید محاسبه شود. برای تعیین کیفیت خروجی ضرب کننده معیارهای پرکاربرد همچون احتمال خطا (ER) و خطای متوسط (MED) در نظر گرفته می شوند [۳۲]، [۳۳]. معیار احتمال خطا برابر تعداد حالات خروجی اشتباه به نسبت تعداد کل حالات می باشد. معیار MED میانگین فاصله خطا به ازای تمام حالات ورودی می باشد که از رابطه (۸) به دست می آید.

$$MED = \sum_{i=1}^{2^N} \frac{|ED_i|}{2^N} \quad (8)$$

در این عبارت ED_i فاصله حسابی بین خروجی تقریبی و دقیق می باشد و n طول بیت ضرب کننده می باشد. برای ارزیابی خطا، ضرب کننده تقریبی ۸ بیتی مبتنی بر کمپرسور ۵:۲ [۳۴]، با به کارگیری کمپرسورهای تقریبی مختلف، با استفاده از MATLAB و با اعمال ۶۵۵۳۶ ورودی متفاوت شبیه سازی شده اند. دو معیار ER و MED برای ارزیابی دقت ضرب کننده های تقریبی محاسبه شده و نتایج در جدول (۵) نشان داده شده اند.

جدول (۵): ارزیابی پارامترهای سنجش خطا برای ضرب کننده های تقریبی

ضرب کننده	MED	ER
طرح پیشنهادی اول	۱۲۶۰	۰/۹۴۵۲
طرح پیشنهادی دوم	۱۵۲۱	۰/۹۳۵۴

^۱ Red-Green-Blue



طرح پیشنهادی اول



طرح پیشنهادی دوم

شکل (۱۰): نتایج ضرب تصاویر برای مثال اول

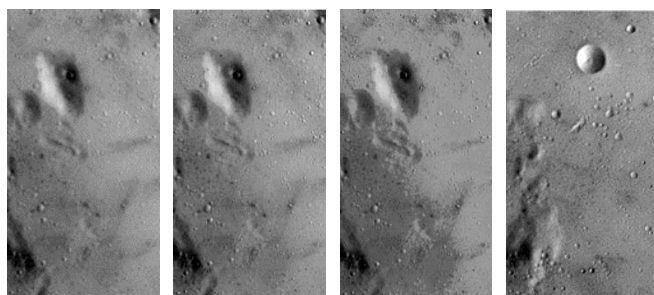
همین‌طور که از تصاویر مشخص است، هر دو طرح بسیار به تصویر دقیق شبیه هستند.

مقادیر PSNR و MSSIM پنج مثال متفاوت برای کاربرد تیز سازی تصویر در جدول (۷) نشان داده شده‌اند.

جدول (۷): نتایج PSNR و MSSIM برای تیز‌سازی

MSSIM		PSNR		تیز کردن تصویر
طرح اول	طرح دوم	طرح اول	طرح دوم	
۰/۹۹۳۴	۰/۹۷۸۰	۳۷/۳۵	۳۴/۳۷	آسمان
۰/۹۹۴۴	۰/۹۷۷۳	۳۶/۱۰	۳۵/۳۰	ماه
۰/۹۹۵۸	۰/۹۷۷۴	۳۶/۶۱	۳۱/۲۳	لنا
۰/۹۹۱۴	۰/۹۷۹۵	۳۶/۹۸	۳۶/۰۴	لیمو
۰/۹۹۰۹	۰/۹۸۶۱	۳۶/۹۸	۳۵/۰۷	تصویر بردار

با توجه به نتایج، اینبار طرح پیشنهادی دوم دقت بیشتری از خود نشان داده است. تصویر مثال آسمان*تصویر بردار به ازای هر دو ضرب‌کننده تقریبی به همراه تصویر دقیق در شکل (۱۱) نشان داده شده‌اند.



شکل (۱۱): نتایج تیز‌سازی تصاویر توسط طرح‌های پیشنهادی برای مثال ماه

$$MSE = \frac{1}{3 \times p \times q} \sum_{i=0}^p \sum_{j=0}^{q-1} [I(i, j, k) - K(i, j, k)]^2 \quad (12)$$

که در آن p و q ابعاد تصویر می‌باشد و $I(i, j, k)$ و $K(i, j, k)$ به ترتیب مقادیر دقیق و مقادیر تقریبی به دست آمده برای هر پیکسل می‌باشند. یکی دیگر از معیارهای مهم برای ارزیابی کیفیت تصاویر، MSSIM است. این معیار شباهت ساختاری تصاویر دقیق و تقریبی را براساس این واقعیت که سیستم بصری انسان قادر به استخراج اطلاعات از ساختار تصویر می‌باشد، اندازه‌گیری می‌کند. در واقع شاخص همبستگی ساختار یکپارچگی بهتری با ظاهر کیفی بصری نشان می‌دهد. جزییات محاسبه MSSIM در [۳۵] آماده است. مقادیر PSNR و MSSIM برای پنج مثال مختلف ((آسمان* تصویر بردار)، (لنا* لیمو)، (آسمان* ماه)، (خانه* جت) و (جت* آسمان)) در جدول (۶) نشان داده شده‌اند.

جدول (۶): نتایج PSNR و MSSIM برای کاربرد ضرب

MSSIM		PSNR		تصاویر ضرب شده
طرح اول	طرح دوم	طرح اول	طرح دوم	
۰/۹۰۸۷	۰/۹۸۱۴	۲۹/۶۰	۳۱/۳۸	آسمان*تصویر بردار
۰/۹۲۳۲	۰/۹۷۳۴	۲۸/۴۷	۳۲/۱۸	لنا*لیمو
۰/۹۴۷۴	۰/۹۸۲۰	۲۸/۲۰	۳۳/۴۹	آسمان*ماه
۰/۹۰۵۴	۰/۹۴۱۹	۲۷/۶۵	۲۸/۸۳	خانه*جت
۰/۹۹۴۶	۰/۹۹۳۶	۳۴/۱۱	۳۲/۷۷	جت*آسمان

با توجه به نتایج، طرح پیشنهادی اول در کاربرد ضرب دقت بیشتری نسبت به طرح دوم از خود نشان داده است. برای اینکه درک بصری بهتری از کیفیت خروجی‌های ضرب‌کننده‌های تقریبی داشته باشیم، تصویر مثال آسمان*تصویر بردار به ازای هر دو ضرب‌کننده تقریبی به همراه تصویر دقیق در شکل (۱۰) نشان داده شده‌اند.



آسمان

تصویر بردار

ضرب دقیق

- [3] A. Amirany, R. Rajaei "Fully nonvolatile and low power full adder based on spin transfer torque magnetic tunnel junction with spin-hall effect assistance", IEEE Transactions on Magnetism, vol. 54, no. 12, pp. 1-7, 2018.
- [4] F. Razi, M. H. Moaiyeri, R. Rajaei, S. Mohammadi, "A Variation-Aware Ternary Spin-Hall Assisted STT-RAM Based on Hybrid MTJ/GAA-CNTFET Logic", IEEE Transactions on Nanotechnology, vol. 18, no. 1, pp. 598-605, 2019.
- [5] Z. Wang, Y. Chen, L. Zhang, "High-Speed MTJ-Based Approximate Compressors for Energy-Efficient Neural Processing Systems", IEEE Transactions on Magnetism, vol. 59, no. 3, pp. 1-9, 2023.
- [6] H. Thapliyal, F. Sharifi, S. D. Kumar, "Energy-efficient design of hybrid MTJ/CMOS and MTJ/nanoelectronics circuits", IEEE Transactions on Magnetism, vol. 54, no. 7, pp. 1-8, 2018.
- [7] G. E. Moore. "Progress in Digital Integrated Electronic", IEEE Solid-State Circuits Society Newsletter, vol. 11, no. 3, pp. 36-37, 2006.
- [8] M. R. Khezeli, M. H. Moaiyeri, A. Jalali, "Analysis of Crosstalk Effects for Multiwalled Carbon Nanotube Bundle Interconnects in Ternary Logic and Comparison with Cu interconnects", IEEE Transactions on Nanotechnology, vol. 16, no. 1, pp. 107-117, 2017.
- [9] M. Shin, K. Lee, S. Park, "FinFET Technology at 5nm Node and Beyond: Performance Challenges and Scaling Opportunities", IEEE Transactions on Electron Devices, vol. 69, no. 4, pp. 1452-1460, 2022.
- [10] M. R. Khezeli, M. H. Moaiyeri, and A. Jalali, "Comparative analysis of simultaneous switching noise effects in MWCNT bundle and Cu power interconnects in CNTFET-based ternary circuits", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 27, no. 1, pp. 37-46, 2019.
- [11] Yi-Pin. Fang, A. S. Oates, "Characterization of single bit and multiple Cell Soft Error Events in Planar and FinFET SRAMs", IEEE Electron Devices Society, vol. 16, no. 2, pp. 132-137, 2016.
- [12] G. Naphade, S. R. Bhavne, "Ultra-Low Power FinFET SRAM Design for AI Edge Computing Applications", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 31, no. 5, pp. 678-687, 2023.
- [13] S. Venkataramani, V. J. Reddi, "Approximate Computing: From Circuit to Application Level - A Comprehensive Survey", Proceedings of the IEEE, vol. 108, no. 3, pp. 402-425, 2020.
- [14] D. Esposito, A. Giuseppe, M. Strollo, "Approximate Multipliers Based on New Approximate Compressors", IEEE Transactions on Circuits and

همین طور که از تصاویر مشخص است، کمپرسور تقریبی دوم که براساس روابط پیشنهادی ارائه شده کیفیت بالاتری نسبت به طرح اول دارد و خروجی تصویر از تصویر دقیق قابل تشخیص نیست. طرح تقریبی دوم به طور متوسط معیارهای PSNR و MSSIM را به طور متوسط ۰.۷٪ و ۰.۲٪ نسبت به طرح تقریبی اول بهبود می دهد.

۶- نتیجه گیری

در این مقاله دو کمپرسور تقریبی ۴:۲ MTJ/FinFET ارائه کردیم. طرح پیشنهادی اول مبتنی بر روابط خروجی کمپرسورهای پیشین ارائه شده است. طرح پیشنهادی دوم به منظور کاهش پیچیدگی سخت افزاری طرح اول، با استفاده از روابط تقریبی پیشنهادی، ارائه شده است. با توجه به این که در مدارات MTJ/FinFET هر خروجی و نقیض آن تولید می شوند، روابط کمپرسور پیشنهادی دوم به نحوی ارائه شده که خروجی های آن نقیض یکدیگر باشند و تنها با یک مدار هر دو خروجی تولید شوند. البته مدار تصحیح کننده ای هم برای بهبود دقت طرح پیشنهادی ارائه گردیده است. طرح های پیشنهادی و کمپرسور دقیق توسط ابزار HSPICE و با استفاده از کتابخانه ۷ نانومتر FinFET و مدل افزاره SHE-assisted MTJ شبیه سازی شدند. با توجه به نتایج شبیه سازی هردو طرح پیشنهادی تقریبی معیارهای سخت افزاری همچون توان مصرفی و تاخیر را به طرز قابل توجهی نسبت به کمپرسور دقیق بهبود دادند. با توجه به ساختار ساده تر طرح پیشنهادی دوم، معیارهای سخت افزاری طرح دوم بهبود چشم گیری حتی نسبت به طرح اول از خود نشان داده است. در انتها نیز برای بررسی دقت طرح های پیشنهادی، عملکرد آن ها توسط نرم افزار MATLAB در کاربردهای پردازش تصویر مورد بررسی قرار گرفت. نتایج حاصله از شبیه سازی های گسترده، از قابلیت بالای طرح های پیشنهادی در کاربرد پردازش تصویر رونمایی می کند و خروجی های طرح های تقریبی پیشنهادی تفاوت چندانی با خروجی طرح دقیق ندارند، با توجه به نتایج به دست آمده، این طرح ها پتانسیل بالایی برای استفاده در سامانه های اویونیک، پردازش تصویر بلادرنگ و سایر کاربردهای حساس به توان و قابلیت اطمینان دارا می باشند.

مراجع

- [1] P. Sakellariou, V. Paliouras, "Application-specific low-power multipliers", IEEE Trans. Comput. No. 65, vol. 10, pp. 2973-2985, 2016.
- [2] M. Ahmadinejad, M. H. Moaiyeri, F. Sabetzadeh, "Energy and area efficient imprecise compressors for approximate multiplication at nanoscale", AEU-International Journal of Electronics and Communications, vol. 110, pp. 1-11, 2019.

- [26] L. Clark, V. Vashishtha, L. Shifren, A. Gujja, S. Sinha, B. Cline, C. Ramamurthy, G. Yeric, "ASAP7:A7-nm FinFET predictive process design kit", *Microelectronics Journal*, vol. 53, pp. 105-115, 2016.
- [27] E. Deng, et al, "High-Frequency Low-Power Magnetic Full-Adder Based on Magnetic Tunnel Junction with Spin-Hall Assistance", *IEEE Transactions on Magnetics*, vol. 51, no. 11, pp. 1-4, 2015.
- [28] M. Moghaddam, M. H. Moaiyeri, M. Eshghi, "Design and Evaluation of an Efficient Schmitt Trigger-based Hardened Latch in CNTFET Technology", *IEEE Transactions on Device and Materials Reliability*, vol. 17, no. 1, pp. 267-277, 2017.
- [29] Y. Zhang, X. Wang, and Y. Chen, "STT-RAM cell design optimization for persistent and non-persistent error rate reduction: A statistical design view", in *Proceedings of the International Conference on Computer-Aided Design*, pp. 471-477, 2011.
- [30] R. Dorrance, F. Ren, Y. Toriyama, A. A. Hafez, C.-K. K. Yang, and D. Markovic, "Scalability and Design Space Analysis of a 1 T-1 MTJ Memory Cell for STT-RAMs", *IEEE Transactions on Electron Devices*, vol. 59, no. 4, pp. 878-887, 2012.
- [31] Z. Wang, "Compact modeling and circuit design based on ferroelectric tunnel junction and Spin-Hall-assisted spin-transfer torque", PhD thesis, University of Paris-Saclay, 2015.
- [32] H. Jiang, J. Han, and F. Lombardi, "A comparative review and evaluation of approximate adders", in *Proc. 25th Ed. Great Lakes*, May 2015, pp. 343-348.
- [33] V. Leon, G. Zervakis, D. Soudris, and K. Pekmetzi, "Approximate hybrid high radix encoding for energy-efficient inexact multipliers", *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 26, no. 3, pp. 421-430, Mar. 2018.
- [34] K. B. Priya, R. Sudarmani, "Performance Analysis of Dadda Multiplier using 5:2 Compressor and its Applications", *International Journal of Advanced Information Science and Technology*, vol. 5, no. 4, pp. 7278, 2016.
- [35] L. Zhang, Y. Wang, H. Yang, "Deep Learning-Based Image Quality Assessment for Approximate Computing Systems in Multimedia Applications", *IEEE Transactions on Image Processing*, vol. 30, pp. 5892-5905, 2021.
- [15] C. Liu, W. Zhao, "Recent Advances in Approximate Compressors: Design Methodologies and Error Analysis for Energy-Efficient Multipliers", *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 41, no. 8, pp. 1245-1258, 2022.
- [16] A. Pishvaie, G. Jaberipur, A. Jahanian, "Improved CMOS (4;2) compressor designs for parallel multipliers", *Computers & Electrical Engineering*, vol. 38, no. 6, pp. 1703-1716, 2012.
- [17] A. Arasteh, M. H. Moaiyeri, M. Taheri, "An energy and 4 efficient 4:2 compressor based on FinFET", *Integration, the VLSI Journal*, vol. 60, pp. 224-231, 2018.
- [18] R. Rajaei, "Radiation-hardened design of nonvolatile MRAM-based FPGA", *IEEE Transactions on Magnetics*, vol. 52, no. 10, pp. 1-10, 2016.
- [19] Y. Chen, X. Wang, J. Li, "Voltage-Controlled Magnetic Tunnel Junctions with Spin-Orbit Torque for In-Memory Computing Applications", *Nature Electronics*, vol. 6, no. 4, pp. 245-256, 2023.
- [20] Z. Wang, W. Zhao, E. Deng, J. O. Klein, and C. Chappert, "Perpendicular -anisotropy magnetic tunnel junction switched by Spin-Hall-assisted spin-transfer torque", *Journal of Physics D: Applied Physics*, vol. 48, no. 6, 065001, 2015.
- [21] C-H. Chang, J. Gu, and M. Zhang, "Ultra Low-Voltage Low-power CMOS 4-2 and 5-2 Compressors for Fast Arithmetic Circuits", *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 51, no. 10, pp. 1985-1997, Oct. 2004.
- [22] M. S. Ansari, H. Jiang, B. F. Cockburn, and J. Han, "Low-power approximate multipliers using encoded partial products and approximate compressors", *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, vol. 8, no. 3, pp. 404-416, Sep. 2018.
- [23] M. Ha and S. Lee, "Multipliers with approximate 4--2 compressors and error recovery modules", *IEEE Embedded Systems Letters*, vol. 10, no. 1, pp. 6-9, Mar. 2018.
- [24] O. Akbari, M. Kamal, A. Afzali-Kusha, and M. Pedram, "Dual-quality 4:2 Compressors for utilizing in dynamic accuracy configurable multipliers", *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 25, no. 4, pp. 1352-1361, Apr. 2017.
- [25] A. Gorantla and P. Deepa, "Design of approximate compressors for multiplications", *ACM Journal on Emerging Technologies in Computing Systems*, vol. 13, no. 3, p. 44, May. 2017.



Design of a three-stage amplifier with Miller cascade compensation and damping current control

Mohsen Roshanaei^{1*}, Akbar Asgharzadeh²

1. MSc. in Electrical Engineering, Faculty of Electrical Engineering, Shahid Beheshti University, Tehran, Iran

2. Assistant Prof., Command and Staff University of AJA, Tehran, Iran

Key words:

*Wide capacitive load
Transconductance amplifier
Cascade frequency
compensation
Damping current
Quality factor
Transitional guidance*

Abstract

This paper presents a frequency compensation method for three-stage amplifiers capable of driving capacitive loads in the picofarad to nanofarad range. By using the Miller cascade compensation method, the frequency of the non-dominant mixed pole is effectively increased and the physical dimensions of the compensation capacitors are also reduced. A loop is introduced to control the internal damping current to adapt this current when the capacitive load capacitance C_L changes significantly. This loop determines how much current should be injected into the corresponding parasitic node to control the mixed pole quality factor in such a way that the frequency peak in the gain curve and the settling time of the proposed amplifier do not affect the closed-loop step response. Also, a zero in the left half plane (LHP) is introduced to increase the phase margin and a feedforward transconductance stage is placed in parallel to it to improve the slew rate (SR). Simulations performed in 0.18 μm CMOS technology confirm that this amplifier can handle a capacitive load of 300 picofarads to 2 nanofarads with a minimum bandwidth of 1.43 MHz and a phase margin of 41 degrees, while the nominal supply voltage is 1 V and the power consumption is 14.3 μW .

* Corresponding author's E-mail: roshanaiemohsen@gmail.com



طراحی تقویت کننده سه طبقه با روش جبران سازی کسکود میلر و کنترل جریان میرایی

محسن روشنایی^{۱*}، اکبر اصغر زاده^۲

۱. کارشناس ارشد برق، دانشکده برق، دانشگاه شهید بهشتی، تهران، ایران

۲. استادیار گروه مخابرات، دانشگاه دافوس آجا، تهران، ایران

چکیده

واژگان کلیدی

بار خازنی گسترده

تقویت کننده ترانسانیایی

جبران سازی فرکانسی

کسکود

جریان میرایی

ضریب کیفیت

هدایت انتقالی

این مقاله یک روش جبران فرکانسی برای تقویت کننده‌های سه طبقه را ارائه می‌دهد که توانایی هدایت بار خازنی در بازه‌ی پیکوفاراد تا نانوفاراد را دارد. با استفاده از روش جبران سازی کسکود میلر، فرکانس قطب مختلط غیر غالب به طور مؤثر افزایش می‌یابد و ابعاد فیزیکی خازن‌های جبران سازی نیز کاهش می‌یابد. یک حلقه به جهت کنترل جریان میرایی داخلی جهت انطباق این جریان هنگامی که ظرفیت بار خازنی C_L به طور قابل توجهی تغییر می‌کند، معرفی شده است. این حلقه تعیین می‌کند که چه میزان جریان باید به گره پارازیتی مربوطه تزریق شود تا ضریب کیفیت قطب مختلط به گونه‌ای کنترل شود، که پیک فرکانس در نمودار بهره و زمان نشست تقویت کننده پیشنهادی در پاسخ پله حلقه بسته تأثیر گذار نباشد. همچنین، یک صفر در نیم صفحه چپ (LHP) جهت افزایش حاشیه فاز ایجاد می‌شود و یک طبقه ترانسانیایی فیدفوروارد به موازات آن قرار می‌گیرد تا نرخ چرخش (SR) را بهبود بخشد. شبیه سازی صورت گرفته در فناوری $0.18 \mu m$ در فناوری CMOS تأیید می‌کند که این تقویت کننده می‌تواند بار خازنی 300 pF تا 2 nF را با حداقل پهنای باند $1/43 \text{ MHz}$ و حاشیه فاز 41 درجه تحمل کند، در حالی که ولتاژ تغذیه اسمی 1 V و توان مصرفی $14/3 \mu W$ است.

۱- مقدمه

از آنجایی که امپدانس خروجی MOSFET به دلیل اثر مدولاسیون کانال در فناوری‌ها پیشرفته CMOS، کاهش بیشتری نسبت به فناوری‌های قدیمی‌تر دارد، دستیابی به بهره ولتاژ بالا برای تقویت کننده‌های یک طبقه با طراحی‌های سنتی دشوار است. در این خصوص، برخی روش‌ها برای افزایش بهره ولتاژ تقویت کننده‌های یک طبقه مانند تقویت مقاومت خروجی، تقویت

تقویت کننده یک طبقه، در فناوری‌های پیشین CMOS، به دلیل سرعت بالا و ویژگی‌های پایداری ذاتی خوب، یکی از بهترین انتخاب‌ها به جهت پردازش دقیق سیگنال‌های آنالوگ بود. همانگونه که در [۱] نشان داده شده است، یک تقویت کننده کسکود تلسکوپی یک طبقه می‌تواند با طول $0.18 \mu m$ در فناوری CMOS به بهره ولتاژ تا 100 dB در فرکانس پایین دست یابد. با این حال،

* ایمیل نویسنده پاسخگو: roshanaiemohsen@gmail.com

جایگزین کردند تا فرکانس قطب مختلط (ω_c) را گسترش دهند. در برخی طرح های دیگر، مانند [۲۰] و [۲۱]، یک صفر فعال در تقویت کننده چند طبقه تعبیه شده است تا فرکانس قطب غیر غالب را برای درایو یک بار خازنی بسیار بزرگ گسترش دهد. این روش ها می توانند با افزایش حاصل ضرب مقدار بار خازنی و فرکانس بهره واحد، به عملکرد سیگنال کوچک بهتری دست یابند. با این حال، این روش ها به دلیل بزرگ بودن ضریب کیفیت قطب مختلط، هنگامی که ظرفیت بار به طور قابل توجهی کاهش می یابد، نمی توانند مشکل پیک فرکانس در نمودار بهره را برطرف کنند [۲۲]. در نتیجه، در پاسخ پله، یک نوسان با فرکانس بالا ظاهر می شود و برای مدت زمان طولانی ادامه می یابد [۱۷].

اکثر طرح های جبران سازی فرکانس موجود برای تقویت کننده های سه طبقه بر به حداقل رساندن عملکرد برای یک مقدار واحد از بار خازنی C_L (به ویژه C_L بزرگ) تمرکز دارند تا به معیار شایستگی^{۷۸} بهتری دست یابند. با این حال، ظرفیت بار می تواند بسته به کاربردهایی مانند هدفون، نمایشگر کریستال مایع^{۷۹} یا حسگرهای خازنی سیستم های میکروالکترومکانیکی^{۸۰} در محدوده پیکوفاراد تا نانوفاراد تغییر کند [۲۳] تا [۲۵]. به عبارت دیگر، یک تقویت کننده با قابلیت بارگذاری بار خازنی گسترده می تواند کاربردهای بیشتری پیدا کند و به راحتی در محیط های مختلف قابل استفاده مجدد قرار گیرد. در نتیجه، هنگامی که ظرفیت بارگذاری متفاوت است، نیازی به طراحی تقویت کننده به صورت موردی نیست، که این امر برای کوتاه کردن روند طراحی و صرفه جویی در هزینه تولید مفید است. روش گسترش محدوده بار خازنی برای تقویت کننده های دو طبقه در [۲۶] مورد مطالعه قرار گرفته است. در مقایسه با تقویت کننده های دو طبقه، اطمینان داشتن از پایداری تقویت کننده های سه طبقه دشوارتر و گسترش محدوده ی بار خازنی آن ها با چالش های جدی تری روبرو است. اگرچه در برخی مطالعات گزارش شده است که برخی از تقویت کننده های سه طبقه با پهنای باند وسیع، قابلیت درایو بالا برای بارهای خازنی بزرگ دارند [۲۱] و [۲۷]، ولیکن یافتن طرح های تقویت کننده ای که توانایی درایو بار خازنی در محدوده پیکوفاراد و نانوفاراد را با توان مصرفی کم و ناحیه فعال کوچک ترکیب کنند، دشوار است [۲۸] و [۲۹].

جبران سازی کسکود میلر در حلقه فیدبک خارجی به گسترش فرکانس قطب مختلط غیر غالب کمک می کند و ابعاد فیزیکی خازن های جبران سازی نیز

هدایت انتقالی (G_m) و آشناری^{۷۴} کردن چندین طبقه با بهره کوچک پیشنهاد شده اند [۲] تا [۴]. طراحان در این ساختارها همواره در پی ایجاد مصالحه ای میان بهره ولتاژ، پایداری، دامنه خروجی و توان مصرفی هستند. مهم تر از آن، غالب این ساختارها نمی توانند بهره ولتاژ بالای مورد نیاز (بیشتر از ۱۰۰ dB) را برای کاربردهای با دقت بالا که نیاز به اندازه گیری دقیق دارند، ارائه دهند.

اتصال آشناری چندین طبقه بهره، ایده مناسبی جهت دستیابی به بهره ولتاژ بالا است؛ زیرا این روش به طور بالقوه از نظر توان مصرفی با ولتاژ تغذیه پایین، بهینه است. یکی از مسائل اساسی در تقویت کننده های چند طبقه، پایداری حلقه بسته است. به طور کلی، حداقل سه قطب در تابع انتقال یک تقویت کننده سه طبقه وجود دارد. اگر قطب ها و صفرها به طور نامناسب توزیع شوند، تقویت کننده چند طبقه با مشکل پایداری حلقه بسته مواجه می شود [۵].

در رابطه با معیارهای پایداری، به طور معمول می توان آن را با پارامترهای حاشیه فاز^{۷۵} یا حاشیه بهره^{۷۶} در نمودار پاسخ فرکانسی برای طراحی تقویت کننده های یک طبقه و دو طبقه نشان داد. با این حال، تحلیل پایداری تقویت کننده های چند طبقه به دلیل وجود قطب های مختلط در توابع انتقال مرتبه بالا، پیچیده تر از تقویت کننده های یک طبقه یا دو طبقه است [۶]. علاوه بر این، مشخصات کلیدی (به عنوان مثال پهنای باند، حاشیه فاز و حاشیه بهره) به طور معمول به روش جبران سازی فرکانس و مقدار بار خازنی C_L وابسته هستند.

چندین طرح جبران سازی برای تقویت کننده های سه طبقه در چند دهه گذشته گزارش شده است [۷] تا [۱۹]. جبران سازی میلری تودرتو^{۷۷} به عنوان یکی از کلاسیک ترین روش های تقسیم قطب برای جبران سازی فرکانس تقویت کننده سه طبقه شناخته می شود. ایده اصلی ساختار NMC این است که چندین طبقه بهره به صورت خازنی ترکیب شوند تا تقسیم قطب صورت گیرد [۷]. با این حال، کاهش پهنای باند، که به طور عمده ناشی از خازن میلر بوده و مزایای این روش را کاهش می دهد. جهت مقابله با این مشکل، طرح های جبران سازی دیگری مبتنی بر NMC پیشنهاد شده اند [۸] تا [۱۴]. که برخی از آن ها می توانند پهنای باند را در مقایسه با روش سنتی NMC تا ده برابر افزایش دهند. به طور کلی، این روش ها یا خازن داخلی میلر را حذف کردند یا حلقه جبران سازی بیرونی را با روش های پیشرفته تر [۱۱] تا [۱۵]

^{۷۸} Figure of Merit

^{۷۹} Liquid Crystal Display

^{۸۰} MEMS

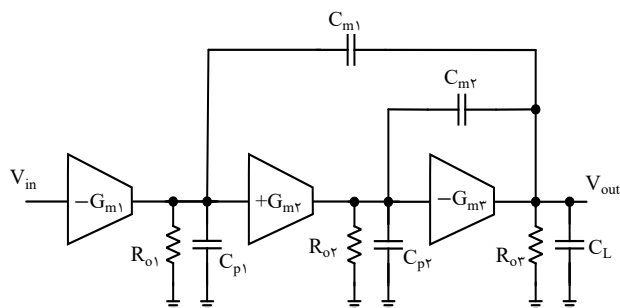
^{۷۴} cascode

^{۷۵} Phase Margin

^{۷۶} Gain Margin

^{۷۷} NMC

کاهش ضریب کیفیت، تنها راه، افزایش G_{m2} و G_{m3} است که به ناچار توان مصرفی را افزایش می دهد.



شکل (۱): توپولوژی تقویت کننده سه طبقه با جبران سازی NMC

جهت دستیابی به حداکثر پاسخ فرکانسی بدون پیک برای یک تقویت کننده NMC سه طبقه، در مقایسه با یک تقویت کننده یک طبقه، پهنای باند در حدود ۷۵٪ کاهش می یابد [۸]. این امر مزایای تقویت کننده های سه طبقه را نسبت به تقویت کننده های یک طبقه تضعیف می کند. علاوه بر این، تقویت کننده های NMC به سختی می توانند یک بار خازنی بزرگ در حدود نانوفاراد را درآیو کنند، که این امر اثر تقسیم قطب ناشی از خازن میلر را بدتر می کند. برای ایجاد قطب های غیر غالب در فرکانس بالا با C_L بزرگ، می بایست توان بیشتری مصرف کرد. هنگام مواجه شدن با نوسانات بار خازنی بزرگ، فرض می شود که تقویت کننده NMC برای قطب های باترورث طراحی شده است. با کاهش ظرفیت C_L ، ضریب کیفیت کاهش می یابد زیرا با توجه به رابطه (۲) با $\sqrt{C_L}$ متناسب است. فرکانس بهره واحد تنها توسط فرکانس اولین قطب غیر غالب محدود خواهد شد. بنابراین، پایداری قابل اطمینان تقویت کننده NMC تحت بار خازنی کوچک به راحتی قابل دستیابی است. با توجه به مکان هندسی قطب-صفر در ساختار NMC، با کاهش C_L ، قطب ها به گونه ای حرکت می کنند که فرکانس قطب مختلط ω_0 افزایش می یابد، ولیکن ضریب کیفیت به یک محدوده کوچک محدود می شود. در نهایت، ضریب کیفیت به مقدار ۰/۵ کاهش می یابد و قطب مختلط به دو قطب حقیقی تقسیم می شود که یک قطب به فرکانس بالاتر و قطب دیگر به فرکانس پایین تر می رود.

۲-۲- جبران سازی با استفاده از کنترل ضریب میرایی^{۸۲}

کاهش می یابد. ضریب کیفیت جفت قطب مختلط توسط حلقه فیدبک داخلی به صورتی کنترل می شود که پاسخ فرکانسی را بهبود بخشد و زمان نشست را کوتاه کند. در این طراحی، حداقل پهنای باند ۱/۴۳ MHz و نرخ چرخش (SR) متوسط ۰/۶ V/μs در تقویت کننده سه طبقه پیشنهادی با توان مصرفی ۱۴/۳ μW حاصل می شود. ادامه این مقاله به شرح زیر سازماندهی شده است. در بخش ۲، چندین تکنیک جبران فرکانس پیشرفته قبلی برای تقویت کننده های سه طبقه بررسی می شوند. در بخش ۳، روش جبران سازی فرکانس پیشنهادی با کنترل جریان میرایی داخلی ارائه شده است. تابع تبدیل، معیارهای پایداری و پاسخ گذرا نیز مورد بررسی قرار می گیرند. در بخش های ۴ و ۵، پیاده سازی ساختار مدار پیشنهادی، نتایج شبیه سازی و بحث های مربوطه ارائه می شود. در بخش ۶، عملکرد طرح پیشنهادی و مزایای آن را نتیجه گیری می شود.

۲- مروری بر روش های جبران سازی فرکانس پیشین

تحت تغییرات شدید بار

۲-۱- جبران سازی میلری تو در تو^{۸۱}

شکل (۱) ساختار کلاسیک NMC را نشان می دهد. قطب مختلط در تقویت کننده NMC به صورت زیر داده شده است:

$$\omega_{o(NMC)} = \sqrt{\frac{G_{m2}G_{m3}}{C_{m2}C_L}} \quad (1)$$

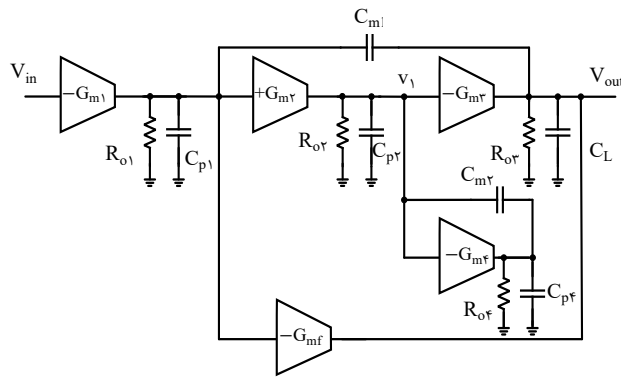
و ضریب کیفیت مربوطه به صورت زیر داده می شود:

$$Q_{NMC} = \frac{1}{G_{m3} - G_{m2}} \sqrt{\frac{G_{m2}G_{m3}C_L}{C_{m2}}} \quad (2)$$

که در آن، پارامترها در شکل (۱) مشخص شده اند. همانگونه که در رابطه (۱) نشان داده شده است، فرکانس قطب مختلط ω_0 مربوط به خازن میلر C_{m2} در حلقه فیدبک داخلی است. با توجه به رابطه (۱) این مطلب به راحتی قابل درک است که برای دستیابی به ω_0 بالاتر و در نتیجه پهنای باند بالاتر، C_{m2} مستلزم کاهش است. با این حال، مقدار C_{m2} به ضریب کیفیت که در رابطه (۲) ارائه شده است، مرتبط می شود. برای افزایش مقدار ω_0 و در عین حال

^{۸۲} Damping Factor Control Frequency Compensation-DFCFC

^{۸۱} Nested Miller Compensation-NMC



شکل (۲): توپولوژی تقویت کننده سه طبقه با روش DFCFC

در رابطه با تغییرات بار می توان گفت $Q_{(DFCFC)}$ متناسب با $\sqrt{\frac{1}{C_L}}$ است که از رابطه (۴) قابل مشاهده است. با این حال، ضریب کیفیت تقویت کننده های DFCFC را می توان توسط G_{m4} از بلوک کنترل ضریب میرایی تنظیم کرد. پس از تعیین G_{m4} ، $Q_{(DFCFC)}$ هنگامی که C_L طبق رابطه (۴) به $\frac{C_L}{10}$ کاهش یابد، همچنان ۱۰ برابر افزایش می یابد. اگر C_L بیشتر کاهش یابد، قطب های مختلط ضریب کیفیت بالاتری را نشان می دهند که باعث ایجاد یک سیستم ناپایدار در پاسخ پله حلقه بسته می شود. در حقیقت، در [۱۰] ذکر شده است که طرح DFCFC تنها برای درایو بار خازنی بزرگ مؤثر است.

۳-۲- جبران سازی کسکود میلر و تضعیف امپدانس محلی^{۸۳}

روش دیگری که به عنوان جبران سازی کسکود میلر با تضعیف امپدانس محلی (CLIA) برای کنترل ضریب کیفیت شناخته می شود، در [۳۰] ارائه شده است. یک شبکه سری RC غیرفعال جهت پایداری تقویت کننده با تضعیف امپدانس خروجی سیگنال کوچک طبقه دوم در محدوده فرکانس بالا اضافه شده است. قطب مختلط در تقویت کننده CLIA به صورت زیر داده شده است:

$$\omega_{o(CLIA)} = \sqrt{\frac{G_{m2}G_{m3}G_{mc}R_a}{C_{p1}C_L}} \quad (۶)$$

روش جبران سازی کنترل ضریب میرایی (DFCFC) که در [۱۰] ارائه شده است، با هدف کاهش توان استاتیک تحت شرایط بارگذاری خازنی بزرگ ارائه شده است. یک بلوک مدار برای کنترل ضریب میرایی $(Q = \frac{1}{\zeta})$ ، متشکل از یک سلول G_m موازی با یک خازن میلر C_{m2} جهت افزایش ضریب میرایی قطب های مختلط غیر غالب و پایداری تقویت کننده چند طبقه به کار گرفته شده است. قطب مختلط در تقویت کننده DFCFC به صورت زیر داده می شود:

$$\omega_{o(DFCFC)} = \sqrt{\frac{(G_{m2}G_{mL} + G_{mf}G_{m4})}{C_{p2}C_L}} \quad (۳)$$

و ضریب کیفیت مربوطه به صورت زیر داده می شود:

$$Q_{(DFCFC)} = \frac{1}{G_{m4}} \sqrt{\frac{(G_{m2}G_{mL} + G_{mf}G_{m4})C_{p2}}{C_L}} \quad (۴)$$

که در آن پارامترها در شکل (۲) مشخص شده اند. با مقایسه رابطه (۳) و رابطه (۱)، به راحتی می توان دریافت که تقویت کننده های DFCFC می توانند به پهنای باند وسیع تری با ضریب $\sqrt{\frac{C_{m2}}{C_{p2}}}$ دست یابند، که بزرگتر از ۱ است زیرا C_{p2} ظرفیت خازنی پارازیتی است و اغلب کمتر از C_{m2} است. با توجه به [۱۰]، $Q_{(DFCFC)}$ را می توان با تزریق جریان میرایی بیشتر به بلوک کنترل ضریب میرایی محدود کرد. این امر را می توان با کاهش امپدانس خروجی طبقه دوم بهره v_1 در شکل (۲) در محدوده فرکانس بالا محقق کرد. امپدانس معادل با بررسی بلوک کنترل ضریب میرایی به صورت زیر توصیف می شود:

$$Z_{eq(DFCFC)} = \frac{sC_{p4}R_{o4} + 1}{s^2C_{m2}C_{p4}R_{o4} + sC_{m2}(1 - G_{m4}R_{o4})} \quad (۵)$$

با توجه به رابطه (۵)، می توان برداشت کرد که $Z_{eq(DFCFC)}$ یک تابع صعودی با G_{m4} است، به طوری که G_{m4} کوچک تر منجر به $Z_{eq(DFCFC)}$ کوچک تر می شود و بنابراین بلوک کنترل ضریب میرایی تنها مقدار کمی توان مصرف می کند.

^{۸۳} Cascade Miller Compensation with Local Impedance Attenuation-CLIA

و ضریب کیفیت مربوطه به صورت زیر داده می شود:

بیشتری کاهش یابد، قطب های مختلط ضریب کیفیت بزرگتری را نشان می دهند.

$$Q_{(CLIA)} = C_{m1} \sqrt{\frac{G_{m2} G_{m3} R_a}{G_{mc} C_{p1} C_L}} \quad (7)$$

۳- جبران سازی کسکود میلر پیشنهادی با کنترل

جریان میرایی داخلی

همانگونه که در بخش های قبلی ذکر شد، بر اساس توپولوژی های طراحی مختلف هنگامی که C_L به طور قابل توجهی کاهش یا افزایش یابد، ضریب کیفیت بالا ممکن است منجر به عدم پایداری تقویت کننده ها شود. طرح پیشنهادی، طراحی یک ساختار جبران سازی پیشرفته است که بتواند ضریب کیفیت جفت قطب مختلط را در محدوده مناسبی، هنگامی که C_L به طور قابل توجهی تغییر می کند، کنترل کند.

۳-۱- ساختار

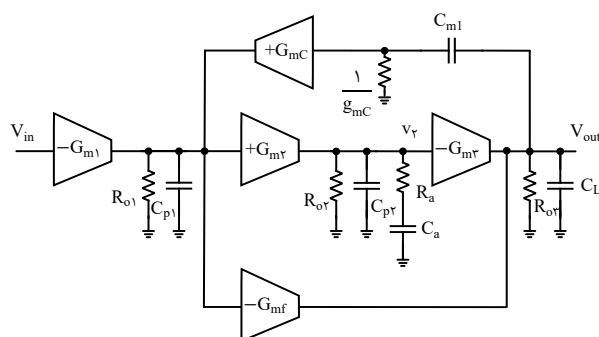
شکل (۴) بلوک دیاگرام معادل تقویت کننده جبران سازی کسکود میلر سه طبقه پیشنهادی را نشان می دهد. این ساختار شامل دو طبقه بهره معکوس کننده، یک طبقه بهره غیر معکوس کننده، دو بلوک جبران سازی میلر با جریان ثابت و یک مسیر فیدفوروارد است. همچون [۱۶]، بلوک جبران سازی میلر کاسکود (G_{m1} و C_{m1}) مسیر سیگنال فیدفوروارد (که ممکن است باعث صفر نیم صفحه راست (RHP) شود) را که در جبران سازی میلر ساده وجود دارد را حذف می کند و یک صفر LHP (نیم صفحه چپ) ایجاد می کند و فرکانس قطب مختلط را گسترش می دهد. یک مسیر فیدفوروارد (G_{mf}) برای تشکیل یک طبقه خروجی پوش-پول با G_{m3} اضافه شده است تا عملکرد گذرا را بهبود بخشد. برخلاف [۱۵]، بلوک جبران سازی میلیری دیگر (G_{m2} و C_{m2}) با هدف ایجاد یک صفر LHP برای حذف قطب-صفر نیست، بلکه یک حلقه کنترل جریان میرایی داخلی با طبقه دوم تشکیل می دهد. این بلوک جبران سازی، مقدار جریان میرایی که باید به C_{m2} تزریق شود را کنترل می کند تا امپدانس سیگنال کوچک در گره خروجی G_{m2} (v_2 در شکل ۴) را تغییر دهد، که بر ضریب کیفیت قطب مختلط مربوطه تأثیر می گذارد.

۳-۲- تحلیل سیگنال کوچک

مدل سیگنال کوچک معادل تقویت کننده سه طبقه پیشنهادی در شکل (۵) نشان داده شده است، که در آن G_{mi} ، R_{oi} و C_{pi} به ترتیب به عنوان هدایت انتقالی، مقاومت خروجی و ظرفیت خازنی پارازیتی در طبقه i ام و همچنین

که این مؤلفه ها در شکل (۳) مشخص شده اند. با استفاده از جبران سازی کسکود [۳۱]، فرکانس قطب مختلط ω_o با ضریب تقریبی $\sqrt{G_{mc} R_a}$ به فرکانس بالاتری نسبت به ساختارهایی که از جبران سازی ساده میلر در حلقه فیدبک بیرونی (مانند DFCFC)، استفاده می کنند، منتقل می شود. همانگونه که در روابط (۶) و (۷) نشان داده شده است، تقویت کننده های CLIA پهنای باند بالاتری نسبت به تقویت کننده های NMC دارند. علاوه بر این، ضریب کیفیت تقویت کننده CLIA را می توان با تنظیم مقادیر مناسب R_a جهت تعریف امپدانس معادل فرکانس بالا در گره خروجی در طبقه دوم (v_2 در شکل ۳) به صورت زیر تنظیم کرد.

$$Z_{eq(CLIA)} = R_a + \frac{1}{sC_a} \quad (8)$$



شکل (۳): توپولوژی تقویت کننده جبران سازی فرکانس با روش CLIA

از رابطه (۸) قابل درک است که، $Z_{eq(CLIA)}$ یک تابع افزایشی با R_a است، به طوری که بلوک CLIA هنگامی که R_a کاهش می یابد و به تبع آن $Q_{(CLIA)}$ کاهش می یابد، جریان میرایی بیشتری جذب می کند، که می توان آن را با رابطه (۷) اثبات کرد.

در رابطه با تغییرات بار می توان گفت $Q_{(CLIA)}$ طبق رابطه (۷) با $\frac{1}{\sqrt{C_L}}$ متناسب است. همانند ساختار DFCFC، بلوک CLIA در ظرفیت بارخازنی ثابت به بهینه سازی ضریب کیفیت کمک می کند. هنگامی که C_L به $\frac{C_L}{100}$ کاهش یابد، $Q_{(CLIA)}$ به میزان ۱۰ برابر افزایش می یابد. اگر C_L مقدار

$$a_1 = \frac{C_{m2}[(C_L + C_{m2})G_{m2} + C_{m1}G_{m2}G_{m3}(1/G_{mc2}) + C_{m1}G_{mf}]}{C_{m1}G_{m2}G_{m3}} \quad (13) \quad G_{mc1} \text{ و } G_{mc2} \text{ به عنوان هدایت انتقالی معادل طبقات جبران سازی میلر بافر}$$

$$a_2 = \frac{C_{m2}C_L}{G_{mc1}G_{m3}} \quad (14), \quad a_3 = \frac{C_{p1}C_LC_{m2}}{G_{mc1}G_{m2}G_{m3}} \quad (15)$$

$$a_4 = \frac{C_{p1}C_{p2}C_LC_{m2}}{G_{m2}G_{m3}G_{mc1}G_{mc2}} \quad (16)$$

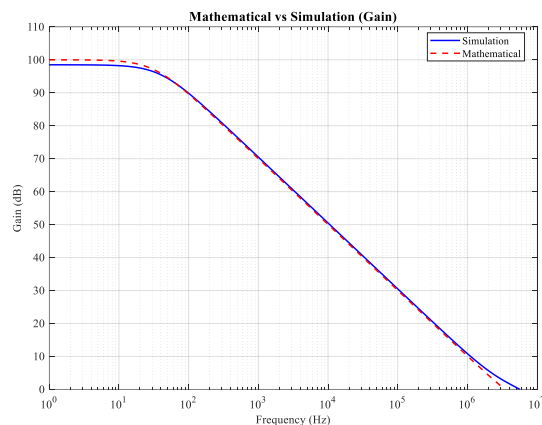
$$b_1 = \frac{C_{m2}}{2G_{mc2}} + \frac{C_{m1}}{2G_{mc1}} + \frac{C_{m2}G_{mf}}{G_{m2}G_{m3}} \quad (17)$$

$$b_2 = \frac{C_{m1}C_{m2}(G_{mf} - G_{m2})}{2G_{m2}G_{mc1}G_{mc2}} \quad (18)$$

$$b_3 = -\frac{C_{p1}C_{m1}C_{m2}}{2G_{m2}G_{mc1}G_{mc2}} \quad (19)$$

$$b_4 = -\frac{C_{p1}C_{p2}C_{m1}C_{m2}}{2G_{m2}G_{m3}G_{mc1}G_{mc2}} \quad (20)$$

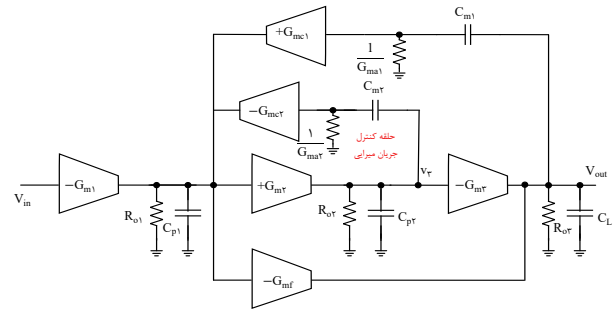
از رابطه (۱۰)، می توان دریافت که A_{dc} بهره ولتاژ ثابت و P_{-3dB} قطب غالب است. باید توجه داشت که این یک تابع انتقال بسیار کلی است و تقریب بیشتر در بخش بعدی مورد تجزیه و تحلیل قرار خواهد گرفت و می توان میزان دقت تابع تبدیل حاصل را در شکل (۶) مشاهده کرد.



شکل (۶): مقایسه تابع تبدیل محاسبه شده با نتیجه شبیه سازی بلوک دیگرام طرح پیشنهادی

۳-۳- تحلیل پایداری تحت تغییرات زیاد C_L

همانگونه که پیش تر ذکر شد، فرکانس قطب مختلط و ضریب کیفیت با توجه به ظرفیت مختلف C_L تغییر خواهند کرد. به منظور تجزیه و تحلیل عملکرد طرح جبران سازی پیشنهادی که می تواند طیف وسیعی از بارهای خازنی را

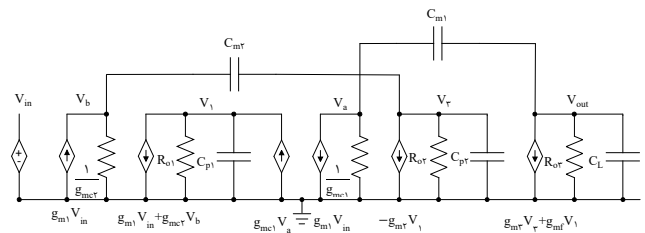


شکل (۴): بلوک دیگرام معادل تقویت کننده سه طبقه پیشنهادی با جبران سازی میلر کاسکود

جریان و G_{mf} به عنوان رسانایی فیدفوروارد ذکر شده اند. در این مدل، ظرفیت خازنی پارازیتی خروجی در خازن بار C_L در نظر گرفته شده است.

برای تحلیل پایداری تقویت کننده پیشنهادی، فرضیات رایج زیر برای ساده سازی تابع انتقال در نظر گرفته شده اند [۱۱].

$$G_{m1}R_{01}, G_{m2}R_{02}, G_{m3}R_{03} \gg 1, R_a = \frac{1}{G_{mc}}, G_{mf} \gg G_{mc2}, C_L \gg C_{m2}, C_{m1} \gg C_{p1}, C_{p2} \quad (9)$$



شکل (۵): مدل سیگنال کوچک معادل تقویت کننده سه طبقه پیشنهادی

تابع تبدیل کلی $A_v(s)$ تقویت کننده پیشنهادی به صورت زیر بیان می شود

$$A_v(s) = \frac{A_{dc}(1 + b_1s + b_2s^2 + b_3s^3 + b_4s^4)}{\left(1 + \frac{s}{P_{-3dB}}\right)(1 + a_1s + a_2s^2 + a_3s^3 + a_4s^4)} \quad (10)$$

که در آن، عبارات صورت و مخرج به صورت زیر تعریف می شوند:

$$A_{dc} = G_{m1}G_{m2}G_{m3}R_{01}R_{02}R_{03} \quad (11)$$

$$P_{-3dB} = \frac{1}{C_{m1}G_{m2}G_{m3}R_{01}R_{02}R_{03}} \quad (12)$$

مدیریت کند، توابع انتقال تقویت کننده ها با C_L های مختلف باید در موارد مختلف مورد مطالعه قرار گیرند.

حالت اول: هنگامی که C_L در حدود نانوفاراد باشد، قطب های غیر غالب به چند قطب حقیقی تقسیم می شوند، قطب ها و صفرهایی که در فرکانس پایین قرار دارند و پاسخ فرکانسی را تحت تاثیر خود قرار می دهند. مشخص می شود که در این حالت تقویت کننده را می توان با یک سیستم دو قطبی تقریب زد. با این وجود، تابع انتقال $A_v(s)$ را می توان به صورت زیر تخمین زد.

$$A_v(s) = \frac{A_{dc}}{\left(1 + \frac{s}{\omega_{-3dB}}\right) \left(1 + \frac{s}{\omega_{p1}}\right)} \approx \frac{1}{\frac{s}{GBW} \left(1 + \frac{s}{\frac{C_{m1} G_{m2}}{C_L C_{m2}}}\right)} \quad (21)$$

و حاشیه فاز مربوطه به صورت زیر داده می شود:

$$PM = 90^\circ - \phi(\omega_{p1}) = 90^\circ - \tan^{-1} \left(\frac{GBW}{\omega_{p1}} \right) \quad (22)$$

که در آن ω_{-3dB} و ω_{p1} قطب های غالب و غیر غالب تقویت کننده هستند و $GBW = \frac{G_{m1}}{C_{m1}}$ پهنای باند است که برای اطمینان از پایداری، همواره باید کوچک تر از ω_{p1} باشد. با افزایش خازن بار C_L ، ω_{p1} به سمت فرکانس پایین حرکت می کند و بنابراین حاشیه فاز را کاهش می دهد.

طبق روابط (21) و (22)، حداکثر ظرفیت بار C_{Lmax} توسط حداقل حاشیه فاز PM_{min} تعیین می شود که می توان آن را به صورت زیر محاسبه کرد.

$$C_{Lmax} = \frac{C_{m1}^2 G_{m2} \cot(PM_{min})}{G_{m1} C_{m2}} \quad (23)$$

حالت دوم: هنگامی که C_L در حدود چند صد پیکوفاراد باشد، قطب غیر غالب p_1 به سمت فرکانس بالا حرکت می کند و قطب دیگر p_2 را در یک جفت قطب مختلط $p_{1,2}$ ادغام می کند. در این میان، یک صفر LHP (z_1) که توسط G_{m1} و C_{m1} تولید می شود، می تواند حاشیه فاز را افزایش دهد. تابع انتقال بهره $A_v(s)$ به صورت ساده شده است.

$$A_v(s) = \frac{A_{dc} \left(1 + \frac{s}{\frac{G_{m1}}{C_{m1}}}\right)}{\left(1 + \frac{s}{\omega_{-3dB}}\right) \left(1 + \frac{1}{Q} \frac{1}{\omega_{p1,2}} s + \frac{1}{\omega_{p1,2}^2} s^2\right)} \quad (24)$$

که در آن، فرکانس قطب مختلط $p_{1,2}$ برابر است با

$$\omega_o = \omega_{p1,2} = \sqrt{\frac{G_{m1} G_{m2}}{C_{m2} C_L}} \quad (25)$$

و به همین ترتیب ضریب کیفیت آن به صورت زیر بیان می شود:

$$Q = \sqrt{\frac{C_L G_{m2}}{G_{m1} C_{m2} (C_L + C_{m2}) G_{m2} + C_{m1} G_{m2} G_{m2} (1/G_{m2}) + C_{m1} G_{mf}}} = \frac{k_1}{\sqrt{C_L + b/\sqrt{C_L}}} \quad (26)$$

باید توجه داشت که در رابطه (26)، $k_1 = C_{m1} \sqrt{\frac{G_{m2}}{G_{m1} C_{m2}}}$ و $b = C_{m2} + \left(\frac{C_{m1} G_{m2}}{G_{m2}}\right) + \left(\frac{C_{m1} G_{mf}}{G_{m2}}\right)$ است.

واضح است که فرکانس قطب های مختلط ω_o تابعی نزولی با ظرفیت بار است، که نشان می دهد قطب های غیر غالب از فرکانس بهره واحد دور هستند و اختلالی در پایداری نخواهند داشت. چالش اصلی، برآورده کردن الزامات متناقض ضریب کیفیت قطب های مختلط در شرایط C_L سبک و سنگین است، زیرا ضریب کیفیت با تغییر خازن بارگذاری C_L تغییر می کند. در واقع، ضریب کیفیت بالا، یک پیک فرکانس در نمودار دامنه را نشان می دهد و ضریب کیفیت پایین منجر به دو قطب حقیقی جدا از هم می شود که راه حل بهینه ای برای پهنای باند قابل دستیابی بهتر نیست.

جهت جلوگیری از نمایش آشکار پیک فرکانسی در نمودار پاسخ فرکانسی تقویت کننده، ضریب کیفیت بالای قطب های مختلط نامطلوب است. از رابطه (26) جهت کاهش ضریب کیفیت، یا باید G_{m2} و C_{m1} کاهش یابد و یا G_{mf} و C_{m2} افزایش پیدا کند. متأسفانه، غالب پارامترهای مدار به هم مرتبط هستند و تنظیم مستقل آن ها برای بهینه سازی پاسخ فرکانسی دشوار است [13]. برای مثال، C_{m2} بزرگتر، ضریب کیفیت را کاهش می دهد، ولیکن قطب مختلط نیز در آن حالت به فرکانس پایین تری منتقل می شود، همانگونه که در رابطه (25) نشان داده شده است.

جدول (۱): بسط پارامتر روث هرویتز برای چندجمله‌ای مرتبه چهارم در رابطه (۱۰)

ضرایب	رابطه
A_1	$\frac{C_{m2}[(C_L+C_{m2})G_{m2}+C_{m1}G_{m2}G_{m2}(1/G_{mc2})+C_{m1}G_{mf}]}{C_{m1}G_{m2}G_{m2}}$
A_2	$\frac{C_{m2}C_L}{G_{mc1}G_{m2}}$
A_3	$\frac{C_{p1}C_LC_{m2}}{G_{mc1}G_{m2}G_{m2}}$
A_4	$\frac{C_{p1}C_{p2}C_LC_{m2}}{G_{m2}G_{m2}G_{mc1}G_{mc2}}$
$B_1 = (A_1A_2 - A_1A_3)/A_2$	$\frac{C_LC_{m2}}{G_{m2}G_{mc1}} - \frac{C_{p2}}{G_{mc2}}A_1$
$B_2 = A_1$	1
$C_1 = (B_1A_1 - A_2A_3)/B_1$	$A_1 - \frac{A_3}{B_1}$
$D_1 = A_1$	1

$$C_{L_{min}} = \min\{B_1(C_L) > 0, C_1(C_L) > 0\} \quad (29)$$

حاشیه فاز با حذف قطب و صفر به صورت زیر داده می‌شود.

$$PM = 90^\circ - \phi(\omega_{p1,2}) + \phi(z_1) - \phi(\omega_{p3,4}) + \phi(z_2) = 90^\circ$$

$$- \tan^{-1} \left[\frac{\frac{GBW}{\omega_0}}{Q \left(1 - \left(\frac{GBW}{\omega_0} \right)^2 \right)} \right] + \tan^{-1} \left(\frac{GBW}{z_1} \right)$$

$$- \tan^{-1} \left[\frac{\frac{GBW}{\omega_1}}{Q \left(1 - \left(\frac{GBW}{\omega_1} \right)^2 \right)} \right] + \tan^{-1} \left(\frac{GBW}{z_2} \right) \quad (30)$$

شایان ذکر است که اگر پارامترهای مدار تقویت کننده با دقت تنظیم شده باشند تا اطمینان حاصل شود که تمام ضرایب جدول (۱) در صورت صفر بودن C_L مثبت هستند، می‌توان به پایداری ایده‌آل در حالت بدون بار برای تقویت کننده پیشنهادی دست یافت.

۳-۴- مزایای حلقه کنترل جریان میرایی داخلی و جبران سازی کسکود میلر

جهت درک بهتر تاثیر اصلی حلقه کنترل جریان میرایی داخلی پیشنهادی، همچون طرح NMC، هنگامی که C_L کاهش می‌یابد، ضریب کیفیت قطب

با این وجود، عبارت ریاضی حداقل یک بینش شهودی برای کنترل ضریب کیفیت و فرکانس طبیعی قطب‌های مختلط ارائه می‌دهد. عبارت زیر را می‌توان از (۲۶) یافت.

$$Q_{max} = \frac{k_1}{2\sqrt{b}} \quad (27)$$

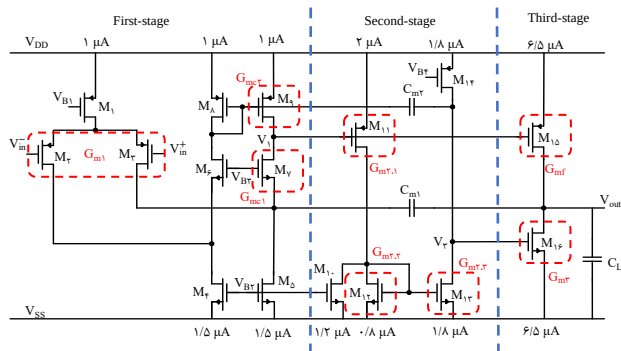
رابطه میان ضریب کیفیت و پیک فرکانس در نمودار پاسخ فرکانسی در [۱۵] مورد مطالعه قرار گرفته است. در بسیاری از طراحی‌های تقویت کننده سه طبقه [۱] تا [۱۰]، برای قطب مختلط غیر غالب آن‌ها، ضریب کیفیت مربوطه به طور معمول بر روی $\frac{1}{\sqrt{3}}$ تنظیم می‌شود تا تقویت کننده‌ها هنگامی که به عنوان یک سیستم فیدبک واحد پیکربندی می‌شوند، دارای پاسخ فرکانسی مرتبه سوم باترورث باشند. با این حال، ضریب کیفیت همواره با توجه به C_L های مختلف تغییر می‌کند و بنابراین $\frac{1}{\sqrt{3}}$ کمترین مقدار برای Q_{max} است. از سوی دیگر، جهت دستیابی به پاسخ فرکانسی مطلوب در محدوده وسیع ظرفیت خازنی خروجی، Q_{max} باید کوچکتر از ۲ باشد تا از پیک فرکانسی آشکار در نمودار دامنه حلقه باز جلوگیری شود. بنابراین، در این طرح می‌بایست، $Q < 2$ باشد و در نتیجه، حاشیه فاز با حذف قطب و صفر به صورت زیر داده می‌شود:

$$PM = 90^\circ - \phi(\omega_{p1,2}) + \phi(z_1) = 90^\circ$$

$$- \tan^{-1} \left[\frac{\frac{GBW}{\omega_0}}{Q \left(1 - \left(\frac{GBW}{\omega_0} \right)^2 \right)} \right] + \tan^{-1} \left(\frac{GBW}{z_1} \right) \quad (28)$$

بنابراین، معیار پایداری روث-هورویتز که به طور گسترده در طراحی تقویت کننده‌های چند طبقه مورد استفاده قرار گرفته است، می‌تواند برای کمک به تصمیم‌گیری در مورد پارامترهای طراحی، از جمله حداقل ظرفیت بار خازنی، مورد استفاده قرار گیرد. معیار پایداری روث-هورویتز به سادگی با ایجاد جدول ۱ ارزیابی شد. برای دستیابی به پایداری مطلوب برای تقویت کننده سه طبقه پیشنهادی، تمامی ضرایب باید بزرگتر از صفر باشند.

طبق جدول (۱)، حداقل ظرفیت بار خازنی C_L با شرط مرزی مثبت بودن ضرایب B_1 و C_1 تعیین می‌شود که می‌توان آن را به صورت زیر محاسبه کرد:



شکل (۷): شماتیک تقویت کننده سه طبقه پیشنهادی

جدول (۲): پارامترهای مدار در طرح پیشنهادی

g_{m1}	g_{m2}	g_{m3}	g_{mc1}	g_{mc2}	g_{mf}	C_{m1}	C_{m2}
$10/3 \mu S$	$133 \mu S$	$90 \mu S$	$25/7 \mu S$	$22/6 \mu S$	$147/7 \mu S$	$831 fF$	$4 fF$

جدول (۳): ابعاد ترانزیستورهای مدار در طرح پیشنهادی

M_1	$\left(\frac{2/88 \mu m}{3/5 L_{min}}\right)$	M_{11}	$\left(\frac{0/5 \mu m}{2 L_{min}}\right)$
$M_{2,3}$	$\left(\frac{9/6 \mu m}{3 L_{min}}\right)$	M_{12}	$\left(\frac{0/3 \mu m}{4 L_{min}}\right)$
$M_{4,5}$	$\left(\frac{1/2 \mu m}{3/5 L_{min}}\right)$	M_{13}	$\left(\frac{0/8 \mu m}{2 L_{min}}\right)$
$M_{6,7}$	$\left(\frac{13 \mu m}{4/5 L_{min}}\right)$	M_{14}	$\left(\frac{3/4 \mu m}{2 L_{min}}\right)$
$M_{8,9}$	$\left(\frac{11/4 \mu m}{2 L_{min}}\right)$	M_{15}	$\left(\frac{51 \mu m}{L_{min}}\right)$
M_{10}	$\left(\frac{0/5 \mu m}{2 L_{min}}\right)$	M_{16}	$\left(\frac{51 \mu m}{L_{min}}\right)$

۵- نتایج شبیه سازی

تقویت کننده سه طبقه پیشنهادی در فناوری CMOS $0/18 \mu m$ پیاده سازی شده است. تمامی ترانزیستورها توسط قطعات با ولتاژ آستانه استاندارد پیاده سازی شده اند. کل ظرفیت خازنی خازن های جبران سازی C_f برابر با $835 fF$ است. در شکل (۸) می توان تاثیر تغییر بار خازنی در فرکانس بهره واحد و

مختلط به جای اینکه متناسب یا در عکس تناسب با $\sqrt{C_L}$ باشد، به یک محدوده تغییر می کند. دلیل این امر آن است که بلوک کنترل جریان میرایی داخلی، جریان میرایی لازم را تحت C_L با محدوده گسترده تولید می کند. طرح تقویت کننده پیشنهادی با این ساختار به مقدار بسیار کمی C_{m2} نیاز دارد تا بتواند مصالحه ایی میان ω_0 و ضریب کیفیت ایجاد کند. از سوی دیگر، طبقه هدایت انتقالی G_{mc2} جهت تشکیل یک حلقه فیدبک محلی می تواند در طبقه اول تعبیه شود. در این حالت، هیچ جریان ساکن اضافی در مدار وجود ندارد و می تواند توان مصرفی و ضریب شایستگی تقویت کننده را بهبود بخشد.

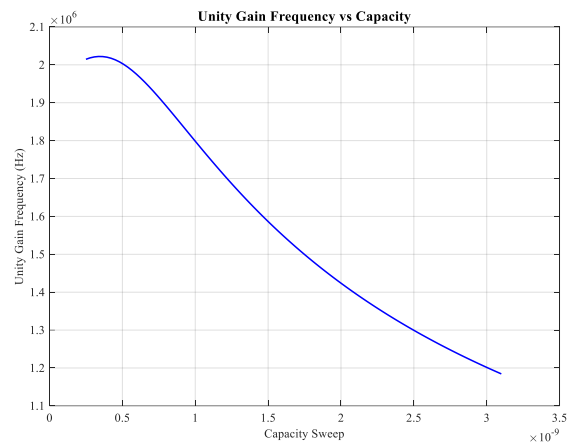
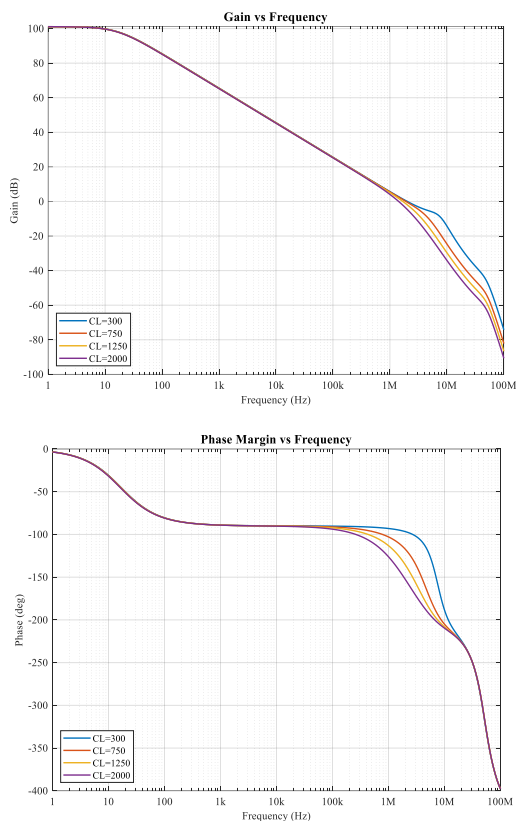
۴- پیاده سازی مدار

شماتیک تقویت کننده سه طبقه پیشنهادی با روش فوق در شکل ۷ نشان داده شده است. طبقه اول از یک ساختار کسکود تاشده (M_9-M_1) استفاده می کند. طبقه دوم از یک آینه جریان جهت تشکیل طبقه غیر معکوس کننده ($M_{14}-M_{10}$) استفاده می کند. با فرض اینکه هدایت انتقالی M_{11} ، M_{12} و M_{13} به ترتیب $g_{m2,1}$ ، $g_{m2,2}$ و $g_{m2,3}$ باشند، هدایت انتقالی کلی G_{m2} برابر با $\left(\frac{g_{m2,1} g_{m2,3}}{g_{m2,2}}\right)$ است. طبقه سوم توسط یک طبقه سورس مشترک (M_{16}) تشکیل شده است. جبران سازی کسکود میلر توسط C_{m1} و طبقه گیت مشترک (M_7) محقق می شود. بلوک کنترل جریان میرایی داخلی شامل خازن میلر C_{m2} و طبقه سورس مشترک (M_9) است. ترانزیستور M_{15} یک مسیر فیدفورارد ایجاد می کند که برای بهبود عملکرد گذرا مفید است. جریان مصرفی برای هر شاخه در شکل (۷) مشخص شده است.

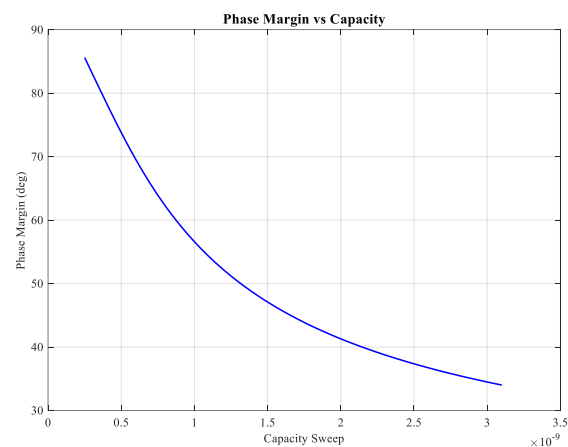
جهت بهینه سازی مقدار خازن جبران سازی تقویت کننده پیشنهادی، مقدار C_{m1} و C_{m2} به ترتیب برابر با $831 fF$ و $4 fF$ برای تغییرات بار خازنی از $300 pF$ تا $2 nF$ تنظیم شده اند. مقادیر خازن های جبران سازی از تحلیل بخش قبل بدست آمده است. مقدار C_{m1} جهت مصالحه میان PM و GBW از روابط (۲۱) و (۲۲) بهینه شده است. مقدار C_{m2} از بدترین حالت ضریب کیفیت مطابق روابط (۲۶) و (۲۷) بدست می آید.

هدف از این طراحی، گسترش محدوده بار خازنی با مصرف توان کم و پهنای باند وسیع در مقایسه با دیگر روش ها [۸] تا [۱۰] است. برخی از پارامترهای کلیدی مدار تقویت کننده پیشنهادی در جدول (۲) نشان داده شده است و ابعاد ترانزیستورهای مربوطه را می توان در جدول (۳) یافت.

در شکل (۹) تاثیر این تغییرات بر حاشیه فاز را مشاهده کرد.



شکل (۸): تاثیر تغییرات بار خازنی بر فرکانس بهره واحد



شکل (۹): تاثیر تغییرات بار خازنی بر حاشیه فاز

شکل (۱۰) مجموعه‌ای از پاسخ فرکانسی حاصل از شبیه‌سازی‌ها را با مقادیر مختلف C_L از ۳۰۰ pF تا ۲ nF برای طرح پیشنهادی نشان می‌دهد.

شکل (۱۰): نتایج شبیه‌سازی با مقادیر مختلف بار خازنی از ۳۰۰ پیکوفاراد تا ۲ نانوفاراد

جدول ۴، فرکانس بهره واحد، حاشیه فاز و بهره ثابت شبیه‌سازی شده را تحت گوشه‌های مختلف، برای بارهای خازنی از ۳۰۰ pF تا ۲ nF را خلاصه می‌کند.

پاسخ گذرای شبیه‌سازی شده تقویت‌کننده پیشنهادی در پیکربندی بهره واحد با گام ۳۰۰ mW برای C_L برابر با ۳۰۰ pF، ۱/۲ nF و ۲ nF در شکل (۱۱) نشان داده شده است. با بار خازنی ۳۰۰ pF، میانگین نرخ چرخش ۰/۷۲ V/μs و میانگین زمان نشست ۱٪ برابر با ۱/۱ μs است. هنگامی که ظرفیت بار به ۱/۲ nF تغییر کند، نرخ چرخش و زمان نشست مربوطه به ترتیب ۰/۶ V/μs و ۲/۱۴ μs هستند. اگر یک بار خازنی ۲ nF در خروجی اعمال شود، میانگین نرخ چرخش و میانگین زمان نشست ۱٪ به ترتیب ۰/۵ V/μs و ۳/۱۲ μs هستند.

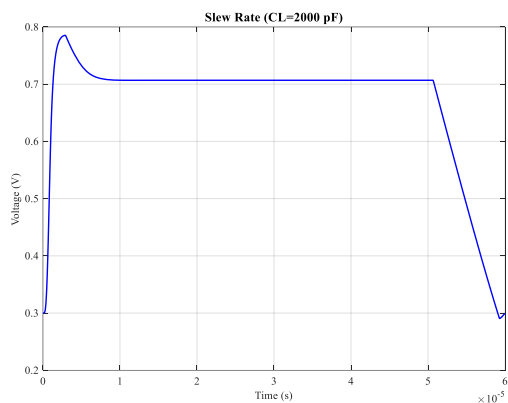
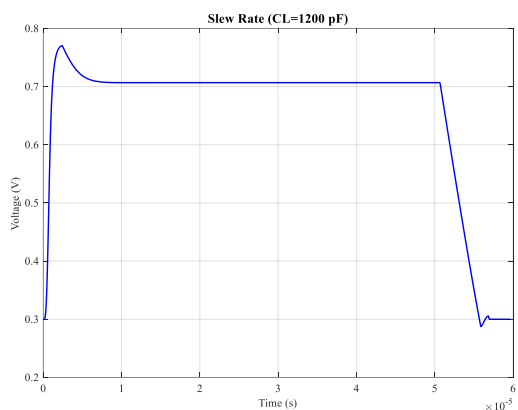
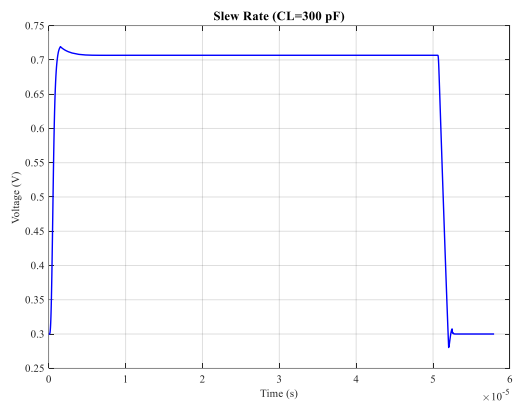
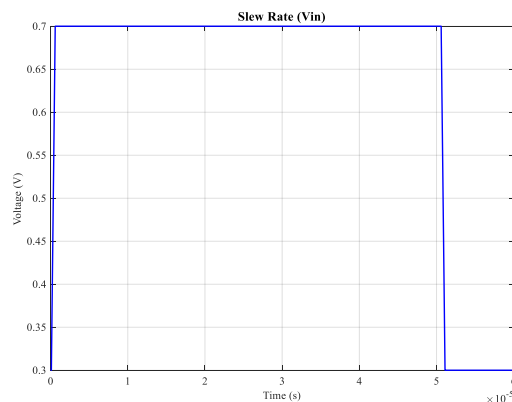
جدول (۴): نتایج شبیه سازی در گوشه های فرآیند

بار خازنی	گوشه	TT	FF	SS	SF	FS
۳۰۰ pF	UGF (MHz)	۲/۰۹	۲	۱/۹۸	۲/۰۷	۲/۱۲
	PM (°)	۸۳	۸۴/۶	۸۴	۸۳/۵	۸۰/۹
	DC Gain (dB)	۱۰۱	۹۹	۹۹/۳	۱۰۰/۹	۱۰۳
۱.۲ nF	UGF (MHz)	۱/۷۱	۱/۵۳	۱.۴۹	۱/۷۹	۱/۸۹
	PM (°)	۵۲	۵۵/۲	۵۲/۹	۵۳.۳	۵۰/۶
	DC Gain (dB)	۱۰۱	۹۹	۹۹/۳	۱۰۰/۹	۱۰۳
۲ nF	UGF (MHz)	۱/۴۷	۱/۲	۱/۲۹	۱/۴	۱/۵۳
	PM (°)	۴۲	۴۵/۱	۴۲/۹	۴۱.۷	۴۱
	DC Gain (dB)	۱۰۱	۹۹	۹۹/۳	۱۰۰/۹	۱۰۳

جدول (۵) عملکرد تقویت کننده پیشنهادی را با تقویت کننده های اخیر با بهره بالا (100 dB) می کند. طرح پیشنهادی می تواند عملکرد پایداری را با ظرفیت بار از 300 pF تا 2 nF ارائه دهد، که برای کاربردهای پردازش سیگنال آنالوگ که نیاز به بهره و پهنای باند بالا دارند، بسیار مناسب است. جهت مقایسه بهتر، از روابط زیر برای شاخص شایستگی (FOM) استفاده می شود. FOM_L و FOM_S متداول عبارتند از [۳۲] تا [۳۶]:

$$FOM_S = \frac{GBW.C_L}{\text{Power}} \quad (31), \quad FOM_L = \frac{SR.C_L}{\text{Power}} \quad (32)$$

و برای حالت بار خازنی بزرگ، $LC-FOM_S$ ، $LC-FOM_L$ و همچنین FOM_{SN} اعمال می شوند.



شکل (۱۱): پاسخ پله شبیه سازی شده 300 میلی ولت برای بار خازنی 300 پیکوفاراد، $1/2$ نانوفاراد و 2 نانوفاراد

$$LC-FOM_S = \frac{GBW.C_L}{\text{Power}.C_t} \quad (33)$$

$$LC-FOM_L = \frac{SR.C_L}{\text{Power}.C_t} \quad (34)$$

- [3] Peng, X., & Sansen, W. (2004). AC boosting compensation scheme for low-power multistage amplifiers. *IEEE Journal of Solid-State Circuits*, 39(11), 2074-2079.
- [4] Ho, M., Leung, K. N., & Mak, K. L. (2010). A low-power fast-transient 90-nm low-dropout regulator with multiple small-gain stages. *IEEE journal of solid-state circuits*, 45(11), 2466-2475.
- [5] Marano, D., Grasso, A. D., Palumbo, G., & Pennisi, S. (2016). Optimized active single-Miller capacitor compensation with inner half-feedforward stage for very high-load three-stage OTAs. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 63(9), 1349-1359.
- [6] Ramos, J., & Steyaert, M. (2002, May). Three stage amplifier with positive feedback compensation scheme. In *Proceedings of the IEEE 2002 Custom Integrated Circuits Conference (Cat. No. 02CH37285)* (pp. 333-336). IEEE.
- [7] Eschauzier, R. G., Kerklaan, L. P., & Huijsing, J. H. (2002). A 100-MHz 100-dB operational amplifier with multipath nested Miller compensation structure. *IEEE Journal of Solid-State Circuits*, 27(12), 1709-1717.
- [8] Leung, K. N., & Mok, P. K. (2001). Analysis of multistage amplifier-frequency compensation. *IEEE transactions on circuits and systems I: fundamental theory and applications*, 48(9), 1041-1056.
- [9] Aminzadeh, H., Ballo, A., Valinezhad, M., & Grasso, A. D. (2022). An unconditionally stable three-stage OTA. *IEEE Solid-State Circuits Letters*, 5, 230-233.
- [10] Leung, K. N., Mok, P. K., Ki, W. H., & Sin, J. K. (2002). Three-stage large capacitive load amplifier with damping-factor-control frequency compensation. *IEEE Journal of Solid-State Circuits*, 35(2), 221-230.
- [11] Aloisi, W., Palumbo, G., & Pennisi, S. (2008). Design methodology of Miller frequency compensation with current buffer/amplifier. *IET circuits, devices & systems*, 2(2), 227-233.
- [12] Pugliese, A., Cappuccino, G., & Cocorullo, G. (2008). Design procedure for settling time minimization in three-stage nested-Miller amplifiers. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 55(1), 1-5.
- [13] Lau, M. W., Mak, K. H., Leung, K. N., Guo, J., & Goh, W. L. (2017). Enhanced active-feedback frequency compensation with on-chip-capacitor reduction feature for amplifiers with large capacitive load. *International Journal of Circuit Theory and Applications*, 45(12), 2119-2133.
- [14] Cabrera-Bernal, E., Pennisi, S., Grasso, A. D., Torralba, A., & Carvajal, R. G. (2016). 0.7-V three-stage class-AB CMOS operational transconductance amplifier. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 63(11), 1807-1815.
- [15] Guo, S., & Lee, H. (2010). Dual active-capacitive-feedback compensation for low-power large-capacitive-load three-stage amplifiers. *IEEE Journal of solid-state circuits*, 46(2), 452-464.
- [16] Aminzadeh, H., & Dashti, M. A. (2019). Dual loop cascode-Miller compensation with damping factor control unit for three-stage amplifiers driving

$$FOM_{SN} = \frac{GBW \cdot \sqrt{C_L}}{\text{Power}} \quad (35)$$

جدول (۵): عملکرد تقویت کننده پیشنهادی با سایر طرح های گزارش شده.

طرح پیشنهادی	[۲۲]	[۲۳]	[۲۵]			
Technology (μm)	۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۸		
DC Gain(dB)	>۱۲۰	>۱۰۰	>۱۰۰	۱۰۱		
I_{DD} (μA)	۶/۷	۵۷/۸	۷	۱۴/۳		
C_L (pF)	۱۳۰۰	۱۸۰۰	۵۰۰	۳۰۰	۱۲۰۰	۲۰۰۰
UGF (MHz)	۰/۶۸	۱/۱۸	۱/۳۴	۲/۰۲	۱/۷۱	۱/۴۳
PM (°)	۶۰/۳	۵۹/۶	۵۲/۷	۸۳	۵۲/۲	۴۱
C_i (pF)	۰/۴	۱/۵۲	۰/۸۷	۰/۸۳۵		
Average SR (V/μs)	۰/۳۹۸	۰/۲۲	۰/۶۲	۰/۷۲	۰/۶	۰/۵
FOM _s (MHz.pF/μW)	۱۳۱/۹	۳۰۵/۱	۱۰۶/۳	۴۲/۳	۱۴۳/۵	۲۰۰
LC-FOM _s (MHz/μW)	۳۹۲/۸	۲۰۰/۷	۱۲۲/۲	۵۰/۷	۱۷۱/۸	۲۳۹/۵
FOM _{SN} (MHz.pF ^{۱/۲} /μW)	۳/۶	۲/۲۷	۴/۷	۲/۴	۴/۹	۱۶/۹
FOM _L (V/μs.pF/μW)	۷۷/۲	۵۶/۸	۴۹/۲	۱۵/۱	۵۰/۳	۷۰
LC-FOM _L (V/μs/μW)	۱۹۳	۳۷/۴	۵۶/۵	۱۸	۶۰/۳	۸۳/۷

۶- نتیجه گیری

در این مقاله، یک تقویت کننده سه طبقه با توان مصرفی کم ($14/3 \mu W$) با محدوده گسترده بار خازنی ارائه شده است. با ترکیب جبران سازی کسکود و میلر، فرکانس قطب مختلط به طور مؤثر افزایش می یابد که GBW بالاتر تقویت کننده پیشنهادی را ممکن می سازد. افزایش فرکانس قطب مختلط همزمان با کاهش ضریب کیفیت آن، همانگونه که در طرح های قبلی مورد مطالعه قرار گرفته است، یک تناقض است. به دلیل وجود بلوک کنترل جریان میرایی داخلی در طرح پیشنهادی، ضریب کیفیت قطب های مختلط به یک محدوده مناسب محدود می شود در حالی که فرکانس قطب مختلط مطابق با C_L مختلف اعمال شده در خروجی حفظ می شود. بنابراین، یک مصالحه میان فرکانس قطب مختلط و ضریب کیفیت حاصل می شود. تقویت کننده پیشنهادی با فناوری $0.18 \mu m$ CMOS تأیید شد و نتایج شبیه سازی نشان می دهد که حداقل $1/43 \text{ MHz}$ UGF و نرخ چرخش به طور میانگین $0.5 \text{ V}/\mu\text{Sec}$ تحت تغییرات بار خازنی از 300 pF تا 2 nF به دست می آید و ظرفیت جبرانی روی تراشه تنها 835 fF است.

مراجع

- [1] Gulati, K., & Lee, H. S. (1998). A high-swing CMOS telescopic operational amplifier. *IEEE Journal of Solid-State Circuits*, 33(12), 2010-2019.
- [2] Sackinger, E., & Guggenbuhl, W. (2002). A high-swing, high-impedance MOS cascode circuit. *IEEE Journal of Solid-state circuits*, 25(1), 289-298.

- unconditionally stable amplifiers. IEEE Access, 12, 128061-128070.
- [30] Dong, S., & Zhu, Z. (2018). A transconductance-enhancement cascode Miller compensation for low-power multistage amplifiers. *Microelectronics Journal*, 73, 94-100.
- [31] Aminzadeh, H., Danaie, M., & Serdijn, W. A. (2013). Hybrid cascode feedforward compensation for nano-scale low-power ultra-area-efficient three-stage amplifiers. *Microelectronics Journal*, 44(12), 1201-1207.
- [32] Shin, H., Kim, J., Jang, D., Cho, D., Jung, Y., Cho, H., ... & Je, M. (2020). An energy-efficient three-stage amplifier achieving a high unity-gain bandwidth for large capacitive loads without using a compensation zero. *IEEE Solid-State Circuits Letters*, 3, 530-533.
- [33] Qu, W., Singh, S., Lee, Y., Son, Y. S., & Cho, G. H. (2016). Design-oriented analysis for Miller compensation and its application to multistage amplifier design. *IEEE Journal of Solid-State Circuits*, 52(2), 517-527.
- [34] Tan, M., & Ki, W. H. (2014). A cascode Miller-compensated three-stage amplifier with local impedance attenuation for optimized complex-pole control. *IEEE Journal of Solid-State Circuits*, 50(2), 440-449.
- [35] Qu, W., Im, J. P., Kim, H. S., & Cho, G. H. (2014, February). 17.3 A 0.9 V 6.3 μ W multistage amplifier driving 500pF capacitive load with 1.34 MHz GBW. In 2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC) (pp. 290-291). IEEE.
- [36] Chong, S. S., & Chan, P. K. (2012). Cross feedforward cascode compensation for low-power three-stage amplifier with large capacitive load. *IEEE Journal of Solid-State Circuits*, 47(9), 2227-22
- ultralarge load capacitors. *International Journal of Circuit Theory and Applications*, 47(1), 1-18.
- [17] Di Cataldo, G., Grasso, A. D., Palumbo, G., & Pennisi, S. (2016). Improved single-miller passive compensation network for three-stage CMOS OTAs. *Analog Integrated Circuits and Signal Processing*, 86(3), 417-427.
- [18] Peng, X., Sansen, W., Hou, L., Wang, J., & Wu, W. (2010). Impedance adapting compensation for low-power multistage amplifiers. *IEEE Journal of Solid-State Circuits*, 46(2), 445-451.
- [19] Giustolisi, G., & Palumbo, G. (2020). Design of three-stage OTA based on settling-time requirements including large and small signal behavior. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 68(3), 998-1011.
- [20] Liu, S., Zhu, Z., Wang, J., Liu, L., & Yang, Y. (2018). A 1.2-V 2.41-GHz three-stage CMOS OTA with efficient frequency compensation technique. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 66(1), 20-30.
- [21] Fordjour, S. A., Riad, J., & Sánchez-Sinencio, E. (2020). A 175.2-mW 4-stage OTA with wide load range (400 pF–12 nF) using active parallel compensation. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 28(7), 1621-1629.
- [22] Lau, S. K., Mok, P. K., & Leung, K. N. (2007). A low-dropout regulator for SoC with Φ reduction. *IEEE Journal of Solid-State Circuits*, 42(3), 658-664.
- [23] Dhanasekaran, V., Silva-Martinez, J., & Sanchez-Sinencio, E. (2009). Design of Three-Stage Class-AB 16 Ω Headphone Driver Capable of Handling Wide Range of Load Capacitance. *IEEE Journal of Solid-State Circuits*, 44(6), 1734-1744.
- [24] Yan, Z., Mak, P. I., Law, M. K., & Martins, R. P. (2013). A 0.016-mm² 144- μ W Three-Stage Amplifier Capable of Driving 1-to-15 nF Capacitive Load With > 0.95-MHz GBW. *IEEE journal of solid-state circuits*, 48(2), 527-540.
- [25] Riad, J., Estrada-López, J. J., Padilla-Cantoya, I., & Sánchez-Sinencio, E. (2020). Power-scaling output-compensated three-stage OTAs for wide load range applications. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 67(7), 2180-2192.
- [26] Reay, R. J., & Kovacs, G. T. (2002). An unconditionally stable two-stage CMOS amplifier. *IEEE journal of solid-state circuits*, 30(5), 591-594.
- [27] Aminzadeh, H., & Valinezhad, M. M. (2021). Hybrid cascode compensation with Q-factor control module for three-stage OTAs driving ultra-large load capacitors. *Circuit World*, 47(4), 345-356.
- [28] Grasso, A. D., Marano, D., Palumbo, G., & Pennisi, S. (2022). CMOS OTA with no upper limit of C_L . *IEEE Transactions on Circuits and Systems II: Express Briefs*, 65(11), 1529-1533.
- [29] Aminzadeh, H., Valinezhad, M. M., & Grasso, A. D. (2024). Hybrid cascode compensation with hybrid Q-factor control for three-stage

In the name of God

**Journal of
Modern Researches In
AVIONIC**

Vo1. 2/No. 1/2025

Belongs to: Shahid Sattari Aeronautical University
of Science and Technology (SSAUT)

Manager in charge Dr. B. Hadian

Editor in chief: Dr. J. Mazloun

Manager: Dr. Gh. Sarlak

Editor: Eng. Ali R.
Mashayekh

Typeset & publish SSAUT Publication

Address: Tehran - Azadi Square - Mehrabad
neighborhood - Shamsheh Blvd.

Postal Code: 13846-63113

Tel/Fax: 0098-21-66193539

Website: www.mreea.ir

E-mail: mreea.editorial@ssau.ac.ir



Editorial Board (In alphabet order)

Dr. Faramarz Hossein Babaei

Dr. Gevorg Babamelk Gharehpetian

Dr. Meysam Bayat

Dr. Hamid Reza Dalili Oskouei

Dr. Seyed Mohammad Reza Mousavi Mirkalaei

Dr. Alireza Maleki Javan

Dr. Hamid Radmanesh

Dr. Gohar Varamini

Indexed in:



Vol. 2, No. 1, Autumn 2025

- Diagnosis of MS from OCT Images Using Machine Learning Algorithms and Improving Accuracy by Combining Different Classifiers 1
(Maryam Aboutalebian, Nasrindokht Batenipour)
- The effect of tortuosity parameter on lithium deposition inside carbon nanofibers in half-cell mode 8
(Seyed Ali Hoseini)
- Providing a new multi-path algorithm for reducing spectrum fragmentation in Elastic Optical Networks 16
(Yaghoub khorasani, Ebrahim Chegini)
- Investigating the effects of technology refinement on the performance of metal-oxidesemiconductor field-effect transistors (MOSFETs) using the key parameter of inversion coefficient 23
(Gholamreza Khademevatan, Ali Jalali)
- Design of Low-Power Approximate Multipliers Based on Spintronic MTJ/FinFET Technology for Image Processing 36
(Behrang Hadian Siahkalmahalleh)
- Design of a three-stage amplifier with Miller cascode compensation and damping current control 50
(Mohsen Roshanaei , Akbar Asgharzadeh)